

POLITECNICO DI TORINO

Corso di Laurea
in Ingegneria Elettronica

Tesi di Laurea Magistrale

Analisi e Progetto di PFC monofase caratterizzati da emissioni elettromagnetiche ridotte



Politecnico di Torino

Relatore

prof. Franco Fiori

firma del relatore

.....

Candidato

Gian Marco Domenico Cangemi

firma del candidato

.....

Anno Accademico 2021-2022

Sommario

Negli ultimi anni si sta assistendo ad una forte crescita del settore elettrico con un conseguente aumento della potenza fornita dalla rete elettrica. Un parametro cruciale da tenere sotto controllo durante l'erogazione della potenza all'apparecchio è il fattore di potenza, definito come il rapporto tra la potenza attiva e quella apparente. La correzione *attiva* del fattore di potenza si basa sull'inserimento tra la rete elettrica ed il dispositivo finale di un circuito commutato, che sulla base della tensione di ingresso sinusoidale è capace di fornire un'uscita pre-regolata DC assorbendo dall'ingresso una corrente sinusoidale ed in fase con la tensione di ingresso. I circuiti di questo tipo vengono chiamati Power Factor Correctors (*PFC*). All'interno di un convertitore AC-DC o AC-AC la presenza di un PFC è spesso collegata alla potenza richiesta dall'applicazione; in genere si inserisce un PFC quando la potenza è superiore al centinaio di Watt. Alcuni esempi dove è possibile trovare questi convertitori sono il caricabatterie di un computer, il pacco batterie di un'automobile elettrica o gli alimentatori degli elettrodomestici.

I parametri fondamentali per valutare le prestazioni di un PFC sono l'efficienza e la qualità della corrente assorbita. Ultimamente l'efficienza di conversione dei circuiti è diventata una specifica sempre più stringente nelle applicazioni, per cui si è passati da circuiti più semplici ma meno efficienti, con ponte raddrizzatore, a circuiti più efficienti e complessi, chiamati *Bridgeless*. Nell'ambito del progetto di tesi si è mostrato come queste soluzioni sono contraddistinte da maggiori emissioni elettromagnetiche; ed affinché tali circuiti rispettino le specifiche degli standard, come CISPR25, è necessario inserire nei PFC *Bridgeless* dei filtri EMI caratterizzati da una attenuazione maggiore, quindi più costosi e voluminosi rispetto a quelli necessari nelle soluzioni con ponte raddrizzatore.

All'interno di questo contesto l'obiettivo della tesi è stato quello di studiare come il controllo e le topologie dei PFC impattino l'efficienza e le Emissioni Elettromagnetiche (*EME*), valutando in maniera più dettagliata una famiglia delle topologie *Bridgeless* chiamate *Simmetriche*, le quali cercano di ridurre le EME mantenendo al contempo alti livelli di efficienza. A partire dalle topologie *Simmetriche* si è affrontato il progetto di un PFC caratterizzato da una potenza in uscita di 500 W con una tensione di 400 V. Del PFC progettato è stato analizzato il comportamento in frequenza di ogni componente al fine di ottenere un modello del circuito quanto più realistico possibile, che quindi permettesse la valutazione delle EME prodotte dal circuito in modo affidabile. In questo senso sono state condotte diverse analisi come l'estrazione dei parassiti, capacitivi ed induttivi, del DC-Link e del PCB degli interruttori di potenza, la modellizzazione degli induttori di potenza ed il progetto di un filtro EMI.

Infine sono stati simulati i diversi PFC e sono stati ottenuti dei risultati che confermano come i PFC simmetrici abbiano delle *EME* ridotte rispetto alla topologia *Bridgeless* Totem-Pole. La tesi mostra come sia possibile a partire dalla caratterizzazione in modo realistico di un PFC simmetrico riuscire a trovare un migliore trade-off tra efficienza ed EME rispetto a soluzioni *Bridgeless* convenzionali. E' in fase di realizzazione un prototipo di PFC *Simmetrico*, progettato durante l'attività di tesi, utile per caratterizzare le EME prodotte dal circuito e quindi verificare sperimentalmente la validità dei risultati ottenuti per simulazione.

In the last decades the power electronic market is growing rapidly, with a consequent increase of the power delivered by the electric grid. When supplying appliances from the grid, an important parameter to monitor is the power factor. It is defined as the ratio between the active and the apparent power delivered to the load. The *active* correction of the power factor is based on the insertion between the grid and the appliance of a switching circuit. This kind of circuits are called Power Factor Correctors (*PFC*).

Their input sinusoidal voltage is pre regulated to a DC output voltage while sinking a sinusoidal and in phase current from the grid.

Usually a PFC is inserted in a DC-AC or AC-AC converter provided that the output power of the converter is higher than 100 W. As an example, several every day appliances include a PFC, e.g., the battery charger of computer, and the power converter in electric vehicles.

The efficiency and the quality of the input current are the main parameters used to evaluate the performance of a PFC. As efficiency remains a challenging issue to be dealt with, more complex topologies such as the *Bridgeless* ones have been investigated in place of those based on bridge rectifier.

From the analysis carried out during the thesis, it was found that *Bridgeless* solutions are characterized by higher Electro-Magnetic Emissions (*EME*) than those based on Bridge rectifier. As a consequence, *Bridgeless* PFCs require expensive and bulky EMI filters to be compliant with EMC regulations, as CISPR25.

In this context, the aim of this thesis is to analyze the impact of control algorithms and PFCs topologies on the efficiency and *EME*.

A class of *Bridgeless* PFC, called *Symmetric*, has been studied more in details as it allows one to reduce EME with a limited impact on efficiency.

A *Symmetric* PFC has been designed to deliver 500 W output power with an output voltage of approximately 400 V. It was exploited as reference through all the thesis.

Each component of the designed PFC has been characterized to obtain a realistic high frequency model. The inductive and capacitive parasitic elements of the DC-Link and of the designed PCB have been evaluated by means of 3D EM simulations. Similarly, a power inductor has been prototyped and its impedance measured up to 100 MHz. In such a way, it was possible to evaluate in simulation the EME delivered by the designed PFC whilst obtaining meaningful results. Also the design of an EMI Filter has been carried out on the basis of the simulated conducted emissions of the designed PFC.

The different PFC topologies have been simulated and the obtained results assessed the *Symmetric* topology as characterized by lower EME respect to the *Bridgeless Totem-Pole* one. To sum up, this thesis characterizes in a realistic way a *Symmetric* PFC resulting in a better trade-off between efficiency and EME respect to conventional *Bridgeless* topologies. To verify experimentally the validity of the results obtained by simulation the designed *Symmetric* PFC is going to be prototyped.

Ringraziamenti

Desidero ringraziare il mio relatore, il professore Franco Fiori, per la costante e sapiente guida, riuscendo a trasmettere una profonda passione per l'elettronica ed il mondo della compatibilità elettromagnetica. Vorrei anche esprimere profonda gratitudine a Mark ed Erica per tutto il supporto che ho ricevuto da loro. Infine vorrei ringraziare la mia famiglia per aver sempre supportato le mie decisioni e Miriam per essermi stata accanto anche nei momenti più difficili di questo percorso.

Indice

Elenco delle tabelle	8
Elenco delle figure	9
1 Introduzione	15
1.1 Introduzione ai PFC monofase	15
2 PFC Monofase con ponte raddrizzatore	17
2.1 Funzionamento PFC tipo Boost	17
2.2 Tecniche di controllo	19
2.2.1 Critical Conduction Mode (CrCM)	19
2.2.2 Current Programmed Control	21
2.2.3 Average current mode control	23
2.3 Analisi efficienza PFC tipo Boost	25
2.3.1 Efficienza PFC di tipo Boost con controllo CrCM	25
2.3.2 Efficienza PFC di tipo Boost con controllo CPC	27
2.3.3 Efficienza PFC di tipo Boost con controllo APMC	29
2.4 Analisi emissioni elettromagnetiche PFC tipo Boost	32
2.4.1 Analisi emissioni elettromagnetiche PFC di tipo Boost con controllo CrCM	32
2.4.2 Analisi emissioni elettromagnetiche PFC di tipo Boost con controllo CPC	34
2.4.3 Analisi emissioni elettromagnetiche PFC di tipo Boost con controllo APMC	35
2.5 Conclusioni sui PFC tipo Boost	38
3 PFC Monofase di tipo Bridgeless	41
3.1 Introduzione alle topologie bridgeless	41
3.1.1 Funzionamento PFC Semi-Bridgeless	42
3.1.2 Funzionamento PFC Totem-Pole	43
3.2 Analisi efficienza PFC Bridgeless	44
3.2.1 Efficienza PFC Semi-Bridgeless	45
3.2.2 Efficienza PFC Totem-Pole	46
3.3 Analisi emissioni elettromagnetiche PFC Bridgeless	47

3.3.1	Analisi emissioni elettromagnetiche PFC Semi-Bridgeless	47
3.3.2	Analisi emissioni elettromagnetiche PFC Totem-Pole	48
3.3.3	Schemi alternativi per ridurre le EMI	50
3.3.4	Semi-Bridgeless con emissioni elettromagnetiche ridotte	50
3.3.5	Totem-Pole con emissioni elettromagnetiche ridotte	52
4	Panoramica dei PFC monofase con emissioni EM ridotte	55
4.1	Introduzione alle nuove topologie	56
4.1.1	PFC Reference	56
4.1.2	PFC Symmetric	58
4.1.3	PFC Improved Symmetric	61
4.2	Definizione delle specifiche e progetto	63
4.2.1	Progetto dell'induttore	63
4.2.2	Scelta del MOS	66
4.2.3	Scelta dei Diodi	67
4.2.4	Scelta del condensatore di uscita	67
5	Modellizzazione dei componenti reali	69
5.1	Modelli dei componenti utilizzati	69
5.1.1	Modello dell'induttore con interwinding capacitance	69
5.1.2	Modello avanzato dell'induttore	74
5.1.3	Verifica sperimentale del modello dell'induttore	78
5.1.4	Modello del DC-Link	80
5.1.5	Modello delle capacità parassite tra la scheda di potenza ed il piano di riferimento	84
6	Simulazioni dei PFC con modelli dei componenti reali	89
6.1	PFC Reference	89
6.2	PFC Symmetric	95
6.2.1	Analisi delle cause della corrente di asimmetria	100
6.3	PFC Improved symmetric	109
6.4	Confronto tra le topologie	116
6.5	Studio dell'impatto delle tolleranze di fabbricazione	120
6.5.1	Studio dell'impatto delle tolleranze di fabbricazione - PFC Reference	120
6.5.2	Studio dell'impatto delle tolleranze di fabbricazione - PFC Symmetric	123
6.6	Effetti del parassita Cb:Confronto tra Symmetric ed Improved Symmetric .	126
7	Progetto del prototipo di PFC Improved Symmetric	129
7.1	Schema a blocchi del PFC	130
7.2	Progetto del filtro EMI	131
7.3	Progetto alimentazione isolata per gate driver	139
7.3.1	Progetto alimentazioni isolate	141
7.3.2	Simulazioni del transitorio di accensione	146
7.4	Circuiti di misura	147
7.4.1	Misura della tensione di ingresso	148

7.4.2	Misura della tensione di uscita (HVDC)	151
7.4.3	Misura della corrente dell'induttore	154
7.5	Progetto del dissipatore e analisi termica dei circuiti	159
7.6	Layout delle schede	165
7.6.1	Layout scheda di potenza	165
7.6.2	Layout scheda di pilotaggio e misura	166
7.7	Connessioni tra le schede	169
8	Conclusioni	175
8.1	Lavori futuri	176

Elenco delle tabelle

2.1	Principali parametri di merito dei PFC Monofase con ponte simulati per $P_{out} = 300 W$	38
2.2	Principali parametri di merito dei PFC Monofase con ponte simulati per $P_{out} = 1,6 kW$	39
4.1	Specifiche di progetto	63
5.1	Caratteristiche dei condensatori scelti	82
5.2	Caratteristiche delle due versioni di DC-Link proposte	83
6.1	Lista delle semplificazioni adottate per identificare la fonte di maggiore asimmetria nel circuito	104
7.1	Principali caratteristiche del circuito di pilotaggio dei transistori	139
7.7	Potenza dissipata dai dispositivi di potenza durante il picco positivo della tensione di ingresso	159
7.9	Risultati delle simulazioni SPICE effettuate	164
7.10	165
7.11	166

Elenco delle figure

2.1	Schema del circuito per un PFC monofase Boost	17
2.2	Schema di principio per un PFC monofase Boost controllato in CrCM	19
2.3	Schema del circuito per un PFC monofase Boost controllato in CPC	21
2.4	Schema di principio Average current mode control semplificato	23
2.5	Schema di principio Average current mode control	24
2.6	Risultati simulazioni PFC CrCM con $P_{out} = 300 W$	26
2.7	Risultati simulazioni PFC CrCM con $P_{out} = 1,6 kW$	27
2.8	Risultati simulazioni PFC CPC con $P_{out} = 300 W$	28
2.9	Risultati simulazioni PFC CPC con $P_{out} = 1,6 kW$	29
2.10	Risultati simulazioni PFC ACMC con $P_{out} = 1,6 kW$	30
2.11	Risultati simulazioni PFC ACMC con $P_{out} = 1,6 kW$	31
2.12	Corrente erogata dalla sorgente e tensione del neutro nel CrCM con $P_{out} = 1,6 kW$	32
2.13	FFT della Corrente erogata dalla sorgente nel CrCM con $P_{out} = 1,6kW$	33
2.14	Corrente erogata dalla sorgente e tensione del neutro nel CPC con $P_{out} = 1,6kW$	34
2.15	FFT della Corrente erogata dalla sorgente nel CPC con $P_{out} = 1,6kW$	35
2.16	Corrente erogata dalla sorgente e tensione del neutro nel ACMC con $P_{out} = 1,6 kW$	36
2.17	FFT della Corrente erogata dalla sorgente nel ACMC con $P_{out} = 1,6 kW$	37
2.18	FFT della Corrente erogata dalla sorgente sia con controllo CPC che ACMC con $P_{out} = 1,6 kW$	38
3.1	Schema del PFC Semi-Bridgeless	42
3.2	Schema del PFC Totem-Pole	43
3.3	Risultati simulazioni PFC Semi-bridgeless	45
3.4	Risultati simulazioni PFC Totem-Pole	46
3.5	Risultati simulazioni PFC Semi-Bridgeless	47
3.6	Risultati simulazioni PFC Semi-Bridgeless	48
3.7	Risultati simulazioni PFC Totem-Pole	49
3.8	Risultati simulazioni PFC Totem-Pole	49
3.9	Schema del PFC Semi-bridgeless con emissioni elettromagnetiche ridotte simulato	50
3.10	Risultati simulazione del PFC Semi-bridgeless con emissioni elettromagnetiche ridotte	51

3.11	FFT della tensione di riferimento del PFC Semi-bridgeless rispetto al neutro	52
3.12	Schema del PFC Totem-Pole con emissioni elettromagnetiche ridotte simulato	53
3.13	Schema del PFC Totem-Pole con emissioni elettromagnetiche ridotte simulato	54
4.1	Schema del PFC Monofase "Reference"	56
4.2	Schema del PFC Monofase "Symmetric"	58
4.3	Schema del PFC Monofase "Symmetric" durante una singola semi-onda della tensione di ingresso	59
4.4	Schema del PFC Monofase "Improved Symmetric"	61
4.5	Duty cycle del segnale in uscita al controllo di un PFC durante il semi periodo della tensione di ingresso	64
4.6	valore di induttanza richiesto per mantenere un ripple di corrente nell'induttore del 40%	65
5.1	Impedenza di un induttore di potenza	70
5.2	Datasheet del nucleo di ferrite usato	71
5.3	Modello di un induttore di potenza	72
5.4	Modello avanzato dell'induttore di potenza	74
5.5	Modello 3D dell'induttore di potenza, vista in sezione e completa (sx, dx)	75
5.6	Modello 3D dell'induttore di potenza, vista in sezione	75
5.7	Modello Y equivalente di una linea di trasmissione reciproca	76
5.8	Ammettenza $-Y_{12}$ in funzione della frequenza	76
5.9	Ammettenza $Y_{11}+Y_{12}$ in funzione della frequenza	77
5.10	Ammettenza $Y_{22}+Y_{21}$ in funzione della frequenza	77
5.11	Prototipi sperimentali degli induttori realizzati	79
5.12	Prototipi sperimentali degli induttori realizzati	79
5.13	Datsheet del nucleo di ferrite a forma toroidale usato nella verifica sperimentale del modello CST	80
5.14	Esempio di impedenza di un condensatore in funzione della frequenza	81
5.15	Modello condensatore di uscita	81
5.16	Setup della simulazione CST per la caratterizzazione del DC-Link	83
5.17	Corrente I_{as} in funzione del mismatch tra gli induttori	83
5.18	Scheda del PFC Symmetric	84
5.19		86
6.1	Schema del PFC Monofase "Reference"	90
6.2	Forme d'onda delle tensioni tra i drain dei MOS ed il riferimento del PFC Monofase "Reference" con tensione in ingresso pari al picco positivo ($V_{ac} = 315 V$)	90
6.3	$V_{OutL} - V_{neutral}$ del PFC Monofase "Reference"	91
6.4	Modello del PFC Monofase "Reference" durante la semi onda positiva della tensione di ingresso	92
6.5	Modello del PFC Monofase "Reference" con comando al gate basso	92
6.6	Modello del PFC Monofase "Reference" con comando al gate alto	92
6.7	Corrente di modo comune del PFC Monofase "Reference"	93
6.8	Spettri delle emissioni di modo comune e differenziale nel PFC Reference	94
6.9	Schema del PFC Monofase "Symmetric"	95

6.10	Forme d'onda delle tensioni ai nodi che commutano nel PFC Monofase "Symmetric" con tensione in ingresso al picco positivo $V_{in} = 315 V$	96
6.11	$V_{OutL} - V_{neutral}$ nel PFC Monofase "Symmetric"	97
6.12	Corrente I_{as} del PFC Monofase "Symmetric"	98
6.13	Spettri delle emissioni di modo comune e differenziale nel PFC Symmetric usando i modelli dei componenti	100
6.14	Schema semplificato per la semi onda positiva della tensione di ingresso del PFC Monofase "Symmetric"	101
6.15	Tensioni V_{gs} di comando ai capi dei MOS Q1 e Q2 (in alto), Tensioni ai drain dei MOS (in basso)	102
6.16	Schema del PFC Monofase "Symmetric"	103
6.17	Valore di picco di I_{as} in funzione della configurazione usata	105
6.18	Valore di picco di I_{as} in funzione della configurazione usata	106
6.19	Valore di picco di I_{as} in funzione della configurazione usata	107
6.20	Schema semplificato del PFC symmetric evidenziando la presenza dei gate drivers dei MOSFET di potenza	108
6.21	Schema del PFC Monofase "Improved Symmetric"	109
6.22	$V_{OutL} - V_{neutral}$ nel PFC Monofase "Improved Symmetric"	110
6.23	$V_{OutL} - V_{neutral}$ nel PFC Monofase "Improved Symmetric"	110
6.24	I_{as} nel PFC Monofase "Improved Symmetric"	111
6.25	$V_{s1(2)}$ nel PFC Monofase "Improved Symmetric"	112
6.26	Schema semplificato del PFC Monofase "Improved Symmetric"	112
6.27	V_{gs} nel PFC Monofase "Improved Symmetric"	113
6.28	Spettri delle emissioni di modo comune e differenziale nel PFC Improved Symmetric usando il modello dei componenti ricavato nel capitolo 5	114
6.29	Forme d'onda del PFC Improved Symmetric con $P_{out} = 500 W$	115
6.30	Forme d'onda del PFC Improved Symmetric con $P_{out} = 500 W$	115
6.31	Confronto della tensione $V_{OutL} - V_{neutral}$ fra i PFCs quando la tensione di ingresso è al picco ($V_{ac} = 315 V$)	116
6.32	Confronto della corrente I_{as} fra i PFCs al variare di V_{ac}	117
6.33	Confronto dello spettro delle emissioni di modo comune fra i PFCs per $V_{ac} = +315 V$	118
6.34	Confronto dello spettro delle emissioni di modo differenziale fra i PFCs per $V_{ac} = +315 V$	119
6.35	Valore picco-picco della corrente di asimmetria I_{as} in funzione del mismatch tra gli induttori nel pFC Reference	120
6.36	Valore picco-picco della corrente di asimmetria I_{as} in funzione del mismatch tra le capacità parassite equivalenti degli induttori nel PFC Reference	121
6.37	Spettro della corrente I_{as} del PFC Reference	122
6.38	Valore picco-picco della corrente di asimmetria I_{as} in funzione del mismatch tra gli induttori nel PFC Symmetric	123
6.39	Valore picco-picco della corrente di asimmetria I_{as} in funzione del mismatch tra gli induttori nel PFC symmetric ideale	124
6.40	Valore picco-picco della corrente di asimmetria I_{as} in funzione del mismatch tra le EPC degli induttori nel PFC Symmetric	125

6.41	Schema completo del PFC Symmetric	126
6.42	Schema completo del PFC Improved Symmetric	126
6.43	Valore picco-picco della Corrente I_{as} in funzione della configurazione di parassiti Cb adottata	127
7.1	Modello 3D del PFC Improved symmetric completo	130
7.2	Spettri della tensione di modo comune e differenziale misurate dalla LISN per il PFC Improved Symmetric in assenza di filtro EMI	132
7.3	Limiti EME CISPR25	132
7.4	Topologia filtro EMI scelta	133
7.5	Insertion Loss richiesta per il modo comune e differenziale	133
7.6	Circuito equivalente del filtro EMI e LISN per il modo comune	134
7.7	Circuito equivalente del filtro EMI e LISN per il modo differenziale	135
7.8	Insertion Loss per il modo comune ed il modo differenziale ottenuto dal filtro rispetto a quello necessario	137
7.9	Spettri delle emissioni di modo comune differenziale misurati dalla LISN con il filtro EMI progettato	138
7.10	Insertion Loss ottenuta dalla simulazione Monte Carlo sui parassiti del filtro EMI	138
7.11	Schema semplificato del gate driver UCC5350S	139
7.12	Schema semplificato del driver push-pull per trasformatori ad impulsi, SN6505B	141
7.13	Cablaggio per ottenere la quadruplicazione della tensione di ingresso al secondario	142
7.14	Cablaggio per ottenere la quadruplicazione della tensione di ingresso al secondario	143
7.15	Procedura per selezionare il trasformatore, dal datasheet del SN6505B	144
7.16	Valori di resistenza termica del LT3082 in funzione del layout	145
7.17	Cablaggio per fissare la tensione di uscita del LDO	145
7.18	Schema per soft start del LDO	146
7.19	Forme d'onda per l'accensione del LDO	146
7.20	Dettaglio ripple di tensione sull'alimentazione isolata a regime	147
7.21	Caratteristica di uscita dell'integrato AMC3330	148
7.22	Circuito per la misura della tensione di ingresso	149
7.23	Caratteristica ingresso uscita del circuito di misura della tensione di ingresso	149
7.24	Circuito semplificato di misura della tensione di uscita	151
7.25	Caratteristica ingresso-uscita del circuito di misura della tensione di uscita	152
7.26	Caratteristiche in-out dell'AMC1300B	155
7.27	Schema del circuito di misura della corrente dell'induttore	156
7.28	Relazione ingresso uscita del circuito di misura della corrente nell'induttore	156
7.29	Schema del PFC Monofase "Symmetric"	159
7.30	Modelli termici dei transistori (sopra) e dei diodi (sotto)	161
7.31	Stime della resistenza termica di un via	162
7.32		163
7.33	Layout del circuito stampato della scheda di potenza	166
7.34	Layout del circuito stampato della scheda di pilotaggio e misura	168

7.35	Modello 3D del PFC completo	169
7.36	Dimensioni della NUCLEO-G474RE	173
8.1	Spettri delle emissioni di modo comune per il PFC Totem-Pole e Improved Symmetric a confronto	175

Capitolo 1

Introduzione

I dispositivi di correzione attiva del fattore di potenza o PFC (Power Factor Corrector) attivi sono dei circuiti commutati di tipo AC-DC che assorbono una corrente poco distorta dalla rete a C.A. e forniscono in uscita una tensione continua pre-regolata, di norma ad un valore superiore al picco della tensione di ingresso. L'utilizzo di questi circuiti sta diventando sempre più comune specialmente per dispositivi che assorbono una potenza superiore ai 75W [11][*Control challenges in a totem-pole PFC*], infatti, massimizzando il fattore di potenza si riduce la potenza apparente facendola tendere alla sola potenza attiva. In ambito industriale, date le elevate potenze in gioco, il controllo del fattore di potenza risulta ancora più cruciale.

1.1 Introduzione ai PFC monofase

Questo primo capitolo introduttivo è un compendio che tratta un'ampia gamma di soluzioni monofase, dalle più convenzionali, con ponte raddrizzatore, fino alle più recenti evidenziando per ciascuna soluzione i vantaggi e gli svantaggi. I parametri che verranno considerati per lo studio sono i seguenti:

- Efficienza del circuito (*)

$$\eta = \frac{\langle P_{out} \rangle}{\langle P_{in} \rangle} \quad (\text{DEF})$$

- Fattore di potenza (*)

$$PF = \frac{\langle P_{att} \rangle}{\langle P_{app} \rangle}$$

*mediati su un numero intero di periodi della tensione di ingresso

- Caratterizzazione elettromagnetica
 - Studio della tensione di riferimento del circuito di potenza in funzione della tensione del neutro
 - Studio dello spettro della corrente erogata dal generatore di tensione

Capitolo 2

PFC Monofase con ponte raddrizzatore

In questa sezione si studia la topologia più classica del PFC monofase in cui è presente il ponte raddrizzatore e successivamente un convertitore di tipo Boost. Solitamente si utilizza questo convertitore per la sua semplicità e per il fatto che permette di ottenere correnti di ingresso poco distorte e un fattore di potenza quasi unitario [5][*Fundamentals of Power Electronics*], possono essere usate diverse tecniche di controllo.

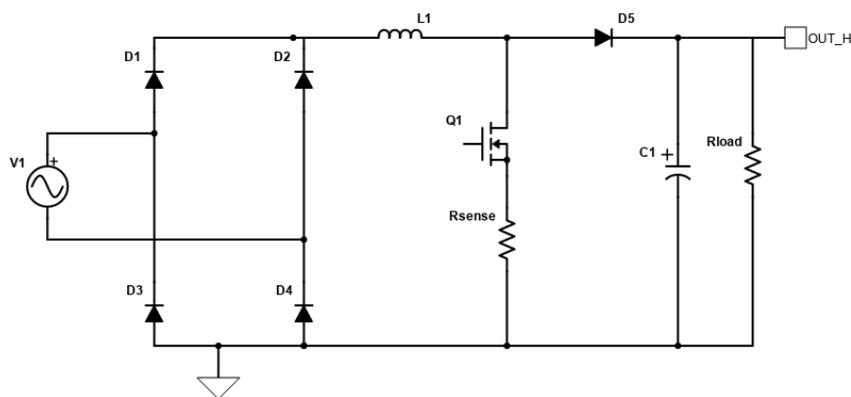


Figura 2.1. Schema del circuito per un PFC monofase Boost

2.1 Funzionamento PFC tipo Boost

In questo paragrafo si analizza il funzionamento del PFC di tipo Boost. La tensione di ingresso, sinusoidale con ampiezza di $220 V_{rms}@50 Hz$, va ad un ponte raddrizzatore il cui negativo dell'uscita costituisce il riferimento di tensione del circuito di potenza mentre

il polo positivo presenterà una tensione sinusoidale raddrizzata rispetto al riferimento. Il circuito opera in due distinte fasi, una prima fase di carica dell'induttore ed una seconda nella quale si alimenta il carico ed il condensatore di uscita. Durante la prima fase il comando del transistor M1 è alto quindi esso, a meno della caduta sul MOS stesso e sul resistore di shunt, vincola la tensione ai capi dell'induttore al valore:

$$\Delta v_L \simeq v_G$$

Quindi, durante questa fase, la corrente che scorre nell'induttore aumenta in maniera pressoché lineare con una pendenza data da

$$\frac{\partial I_L}{\partial t} \simeq \frac{v_G}{L} \text{ con } T_{acc} \ll T_{input} = 20 \text{ ms}$$

Alla fine del ciclo l'induttore sarà percorso da una corrente $I_L \simeq \frac{v_G}{L} \cdot T_{acc}$ dove T_{acc} è il tempo per cui il segnale di comando è tenuto "alto". Nella seconda parte del ciclo il comando scende al livello basso, quindi il transistor smette di condurre e si comporta, idealmente, come un circuito aperto. In questa fase la corrente che scorre nell'induttore, non potendo cambiare bruscamente, fluisce attraverso il diodo verso il condensatore di uscita ed il carico. Affinché ciò avvenga il diodo deve essere in conduzione e quindi si può affermare che

$$v_{DS} \simeq V_{out} + V_\gamma$$

dove V_γ è la caduta di tensione sul diodo. La corrente da un lato caricherà il condensatore, dall'altro alimenterà il carico. Questo condensatore deve essere tale da ridurre il ripple sulla tensione di uscita fino ad un livello compatibile con la specifica del progetto in considerazione, infatti, durante la fase di carica dell'induttore questo condensatore alimenta il carico e mantiene la tensione di uscita ad un valore più o meno costante.

Finora non è stato detto nulla sul segnale di comando, questo sarà generato da un opportuno sistema di controllo che dovrà assicurare due condizioni fondamentali:

- $\langle V_{out} \rangle \simeq V_{out}^{spec}$ ovvero che la tensione di uscita media a regime sia pari alla tensione di uscita da specifica
- $PF = 1$ ovvero che la corrente media assorbita dal circuito abbia la stessa forma della tensione in ingresso e sia in fase con essa.

$$(REQ\ 1) \tag{2.1}$$

In letteratura sono stati sviluppati una grande varietà di algoritmi di controllo per soddisfare i requisiti al punto precedente, tra questi i più comunemente utilizzati sono:

- Critical Conduction Mode (CrCM)
- Current Programmed Control (CPC)
- Average current mode control (ACMC)

Ognuno di essi è analizzato nei paragrafi successivi, inoltre, sono state effettuate delle simulazioni considerando due setup:

- $P_{out} = P'_{out} = 300W$; $\langle V_{out} \rangle = 400V$
- $P_{out} = P''_{out} = 1600W$; $\langle V_{out} \rangle = 400V$

2.2 Tecniche di controllo

2.2.1 Critical Conduction Mode (CrCM)

In questo paragrafo si analizza la Critical Conduction Mode per controllare il PFC Monofase di tipo Boost, in figura 2.2 è mostrato uno schema di principio del circuito, comprendente di parte di potenza e di controllo.

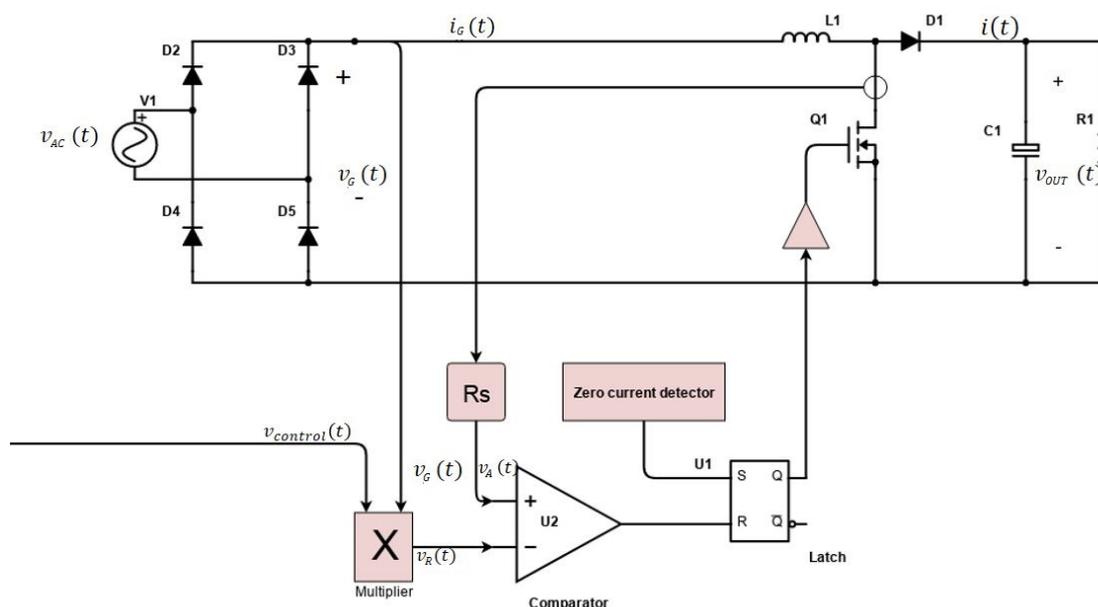


Figura 2.2. Schema di principio per un PFC monofase Boost controllato in CrCM

Il controllore è uno dei più semplici da realizzare, esso opera, come si evince dal nome, in Critical conduction mode. Nei circuiti commutati, come il PFC, è possibile distinguere diverse modalità di funzionamento in base allo stato di conduzione dell'induttore. In particolare si distinguono:

- **CCM - Continuous conduction mode:** Se il circuito opera in questa modalità la corrente nell'induttore non diventa mai nulla, essa oscillerà tra un valore minimo ed uno massimo
- **DCM - Discontinuous conduction mode:** In questa modalità la corrente nell'induttore arriva ad annullarsi durante la fase di scarica dell'induttore
- **CrCM - Critical conduction mode:** In questo caso il circuito opera al bordo tra le due precedenti modalità ovvero nel momento nel quale la corrente sull'induttore si annulla allora il comando del transistor diventa alto riportando la corrente sull'induttore ad un valore non nullo.

Supponendo che l'induttore sia scarico (prima accensione) e supponendo che il segnale di Reset del Flip-Flop SR sia allo zero logico allora il segnale di set si porta all'uno logico. Il segnale di uscita del Flip-Flop diventa alto e attraverso un gate driver (qui non rappresentato) si accende il transistor che si comporterà come un transistor con resistenza pari ad R_{on} del valore di alcuni $m\Omega$. La corrente I_L quindi sale linearmente, finché essa (misurata attraverso il resistore di shunt R_{sense}) non raggiunge un valore opportuno. Infatti, finché la corrente è inferiore a questo valore il segnale di reset del SR è basso essendo la tensione al positivo del comparatore inferiore ad un valore di tensione definito dal segnale di controllo $v_R(t)$. Non appena $v_A(t) > v_R(t)$ il segnale di Reset assume il valore logico alto ed il MOS si spegne, facendo cominciare la fase di scarica. Non appena la corrente è prossima a zero, il segnale di Set del Latch diventa alto ricominciando il ciclo di carica dell'induttore.

$v_R(t)$ è sia proporzionale alla tensione in uscita al controllore PI che alla tensione v_G . E' proprio attraverso questa doppia dipendenza che è possibile verificare contemporaneamente i due requisiti al 2.1. Il valore medio della corrente sarà sia proporzionale ad una tensione di controllo ($v_{control}$) che permette di fissare il valore medio della tensione in uscita sia alla tensione raddrizzata (v_G) e quindi a quella di ingresso. Il circuito non ha una frequenza di switching fissa ma essa dipende dal circuito stesso. Se la tensione di ingresso è vicina al suo valore massimo allora la frequenza di commutazione sarà minima, mentre in prossimità degli attraversamenti della tensione di rete con lo zero essa salirà. I valori minimi e massimi di frequenza di commutazione possono essere definiti dalle seguenti relazioni [5][*Fundamentals of Power Electronics*]:

$$f_s^{max} = \frac{V_M^2}{4LP}$$

$$f_s^{min} = \frac{V_M^2}{4LP} \cdot \left(1 - \frac{V_M}{\langle V_{out} \rangle}\right)$$

con V_M valore di picco della tensione di ingresso e P potenza in uscita

2.2.2 Current Programmed Control

La tecnica di controllo denominata "Current Programmed Control" o più brevemente CPC è una tecnica di controllo del PFC tipo Boost nella quale, come si evince dalla figura 2.3, è possibile ottenere un fattore di potenza quasi unitario con un ridotto numero di componenti ed utilizzando un clock. In questo modo si evita di ricorrere a sistemi, come nel CrCM, i quali non hanno frequenze di commutazioni definite.

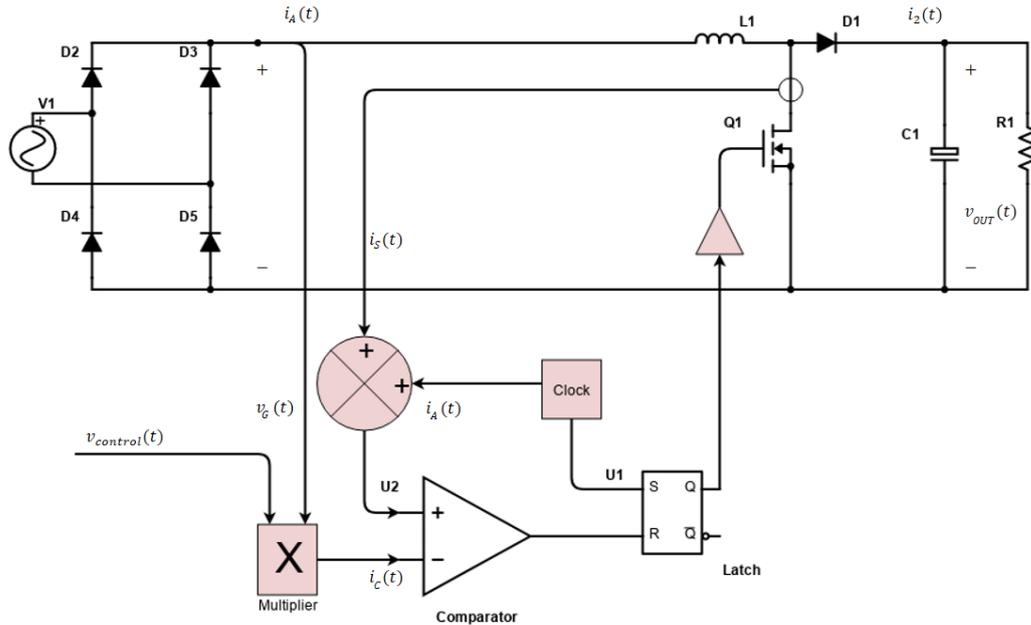


Figura 2.3. Schema del circuito per un PFC monofase Boost controllato in CPC

Nello schema si impone un fattore di potenza unitario rendendo il segnale di controllo della corrente, $i_C(t)$ proporzionale alla tensione $V_g(t)$, inoltre l'ampiezza di questo segnale è modulato da $v_{control}(t)$ che assicura che la tensione di uscita sia pari, a regime, ad un valore prestabilito. Il segnale $i_C(t)$ viene allora confrontato, per mezzo di un comparatore, al segnale dato da $i_G(t) + i_A(t)$, il primo è direttamente ricavato dalla misura della corrente che scorre nel transistor mentre il secondo è dato da un rampa esterna. Si può dimostrare [5][*Fundamentals of Power Electronics*] che il circuito di controllo affinché sia stabile anche per valori del duty cycle $D > 0.5$ è necessario sommare al segnale dato dalla corrente sul MOS un segnale a rampa con frequenza pari a quella di commutazione e pendenza opportuna. Ad ogni ciclo di clock il latch SR viene settato ad 1 dallo stesso segnale di clock, questo allora accende il MOS attraverso il quale fluisce una corrente che aumenta linearmente. Infatti, se il transistor è acceso la tensione sull'induttore è $v_L(t) \simeq v_G(t)$, quindi la corrente sui due componenti, che è la stessa, aumenta linearmente con pendenza determinata da $v_G(t)$ ed L . Questa, appena supera un certo valore definito dalla $i_C(t)$,

determina la commutazione del comparatore la cui uscita va a 1 resettando il latch e quindi spegnendo il MOS. Di norma si sceglie come controllore un semplice PI. Questa tecnica può operare sia in CCM che in DCM, si dimostra [5] che il convertitore opera in CCM se

$$\langle i_G(t) \rangle_{T_s} > \frac{T_s \cdot \langle V_{out} \rangle}{2L} \frac{v_G(t)}{\langle V_{out} \rangle} \cdot \left(1 - \frac{v_G(t)}{\langle V_{out} \rangle}\right)$$

2.2.3 Average current mode control

Un altro tipo di controllo molto popolare nella progettazione dei PFC è il Average current mode control. In questa modalità di controllo non si modifica il duty cycle del controllore affinché esso rispetti i requisiti del 2.1 ma si controlla direttamente la corrente media che fluisce dalla sorgente. Esso può operare sia in DCM che in CCM. Uno schema di principio è rappresentato nella figura 2.4.

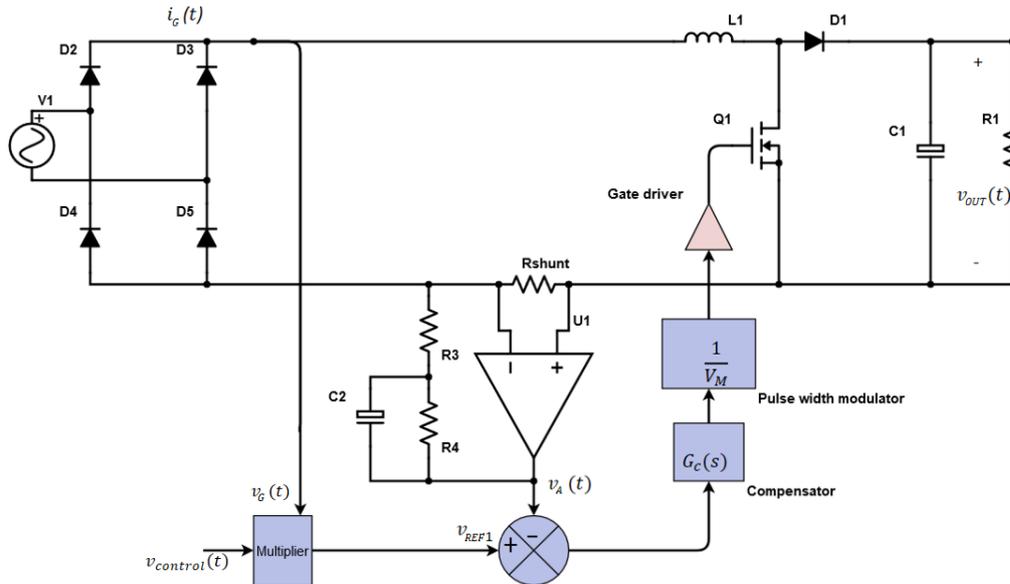


Figura 2.4. Schema di principio Average current mode control semplificato

La corrente $i_G(t)$ viene misurata, attraverso un resistore di shunt, amplificata e filtrata da un apposito amplificatore così che siano attenuati residui di switching. Il segnale $v_A(t)$ risulta quindi proporzionale al valore medio della corrente $i_G(t)$, il quale viene confrontato con il segnale v_{ref1} . Il segnale di errore, in uscita al sommatore, viene quindi utilizzato dal compensatore ed infine dal PWM. Affinché si imponga un fattore di potenza unitario il segnale v_{ref1} è derivato dalla tensione di rete raddrizzata, inoltre, per ottenere il controllo della tensione di uscita è necessario modulare l'ampiezza del segnale attraverso il segnale $v_{control}$. Si può dimostrare [5][*Fundamentals of Power Electronics*] che per avere P_{out} indipendente da v_{ac} è necessario che

$$v_{ref1}(t) = \frac{P_{out} v_G(t) R_s}{v_{G,rms}^2}$$

Un modo possibile di implementare la precedente equazione è dato dallo schema in figura 2.5.

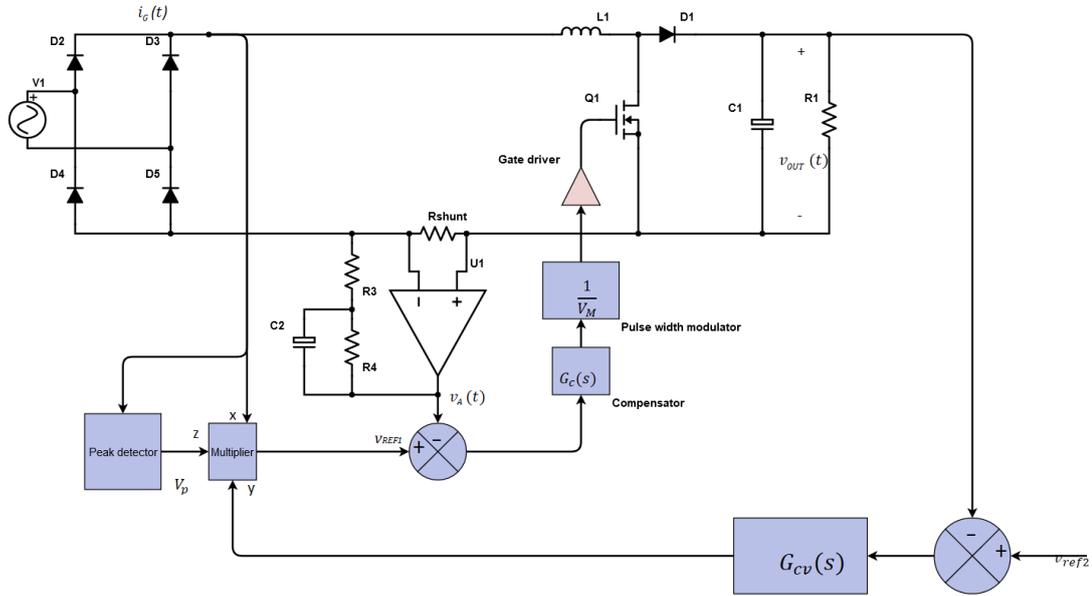


Figura 2.5. Schema di principio Average current mode control

E' possibile notare come siano presenti due anelli di controllo e i due relativi controllori. Si ha un anello di controllo interno ed un anello di controllo esterno. Il primo opera sulla corrente media, mentre il secondo controlla il valore medio della tensione $\langle V_{out}(t) \rangle$. I controllori sono solitamente entrambi di tipo PI. L'anello esterno di controllo deve essere più lento di quello interno di controllo della corrente.

In generale, le prestazioni di un sistema di controllo sono definiti da due parametri la frequenza di taglio f_c e il margine di fase θ_{pm} . La prima rappresenta la frequenza $-3 dB$ del guadagno d'anello, mentre il margine di fase rappresenta la differenza tra la fase del guadagno d'anello e $\alpha = -180^\circ$ per il valore di frequenza per la quale il guadagno d'anello del sistema interseca i $0dB$. La frequenza f_c determina la velocità del controllore, il margine di fase misura quanto il sistema sia stabile; di norma si impone un margine di fase di circa 60° . Nel caso del controllo ACMC il controllore dell'anello interno di corrente deve avere una banda quanto più ampia possibile, così da ridurre il THD della corrente di ingresso essendo comunque inferiore a quella di switching così che si eviti che i disturbi alla frequenza di switching alterino il comportamento del controllore. Di norma si impone la f_c di questo controllore ad un valore inferiore il 10% della frequenza di commutazione. L'anello di controllo esterno ha il compito di ridurre il ripple sulla tensione di uscita e portarla, a regime, al valore fornito dalla specifica. La sua banda dovrà essere limitata, anche per non interferire con l'anello di controllo della corrente, normalmente si impone che sia compresa tra $2Hz$ ed i $10Hz$.

2.3 Analisi efficienza PFC tipo Boost

Sulla base delle simulazioni realizzate in ambiente LTSpice, si calcola, in questa sezione, l'efficienza dei circuiti come:

$$\eta = \frac{P_{out}(t)}{P_{in}(t)} = \frac{V_{out}(t) \cdot I_{Load}(t)}{V_{ac}(t) \cdot I_{Iac}(t)}$$

mediata su un periodo di tempo pari a $T_{media} = 5 \cdot T_s$.

E' importante evidenziare che per implementare i controllori si è fatto ricorso ad alcune produzioni ben note in letteratura. Esse utilizzano modelli lineari e tempo invarianti del Boost che semplificano notevolmente il calcolo dei parametri dei controllori, tutti di tipo PI. [5] [9][*PFC boost converter design guide*] [8][«Control techniques for power factor correction converters»] [7][*Design Guide for Boost Type CCM PFC with ICE3PCSxx*]

2.3.1 Efficienza PFC di tipo Boost con controllo CrCM

Il circuito è stato simulato sul programma LTSpice ed i risultati sono riassunti nelle seguenti figure 2.6 e 2.7 le quali mostrano il comportamento a regime del circuito per un intervallo di tempo pari a T_{media} per le due potenze di uscita (P'_{out}, P''_{out}).

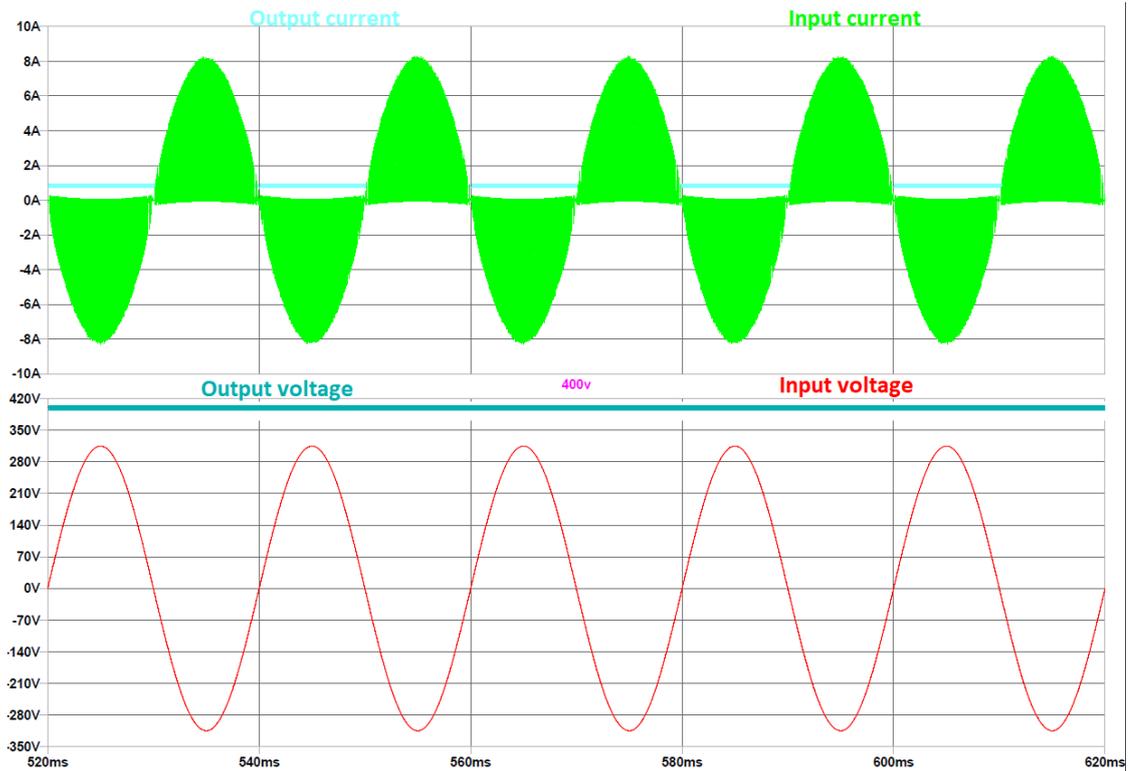


Figura 2.6. Risultati simulazioni PFC CrCM con $P_{out} = 300 W$

$$\eta|_{P''_{out}} \simeq \frac{299.43 W}{309.29 W} = 96.81\%$$

$$PF|_{P''_{out}} \simeq \frac{309.29 W}{2.3296 A \cdot 222.74 V} = 59.6\%$$

Dalla figura 2.6 si evince che la tensione di uscita a regime coincide con la $V_{out} = Vt = 400 V$ di progetto, inoltre la corrente assorbita ha un andamento sinusoidale (distorto) in fase con la tensione di rete V_{in} . Con P''_{out} si noti come il circuito risulti molto efficiente ma il fattore di potenza sia molto basso. E' importante sottolineare che nelle simulazioni non sono stati utilizzati filtri EMI, un eventuale introduzione di quest'ultimo andrebbe sicuramente ad aumentare di molto il fattore di potenza attenuando le armoniche con frequenza superiore a quella di rete.

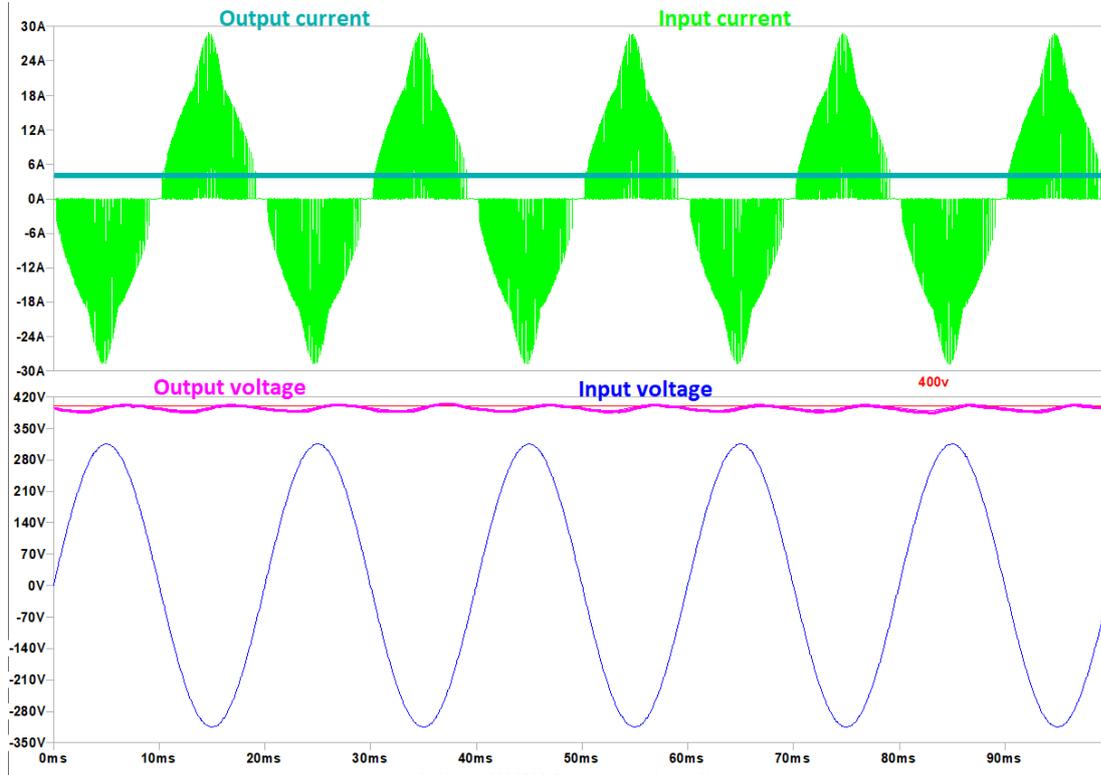


Figura 2.7. Risultati simulazioni PFC CrCM con $P_{out} = 1,6 \text{ kW}$

$$\eta|_{P'_{out}} \simeq \frac{1.5752 \text{ kW}}{1.6116 \text{ kW}} = 97.74\%$$

$$PF|_{P'_{out}} \simeq \frac{1.6116 \text{ kW}}{9.2138 \text{ A} \cdot 222.74 \text{ V}} = 78.53\%$$

Per potenze più elevate l'efficienza del circuito aumenta attestandosi a valori alti. Il fattore di potenza migliora rispetto al caso precedente ma dalla figura 2.7 si può notare come la corrente di picco che per P''_{out} era di circa 7 A adesso raggiunge i quasi 30 A. Quindi sebbene questa tecnica di controllo sia particolarmente semplice da implementare essa genera correnti di picco troppo alte per potenza oltre i 300 W. E' noto in letteratura che questa tecnica di controllo è più adatta a livelli di potenza inferiori ad alcune centinaia di Watt [5]. Si può quindi affermare che il CrCM sia la tecnica di controllo più semplice e a basso costo disponibile che però non permette di ottenere elevati fattori di potenza.

2.3.2 Efficienza PFC di tipo Boost con controllo CPC

Analogamente a quanto fatto per il PFC controllato in CrCM adesso sono mostrati i risultati delle simulazioni per il PFC controllato in CPC.

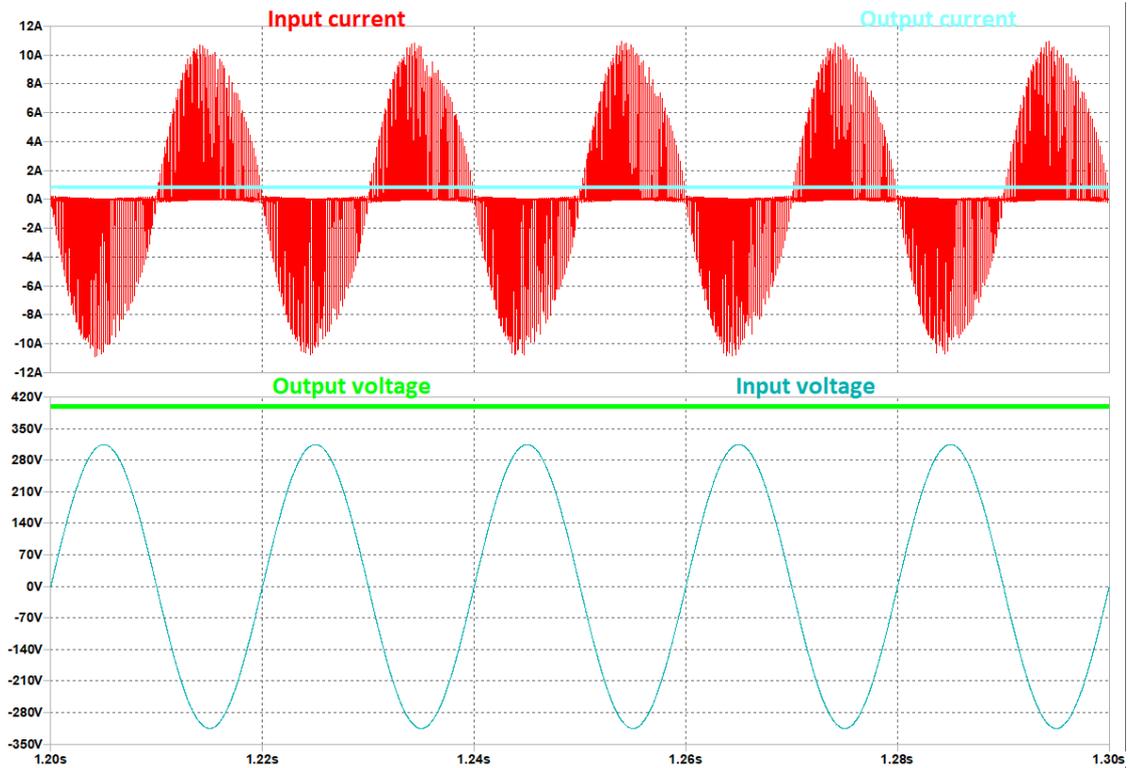


Figura 2.8. Risultati simulazioni PFC CPC con $P_{out} = 300 \text{ W}$

Anche in questo caso il circuito a regime ha una tensione di uscita molto vicina ai 400 V da specifica. Si noti come il circuito, data la bassa potenza assorbita dal carico, lavori in DCM.

$$\eta|_{P''_{out}} \simeq \frac{300.17 \text{ W}}{307.71 \text{ W}} = 97.5\%$$

$$PF|_{P''_{out}} \simeq \frac{307.71 \text{ W}}{2.6347 \text{ A} \cdot 222.74 \text{ V}} = 52.43\%$$

In questo caso l'efficienza del circuito è molto elevata ma il fattore di potenza è basso. Questo è causato dal fatto che il circuito è stato progettato per lavorare con potenze più elevate e quindi se la potenza assorbita dal carico è troppo limitata allora esso non opera più in CCM, come da progetto, ma in DCM diminuendo il fattore di potenza ottenibile.

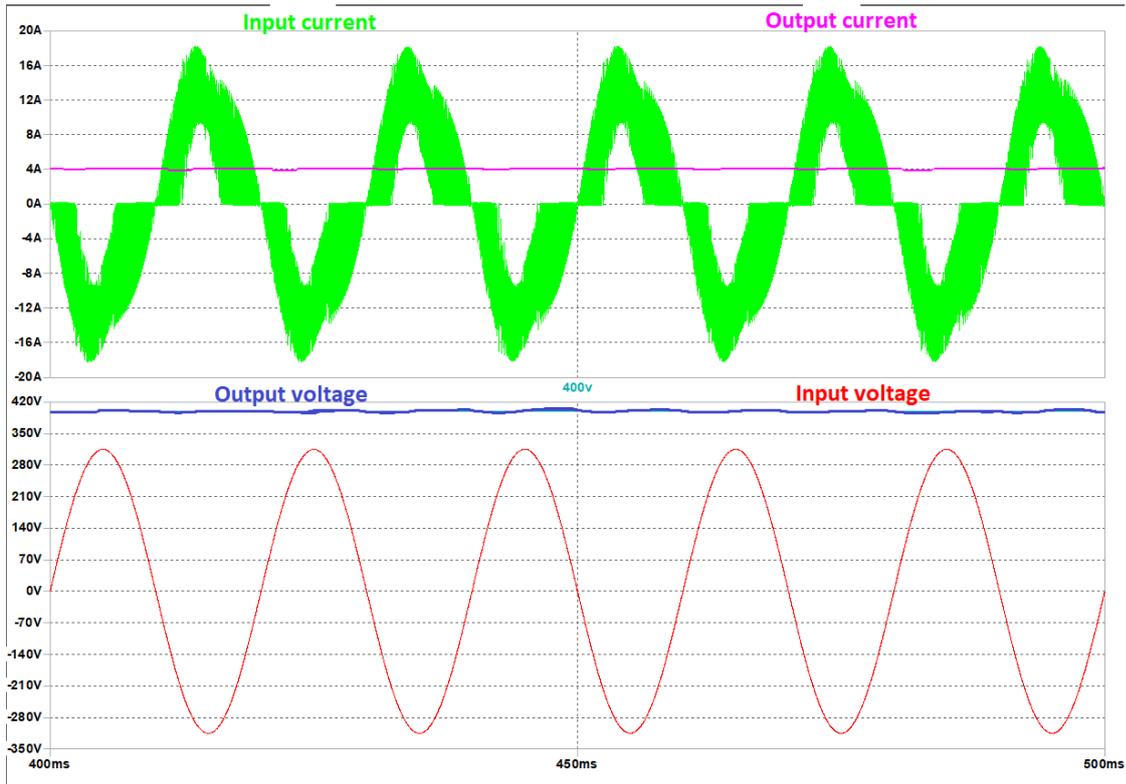


Figura 2.9. Risultati simulazioni PFC CPC con $P_{out} = 1,6 \text{ kW}$

$$\eta|_{P'_{out}} \simeq \frac{1.6019 \text{ kW}}{1.6278 \text{ kW}} = 98.29\%$$

$$PF|_{P'_{out}} \simeq \frac{1.6278 \text{ kW}}{8.2078 \text{ A} \cdot 222.74 \text{ V}} = 89.03\%$$

Per potenze più elevate come 1.6 kW si noti come l'efficienza salga infatti essa raggiunge il 98.29%, un valore estremamente elevato. Il fattore di potenza migliora nettamente dato che per buona parte del ciclo AC il circuito lavora in CCM. In particolare, si noti come in prossimità degli attraversamenti per lo zero della tensione di rete il convertitore tenda a lavorare in DCM; questo è causato dai bassi valori della tensione di ingresso che non permettono all'induttore, durante le fasi di carica, di raggiungere valori di corrente sufficientemente alti da non azzerarsi durante le fasi di scarica. Quindi, un convertitore comandato in CPC otterrà migliori fattori di potenza a pieno carico anziché per carichi leggeri.

2.3.3 Efficienza PFC di tipo Boost con controllo ACMC

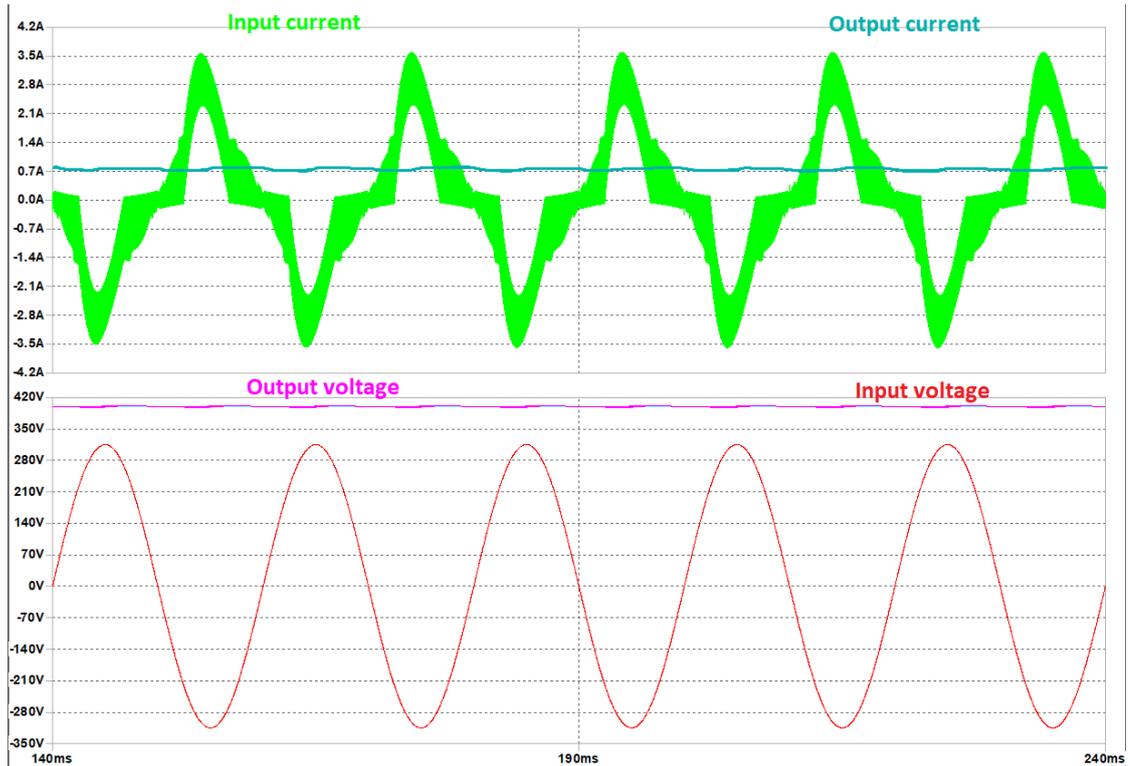


Figura 2.10. Risultati simulazioni PFC ACMC con $P_{out} = 1,6 \text{ kW}$

Nelle figure 2.10 e 2.11 sono mostrati i risultati delle simulazioni del PFC di tipo Boost controllato in ACMC. Il controllo è stato progettato, come per il CPC, per lavorare con una potenza $P = P'_{out} = 1,6 \text{ kW}$.

$$\eta_{P'_{out}} \simeq \frac{300.18 \text{ W}}{306.82 \text{ W}} = 97.83\%$$

$$PF_{P'_{out}} \simeq \frac{306.82 \text{ W}}{1.5497 \text{ A} \cdot 222.74 \text{ V}} = 88.88\%$$

Il circuito mostra una efficienza molto alta e un buon fattore di potenza per basse potenze, al contrario del CPC. Inoltre, la corrente di picco erogata dalla sorgente risulta minore di tutte le altre topologie. Infatti, il convertitore riesce ad operare, con carichi leggeri, per buona parte del periodo in CCM. Comunque la forma d'onda della corrente risulta particolarmente distorta.

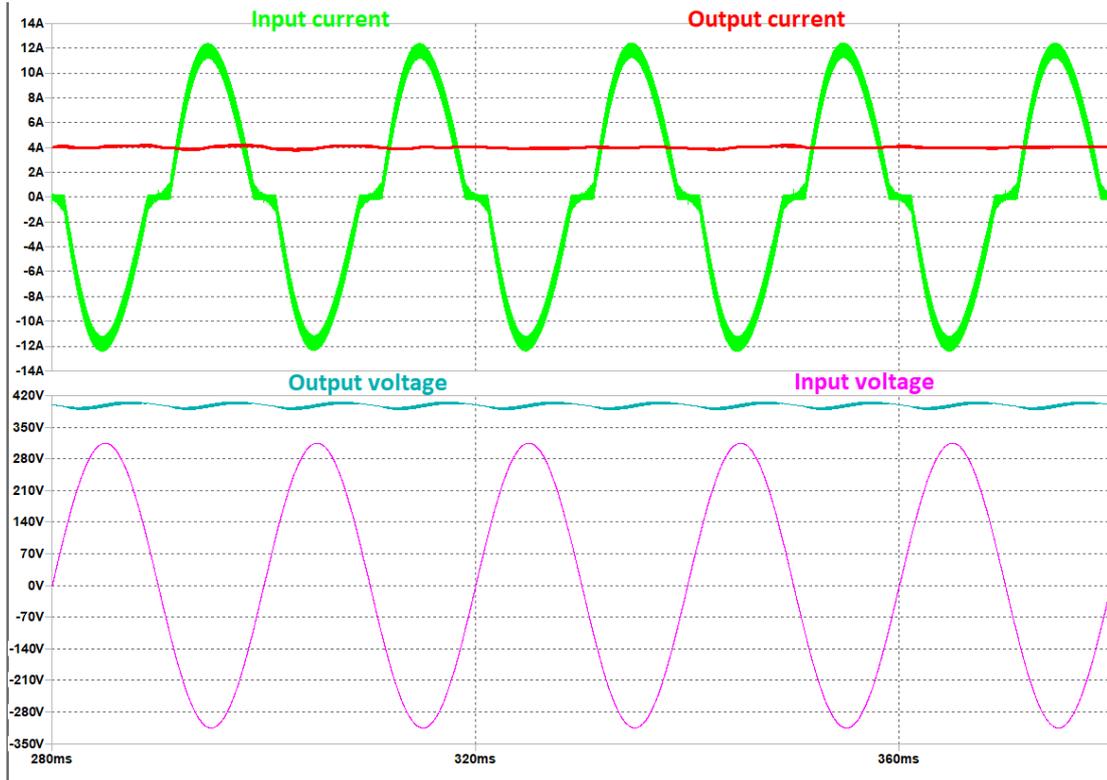


Figura 2.11. Risultati simulazioni PFC ACMC con $P_{out} = 1,6 \text{ kW}$

$$\eta|_{P''_{out}} \simeq \frac{1.6002 \text{ kW}}{1.6457 \text{ kW}} = 97.2\%$$

$$PF|_{P''_{out}} \simeq \frac{1.6457 \text{ kW}}{7.5403 \text{ A} \cdot 222.74 \text{ V}} = 97.99\%$$

Per potenze comparabili a quella di progetto le prestazioni di questa tecnica di controllo sono di molto superiori rispetto a tutte le altre tecniche considerate. Dalla sola ispezione visiva dei risultati si nota come la forma d'onda della corrente sia pressoché sinusoidale ed in fase con la tensione di rete. I problemi di distorsione da crossover presenti in altre topologie, come il CPC, sono largamente evitate ed il circuito opera, per la quasi totalità del tempo in CCM. I requisiti 2.1 sono quasi totalmente raggiunti, una efficienza molto elevata ed un fattore di potenza che con l'aggiunta di un filtro in ingresso facilmente può raggiungere un valore molto prossimo all'unità. Come per la tecnica CPC si intuisce come a pieno carico il fattore di potenza del convertitore migliori come diretta conseguenza della maggiore porzione del periodo per cui opera in CCM. Ovviamente è possibile incrementare il valore dell'induttore di ingresso per estendere la porzione di periodo in cui il convertitore opera in CCM.

2.4 Analisi emissioni elettromagnetiche PFC tipo Boost

In questa sezione viene condotta un'analisi delle emissioni elettromagnetiche dei circuiti precedentemente visti. In particolare si farà riferimento a due grandezze:

- Tensione del neutro rispetto al riferimento di uscita
- Corrente erogata dal generatore di tensione

L'analisi viene condotta solamente per il caso $P = P''_{out}$.

2.4.1 Analisi emissioni elettromagnetiche PFC di tipo Boost con controllo CrCM

La prima tecnica di controllo analizzata è la CrCM, le figure 2.12 2.13 mostrano la tensione del riferimento del circuito di potenza rispetto al neutro e la corrente erogata dalla sorgente nel dominio del tempo. Della forma d'onda della corrente viene riportato anche lo spettro.

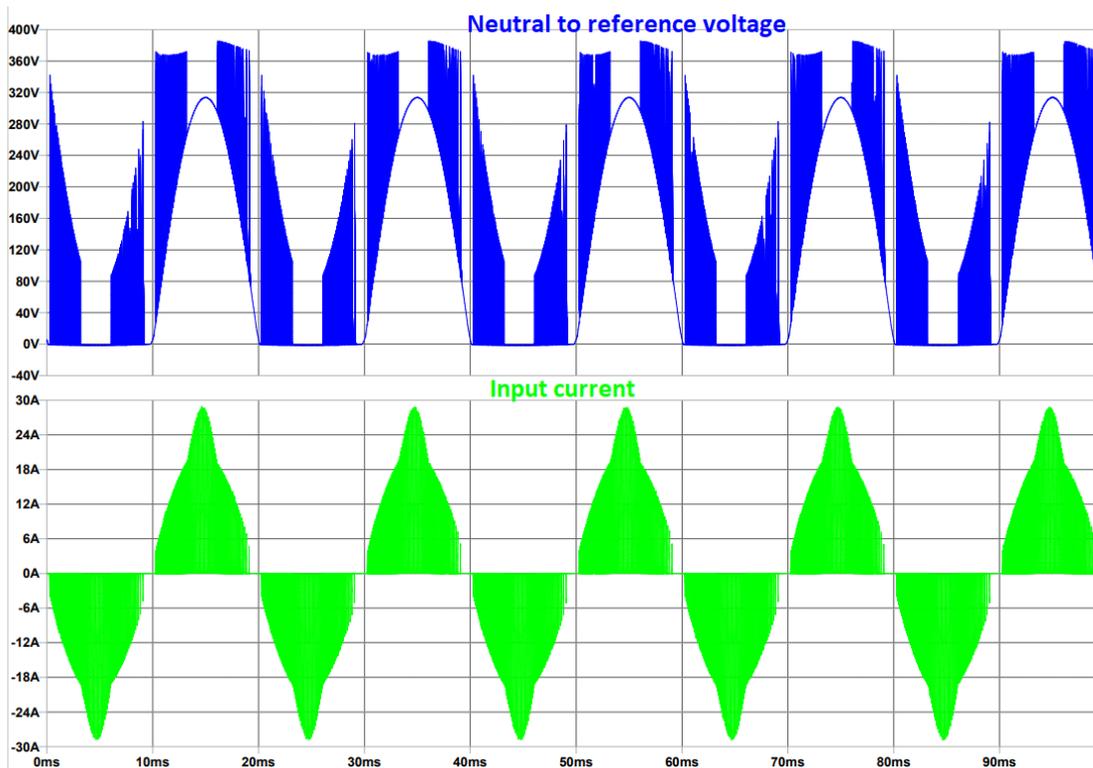


Figura 2.12. Corrente erogata dalla sorgente e tensione del neutro nel CrCM con $P_{out} = 1,6 kW$

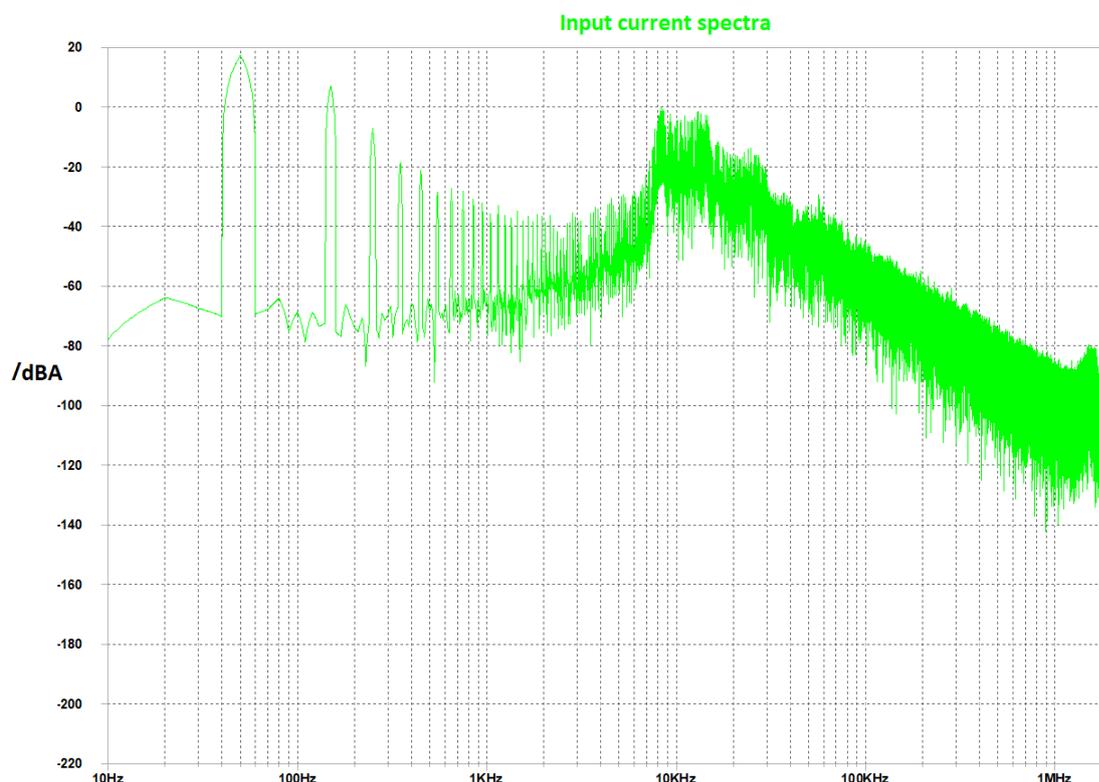


Figura 2.13. FFT della Corrente erogata dalla sorgente nel CrCM con $P_{out} = 1,6kW$

Come si può notare dalle precedenti figure 2.12 2.13 a causa del modo di conduzione (CrCM) si ha una grande iniezione di disturbi. Infatti, è stata condotta una attenta analisi sulla natura degli spikes osservabili sulla tensione di neutro rispetto al riferimento che ha portato alle seguenti conclusioni:

- La corrente sull'induttore, in teoria, appena raggiunto lo 0 dovrebbe risalire. Ciò non avviene istantaneamente ma per una certa quantità di tempo essa rimane nulla. Nella simulazione questa quantità di tempo era imputabile al tempo di commutazione della logica (SR) ed al tempo di accensione del MOS.
- Durante la fase di scarica la tensione ai capi dell'induttore vale $\Delta v_L \simeq v_{ac} - V_{out}$ la corrente nell'induttore diventa nulla ad un istante t_3 . Nell'intervallo di tempo tra t_3 e l'inizio del successivo ciclo AC il circuito oscilla a causa della capacità $C_{ds} \neq 0$ parassita del MOS che è carica a $v_{DS} \simeq V_{out}$ mentre nel nodo a sinistra dell'induttore è presente la capacità parassita tra il ponte a diodi e il riferimento per la quale si ha $v_{C_{ponte}} \simeq v_{ac}$
- Non appena il MOS si accende la capacità C_{ds} viene scaricata e lo spike termina.

Quindi questa modalità di controllo è molto soggetta a disturbi a causa del fatto che opera sempre, seppur per brevi periodi di tempo, in DCM. Allo scopo di corroborare la

precedente teoria si è allora condotta una simulazione che sostituiva tutti i dispositivi con modelli ideali. Ciò porta a trascurare del tutto le capacità parassite del circuito. In tal caso si ha che gli spikes di figura 2.14 non siano presenti.

Lo spettro presenta un picco del valore dei disturbi per $f \simeq 10kHz$ con un valore prossimo ai $0dBV$. Uno degli svantaggi più evidenti nel utilizzo del CrCM è che non si possibile definire in maniera precisa quale sia la frequenza di commutazione del circuito portando quindi alla presenza di disturbi di notevole entità anche a frequenze molto basse.

2.4.2 Analisi emissioni elettromagnetiche PFC di tipo Boost con controllo CPC

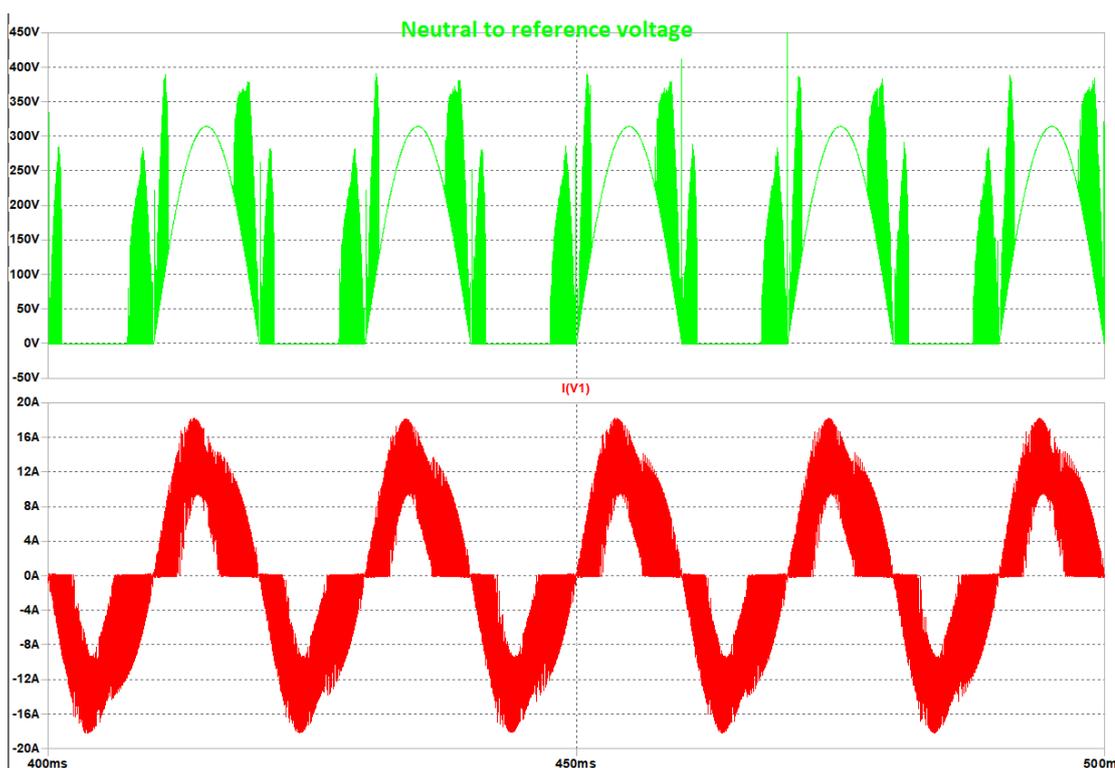


Figura 2.14. Corrente erogata dalla sorgente e tensione del neutro nel CPC con $P_{out} = 1,6kW$



Figura 2.15. FFT della Corrente erogata dalla sorgente nel CPC con $P_{out} = 1,6kW$

Nelle precedenti figure sono mostrate le forme d'onda che caratterizzano il funzionamento del PFC di tipo Boost controllato in CPC.

Anche in questo caso si può notare la presenza degli spikes sulla tensione di riferimento, la natura di questi picchi è sempre da ricercarsi nel fatto che il circuito operi in DCM. Si può notare come vicino all'attraversamento dello zero della tensione di rete il circuito operi in DMC anziché in CCM. Il circuito opera per meno tempo in DCM all'aumentare del valore dell'induttore e all'aumentare della potenza in uscita. Si può comunque notare un miglioramento delle prestazioni (in termini di emissioni EMC) rispetto al caso CrCM. Dalla figura 2.15 è possibile notare come il picco nei disturbi sia localizzato alla frequenza di commutazione pari a $100kHz$ sebbene siano presenti altri picchi a frequenza inferiore.

2.4.3 Analisi emissioni elettromagnetiche PFC di tipo Boost con controllo ACMC

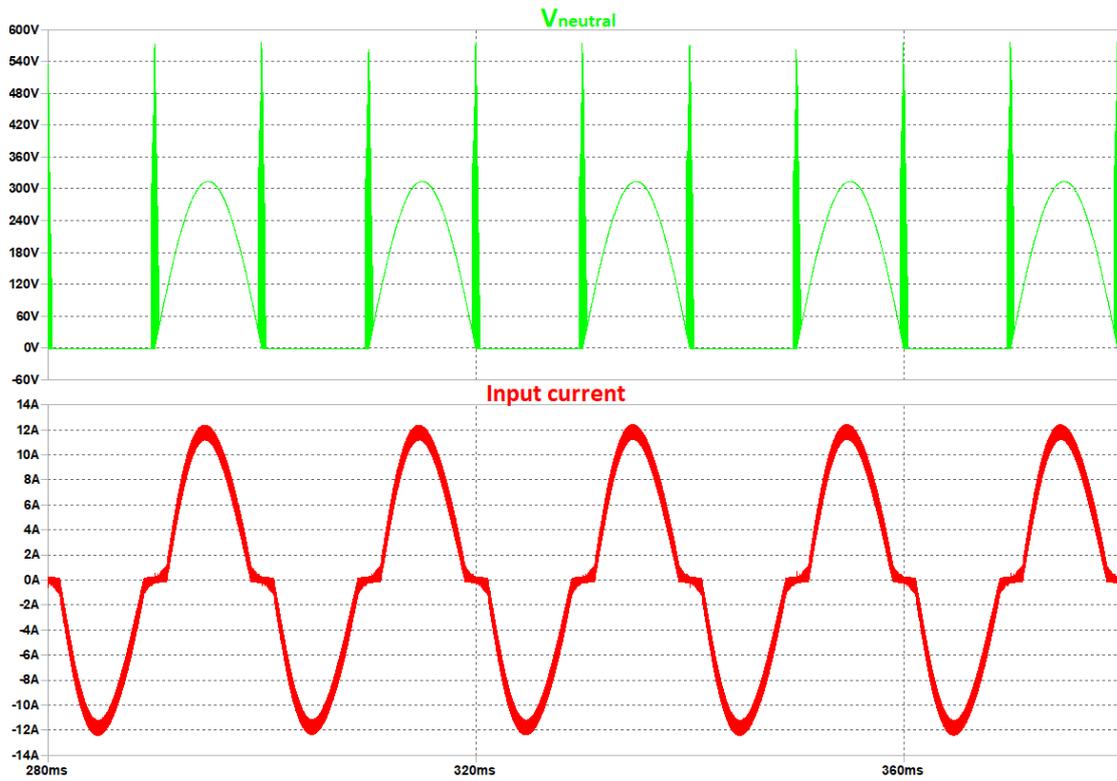


Figura 2.16. Corrente erogata dalla sorgente e tensione del neutro nel ACMC con $P_{out} = 1,6 kW$

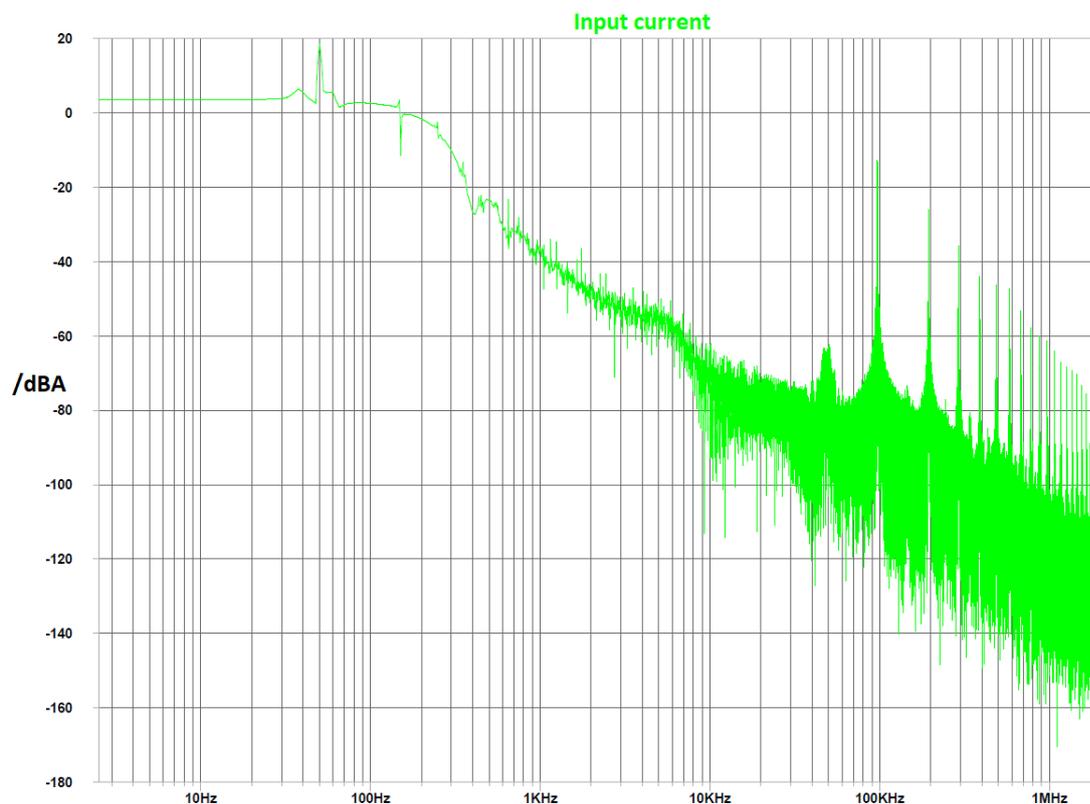


Figura 2.17. FFT della Corrente erogata dalla sorgente nel ACMC con $P_{out} = 1,6 \text{ kW}$

Per la tecnica di controllo ACMC i risultati sono migliori rispetto ai precedenti, si noti come l'analisi in frequenza mostra picchi di emissione siano in corrispondenza della frequenza di switching e dei suoi multipli. Rispetto alla tecnica CPC non sono presenti i picchi a frequenze inferiori rispetto a quella di switching. Si può quindi concludere che la tecnica ACMC ha uno spettro migliore rispetto a quello ottenuto con la CrCM avendo il picco di circa 10 dB inferiore. Rispetto alla tecnica CPC i vantaggi risultano meno chiari, infatti il controllo ACMC ha dei picchi alla frequenza di commutazione di entità maggiore rispetto a quelli del CPC. Nella seguente figura 2.18i due spettri sono messi a confronto:

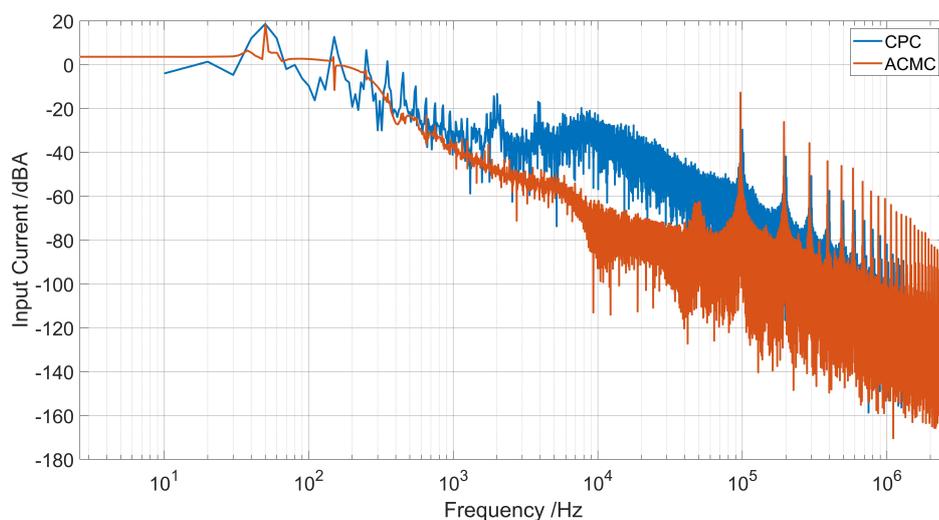


Figura 2.18. FFT della Corrente erogata dalla sorgente sia con controllo CPC che ACMC con $P_{out} = 1,6 kW$

Si può notare come nella banda compresa tra 100 Hz e 100 kHz le prestazioni del ACMC siano sicuramente migliori rispetto al CPC mentre da 100 kHz a salire il CPC presenta disturbi di minore entità.

2.5 Conclusioni sui PFC tipo Boost

Sulla base dei risultati ottenuti nei paragrafi precedenti sono state realizzate le tabelle 2.1 e 2.2 le quali riassumono i principali parametri dei circuiti simulati.

Tecnica di controllo	Efficienza	Fattore di potenza	EMI
CrCM	96.81 %	59.6%	
CPC	97.5 %	52.43 %	
ACMC	97.83 %	88.88 %	

Tabella 2.1. Principali parametri di merito dei PFC Monofase con ponte simulati per $P_{out} = 300 W$

Si può notare come il controllo in ACMC è sicuramente il più adatto per carichi elevati sebbene sia più complesso rispetto alle altre tecniche.

Tecnica di controllo	Efficienza	Fattore di potenza	EMI
CrCM	97.74 %	78.53 %	3
CPC	98.29 %	89.03%	2
ACMC	97.2 %	97.99 %	1

Tabella 2.2. Principali parametri di merito dei PFC Monofase con ponte simulati per $P_{out} = 1,6 kW$

Permette infatti di ottenere un fattore di potenza più prossimo ad uno ed una efficienza comparabile alle altre e comunque molto elevate. Ad ogni tecnica di controllo è stato assegnato un indice che ne qualifica le prestazioni dal punto di vista delle emissioni elettromagnetiche, minore è il numero migliori sono le prestazioni. Anche in questo caso la tecnica di controllo ACMC è risultato migliore rispetto alle altre sebbene siano tutte abbastanza simili tra loro come prestazioni da questo punto di vista.

Capitolo 3

PFC Monofase di tipo Bridgeless

Negli ultimi anni gli standard sull'efficienza dei convertitori sono diventati sempre più stringenti, basti pensare allo standard 80 Plus Platinum che richiede un'efficienza totale del circuito sotto carico superiore al 94.5%, in tali casi si necessita di un PFC con un'efficienza, a pieno carico, superiore al 98.5% [12][*High Efficiency CCM Bridgeless Totem Pole PFC Design using GaN E-HEMT*]. Allora si è cercato di eliminare le perdite energetiche causate dal ponte raddrizzatore ricorrendo a topologie senza ponte raddrizzatore; così si diminuisce il numero di componenti attraverso il quale la corrente deve fluire. Da questa idea si sono sviluppate una moltitudine di topologie di PFC chiamate "Bridgeless" ovvero "senza ponte". Tra tutte le topologie presenti in letteratura due sono state selezionate per questo studio, in particolare esse sono:

- PFC Semi-Bridgeless
- PFC Totem-Pole

Queste sono accomunate da un ottimo trade-off tra l'efficienza e la quantità di disturbi EMI generati [4][*A comparative analysis of topologies for a bridgeless-boost PFC circuit*]. Esse nel seguito verranno analizzate nel dettaglio e saranno mostrati i risultati delle simulazioni condotte. I circuiti sono stati valutati secondo i criteri enunciati in 2.1.

E' importante sottolineare che tutti i PFC senza ponte raddrizzatore simulati utilizzano come tecnica di controllo la Average Current Mode Control dati i suoi ampi vantaggi mostrati nella sezione precedente. Per implementare il controllo ACMC si è fatto uso di alcuni modelli dei circuiti simulati disponibili in letteratura [2][*Investigation of Bridgeless Power Factor Correction Topologies for 3 kW Operation*].

3.1 Introduzione alle topologie bridgeless

In questo paragrafo si studia il funzionamento generale dei PFC Bridgeless prima elencati.

3.1.1 Funzionamento PFC Semi-Bridgeless

Il PFC Semi-Bridgeless è un PFC che permette di ottenere efficienze molto alte limitando le EMI in maniera importante rispetto ad altre soluzioni di tipo Bridgeless, lo schema di principio è mostrato nella figura 3.1.

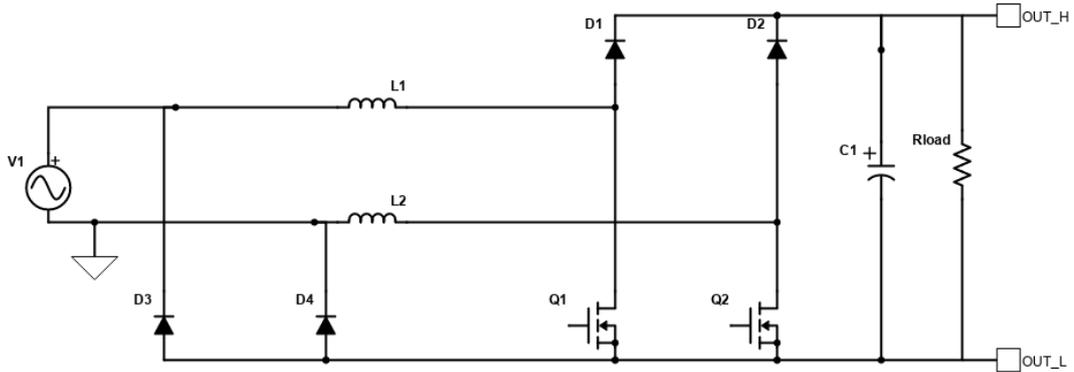


Figura 3.1. Schema del PFC Semi-Bridgeless

Esso è costituito da due convertitori Boost che lavorano in maniera alternata, il Boost L1 lavora per la semionda positiva della tensione di ingresso, il Boost L2 invece opera per quella negativa. In questo modo, attraverso un opportuno controllo, si riescono a soddisfare i requisiti in 2.1.

Si analizza il funzionamento del circuito supponendo di lavorare nella semi-onda positiva, ragionamenti duali valgono per quella negativa.

Come si evince dalla figura 3.1 i due transistori sono pilotati dal medesimo segnale di controllo, se esso è alto allora i MOS si comportano da circuito chiuso, con $R_{on} \simeq m\Omega$, quindi la tensione ai capi dell'induttore L1 è circa pari alla tensione di rete AC, facendo aumentare la corrente sullo stesso induttore in maniera pressoché lineare con pendenza:

$$\frac{\Delta i_L}{\Delta t} \simeq \frac{V_{ac}}{L}$$

La corrente scorre quindi attraverso il diodo D4. La tensione al riferimento del circuito di potenza è quindi fissata a circa quella del neutro. Si noti come la tensione ai capi dell'induttore L2 è pari alla caduta di tensione sul diodo D4, risultando perciò trascurabile rispetto a quella nell'induttore L1. Nel momento in cui il segnale PWM scende al valore basso entrambi i MOS si comportano da circuito aperto. La corrente che allora scorreva attraverso L1, non potendo variare in maniera repentina, scorre attraverso D1 verso il carico. Dal carico quest'ultima torna al neutro sempre attraverso D4. Si noti che in tutto il ciclo descritto, se il circuito opera in CCM, D2 è sempre percorso da corrente. Esso può essere un diodo rettificatore al silicio, lento e a basso costo. Invece il diodo D1

essendo sottoposto a cicli di accensione/spengimento alla frequenza di commutazione del circuito dovrà essere un diodo molto veloce con una piccola capacità parassita ai capi, preferibilmente un diodo SiC. Si può ripetere lo stesso discorso ma con i componenti duali per la semi-onda negativa. In sintesi il circuito è composto da:

- 2 induttori
- 2 transistori MOSFET al Silicio
- 2 Diodi rettificatori al Silicio
- 2 Diodi SiC

Il circuito sebbene richieda un controllo molto semplice ha un basso utilizzo dei componenti per cui una bassa densità di potenza che incrementa il costo del prodotto. Infatti sono presenti due convertitori Boost ma solamente uno di essi lavora per ogni semiperiodo della tensione di ingresso.

3.1.2 Funzionamento PFC Totem-Pole

Nella direzione opposta si muove il PFC Totem-Pole che tende a ridurre al minimo possibile il numero di componenti del circuito. Lo schema del circuito simulato è riportato di seguito:

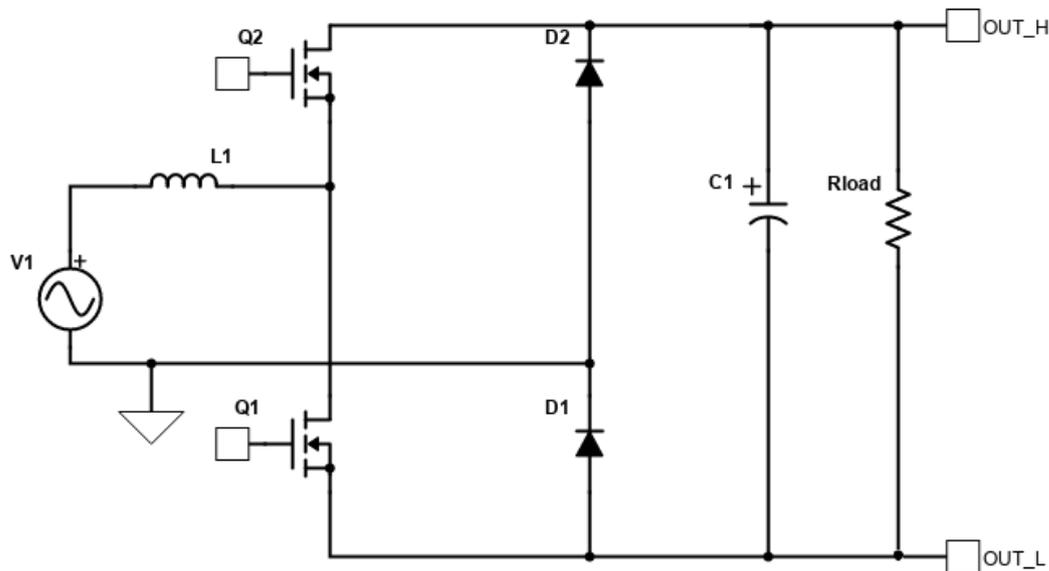


Figura 3.2. Schema del PFC Totem-Pole

Il circuito è composto da due gambe, la gamba sinistra composta da due transistori posti uno sull'altro (da qui il nome Totem-Pole), quella destra da due diodi. Supponendo che si lavori durante la semi-onda positiva il transistore Q1 è comandato dal segnale commutato proveniente dal controllo mentre il transistore Q2 lavora come sync-fet ovvero opera in modo complementare rispetto ad M1. Risulta necessario porre un opportuno tempo morto tra i due segnali di comando, altrimenti si potrebbe verificare la conduzione simultanea dei due transistori, cortocircuitando la tensione al DC-Link e portando alla distruzione del circuito.

Se il segnale di comando è alto allora il transistore M1 opera, idealmente, come un CTO-CTO ed l'induttore incrementa la propria corrente linearmente essendo

$$\Delta v_L = V_{ac} - V_{ds}^{Q1} - V_{D1}$$

La corrente ritorna al neutro attraverso il diodo D1, fissando il riferimento del circuito di potenza a quello del neutro. Nel momento in cui il segnale PWM scende al livello basso Q1 si spegne ed Q2 si accende. La corrente che fluiva in L1 allora scorre attraverso Q2 fino al carico ed infine giunge al neutro attraverso D1. Essa diminuisce con una pendenza data da:

$$\Delta v_L = V_{ac} - V_{OUT_H}$$

Quindi, se si opera in CCM, il diodo D1 è sempre percorso da corrente vincolando, durante la semionda positiva la tensione OUT_L alla tensione del neutro.

Durante la semi-onda negativa i ruoli dei due transistori si invertono. Q2 opera come main-switch mentre M1 come sync-fet. Il funzionamento è del tutto analogo a quanto visto per la semi-onda positiva, in questo caso sarà il diodo D2 ad essere percorso da corrente.

Uno degli svantaggi più grandi del Totem-Pole, che ne ha fortemente limitato la diffusione fino ad adesso è che, contrariamente a quanto accade nel Semi-Bridgeless, i transistori sono sottoposti ad hard-switching. Questo se accoppiato alle Q_{rr} tipiche dei transistori al silicio convenzionali porta ad un crollo dell'efficienza del circuito che è operato da grandi perdite legate alla commutazione. Per cui diventa necessario l'utilizzo di transistori con Q_{rr} estremamente limitate come i GaN o i SiC.

Per i due diodi, operando alla stessa frequenza della rete, possono essere comuni diodi al silicio rettificatori a basso costo.

Il secondo svantaggio di questa topologia è causato dal fatto che se durante la semi-onda positiva la tensione OUT_L fosse vincolata alla tensione del neutro nella semi-onda negativa è la tensione OUT_H ad essere vincolata alla tensione del neutro, portando la tensione di OUT_L a circa $-V_{out}$ rispetto al neutro. Si avrà quindi una variazione periodica del potenziale del negativo dell'uscita rispetto al neutro.

3.2 Analisi efficienza PFC Bridgeless

In questa sezione, analogamente a quanto fatto per i PFC di tipo Boost con raddrizzatore, si analizzano le prestazioni dei circuiti simulati considerando una $P_{out} \simeq 1,92 kW$

3.2.1 Efficienza PFC Semi-Bridgeless

Nella successiva figura 3.3 è possibile osservare le forme d'onda del circuito operante a regime. La forma d'onda della corrente risulta molto simile ad una sinusoide in fase alla tensione di rete, la tensione di uscita ($V(OUT_H, OUT_L)$) risulta circa pari ai 400V richiesti dalla specifica.

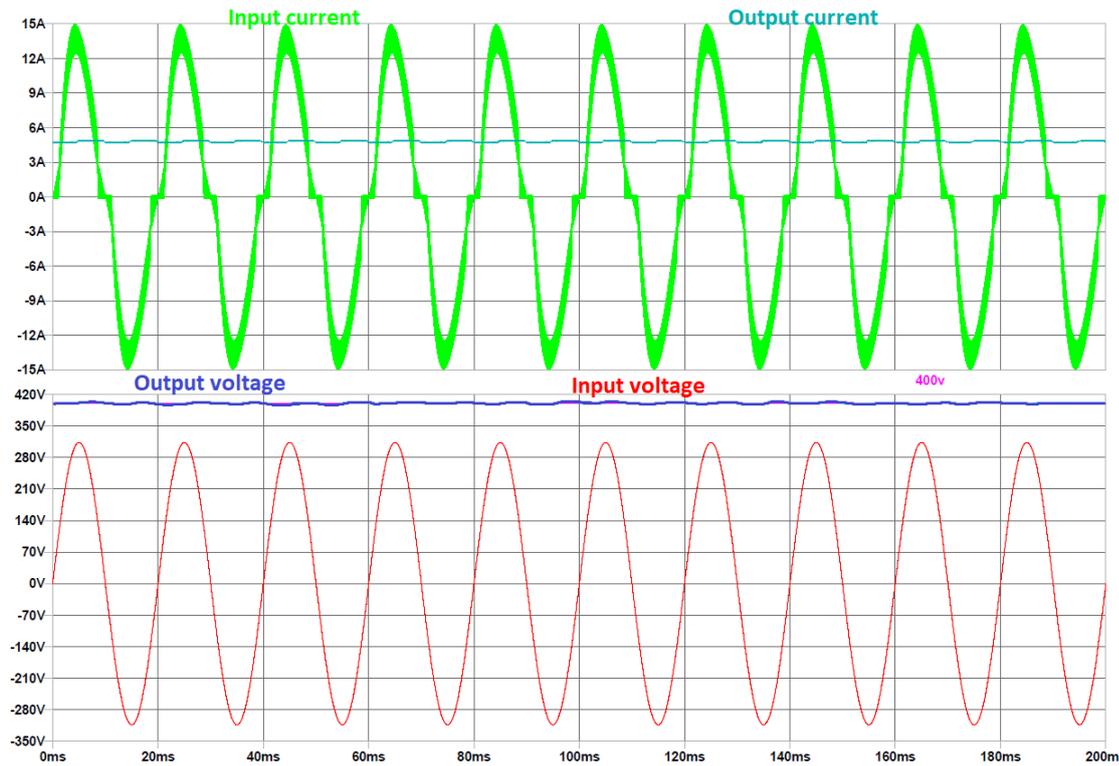


Figura 3.3. Risultati simulazioni PFC Semi-bridgeless

$$\eta \simeq \frac{1.9208 \text{ kW}}{1.9555 \text{ kW}} = 98.23\%$$

$$PF \simeq \frac{1.9555 \text{ kW}}{8.9906 \text{ A} \cdot 222.74 \text{ V}} = 97.65\%$$

Le prestazioni del circuito, come prevedibile dalle forme d'onda, sono di prim'ordine. Esso è caratterizzato da una efficienza elevatissima, maggiore rispetto a tutti i PFC con raddrizzatore visti sinora, e da un fattore di potenza prossimo all'unità.

3.2.2 Efficienza PFC Totem-Pole

Il PFC Totem-Pole è stato simulato in ambiente LTSpice, per il progetto del circuito sono state utilizzate le tecniche presenti in [12][*High Efficiency CCM Bridgeless Totem Pole PFC Design using GaN E-HEMT*] [1][*A 800W Bridgeless PFC Stage*] [3][*Bridgeless PFC Implementation Using One Cycle Control Technique*] [2][*Investigation of Bridgeless Power Factor Correction Topologies for 3 kW Operation*]. In figura 3.4 sono presentati i risultati per la topologia Totem-Pole.

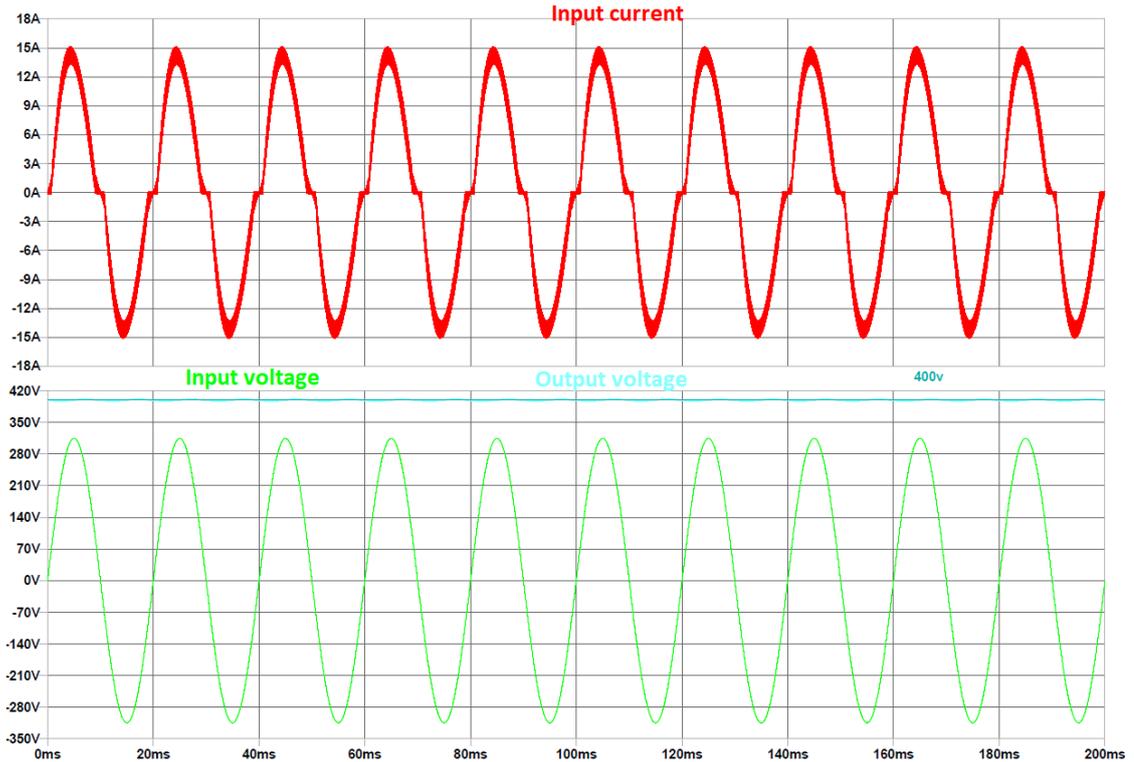


Figura 3.4. Risultati simulazioni PFC Totem-Pole

$$\eta \simeq \frac{1.9227 \text{ kW}}{1.95 \text{ kW}} = 98.6\%$$

$$PF \simeq \frac{1.95 \text{ kW}}{8.7897 \text{ A} \cdot 222.74 \text{ V}} = 99.6\%$$

Con il Totem-Pole si raggiungono livelli di efficienza ancora più alti rispetto al Semi-bridgeless attestandosi come la soluzione più efficiente vista sinora. Anche il fattore di potenza risulta molto prossimo all'unità.

Si è anche condotta una analisi sostituendo al SiC MOS un normale transistor al silicio []; i risultati sono i seguenti:

$$\eta \simeq \frac{1.9227 \text{ kW}}{1.95 \text{ kW}} = 98.54\%$$

$$PF \simeq \frac{1.95 \text{ kW}}{8.7897 \text{ A} \cdot 222.74 \text{ V}} = 98.35\%$$

Come previsto l'efficienza del circuito crolla, probabilmente a causa delle perdite da commutazione.

3.3 Analisi emissioni elettromagnetiche PFC Bridgeless

In questa sezione, come già fatto per i PFC con ponte raddrizzatore, è proposta un'analisi delle emissioni elettromagnetiche dei PFC "Bridgeless".

3.3.1 Analisi emissioni elettromagnetiche PFC Semi-Bridgeless

Nelle figure 3.5 e 3.6 sono presentate le forme d'onda del PFC Semi-Bridgeless della tensione di neutro rispetto al riferimento del circuito di potenza e della corrente erogata dalla sorgente. Inoltre, di quest'ultima viene anche riportato lo spettro ottenuto mediante FFT.

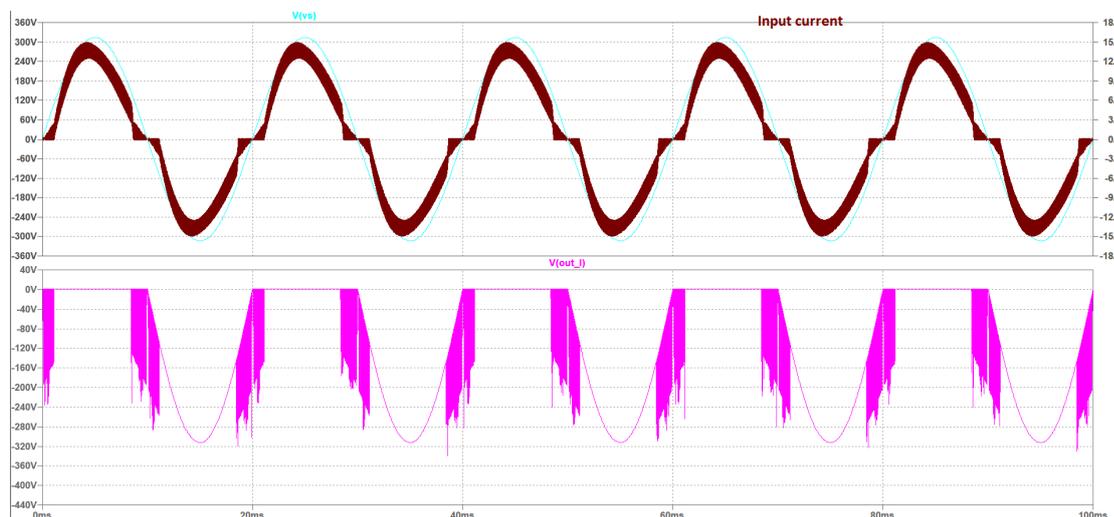


Figura 3.5. Risultati simulazioni PFC Semi-Bridgeless

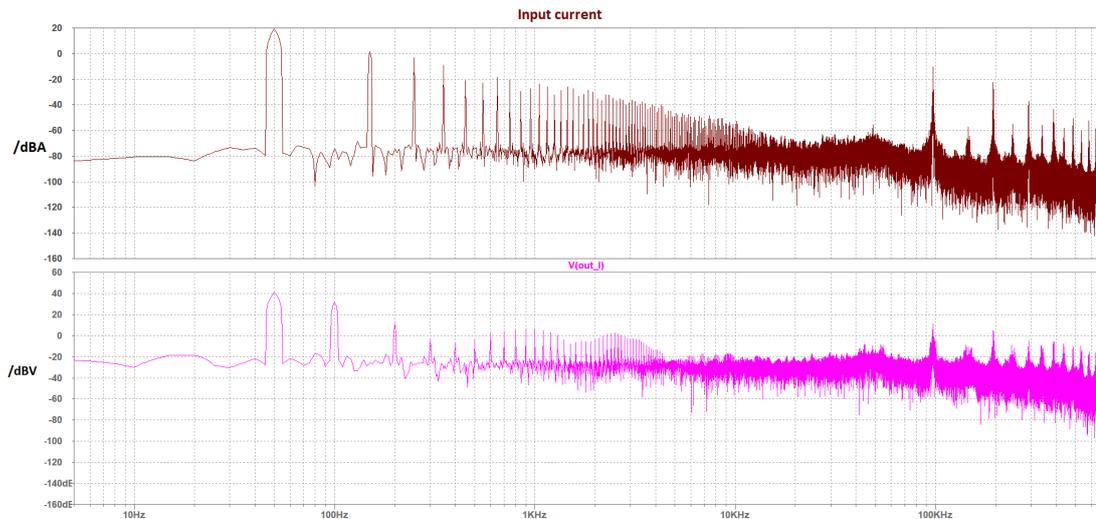


Figura 3.6. Risultati simulazioni PFC Semi-Bridgeless

Si noti che quando il circuito opera in DCM, nelle prossimità dell'attraversamento dello zero della tensione di rete, la tensione di riferimento del circuito di potenza, presenti dei picchi di tensione negativa. Sulla natura di questi picchi è stata svolta un'attenta analisi riportata nel documento in appendice. Dallo spettro della corrente è possibile notare come siano presenti dei picchi alla frequenza di commutazione e ai suoi multipli. Il picco ha un valore pari circa a -10 dBV , per lo spettro della tensione di riferimento rispetto al neutro è possibile evidenziare la presenza di picchi alle medesime frequenze. Il loro picco è pari a circa 13 dBV e decrescono all'aumentare della frequenza.

3.3.2 Analisi emissioni elettromagnetiche PFC Totem-Pole

Analogamente a quanto fatto per il PFC Semi-Bridgeless, nelle seguenti figure 3.7 e 3.8 sono riportate le forme d'onda del riferimento di tensione rispetto al neutro e della corrente per il caso del PFC Totem-Pole.

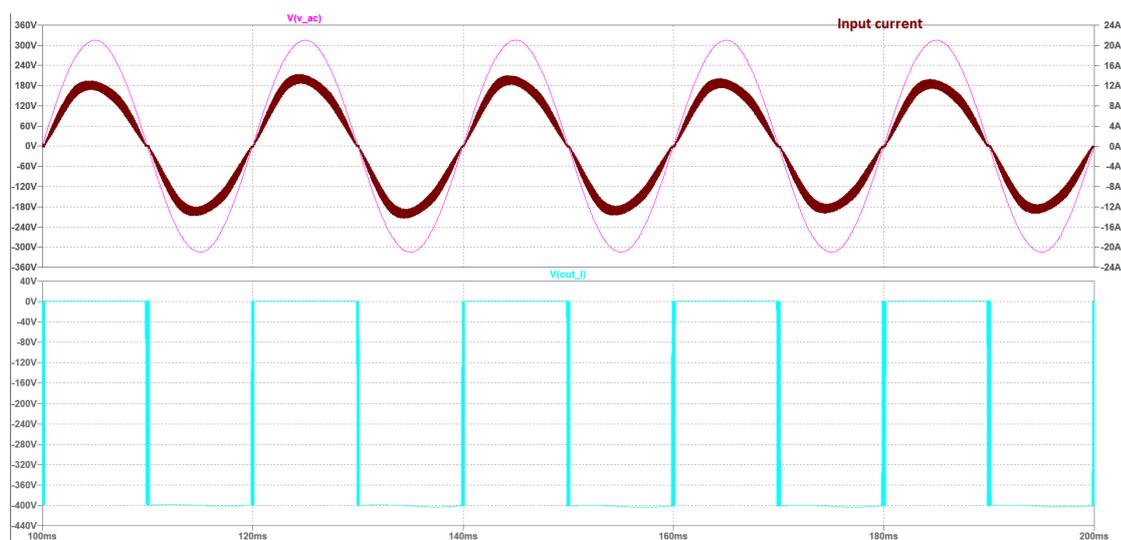


Figura 3.7. Risultati simulazioni PFC Totem-Pole

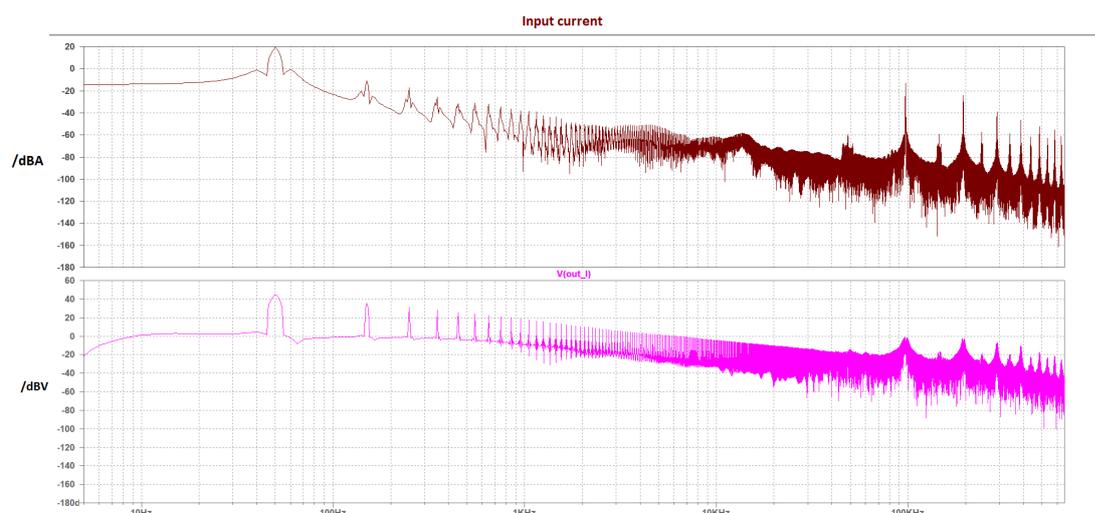


Figura 3.8. Risultati simulazioni PFC Totem-Pole

Nel caso del PFC Totem Pole è necessario notare che la tensione di riferimento del circuito di potenza è composta da due contributi:

- Onda quadra con ampiezza pari alla tensione di uscita e frequenza pari a quella della tensione di rete.

- Oscillazioni ad alta frequenza dei pressi dell'attraversamento dello zero da parte della tensione di rete.

Il primo contributo è connesso alla topologia e rappresenta uno degli svantaggi più netti della stessa. Infatti, ad una frequenza di 50 Hz e dei multipli dispari si avranno dei disturbi di entità importante. In appendice è riportata una breve analisi sulla natura di questi disturbi. Nei due spettri riportati possono essere notati diversi picchi di disturbo. Alcuni sono a frequenze multiple di 50 Hz altri invece sono alla frequenza di commutazione (100 kHz) e ad i suoi multipli. I picchi presenti alla frequenza di switching nei due spettri riportati si attestano ai valori di -15 dBV per la corrente di ingresso e 0 dBV per la tensione di riferimento. Essi risultano inferiori rispetto a quelli dati dal Semi-Bridgeless.

3.3.3 Schemi alternativi per ridurre le EMI

I problemi di EMI mostrati dalle due topologie di PFC Bridgeless possono essere risolti modificando opportunamente i segnali di controllo e le topologie.

3.3.4 Semi-Bridgeless con emissioni elettromagnetiche ridotte

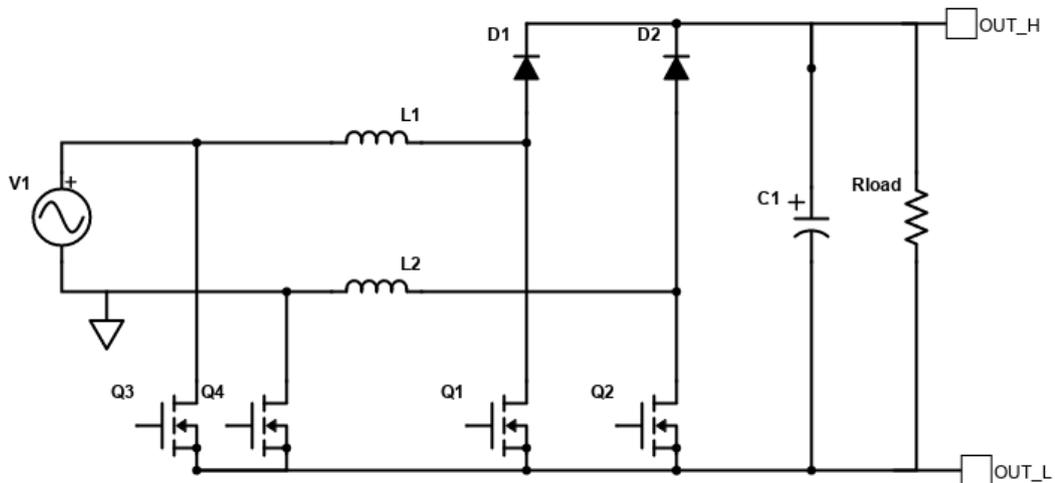


Figura 3.9. Schema del PFC Semi-bridgeless con emissioni elettromagnetiche ridotte simulato

Questo circuito è una versione modificata del PFC Semi-Bridgeless che cerca di eliminare gli spikes presenti nella tensione di riferimento del circuito di potenza rispetto al neutro della rete. In primis si è cercato di evitare che l'induttore che:

- Durante la semi-onda positiva solamente l'induttore L1 sia percorso da corrente

- Durante la semi-onda negativa conduca solamente L2

È bastato rendere diversi i due segnali di comando a M1 e M2. Il segnale al gate di Q1 risulta pari al segnale PWM originato dal controllo solamente durante la semi-onda positiva, mentre durante quella negativa esso è sempre mantenuto “alto” così che L1 non sia percorso da corrente. Per il segnale al gate di Q2 vale lo stesso ragionamento ma invertendo semi-onda positiva e negativa. Per annullare le oscillazioni è sufficiente che il potenziale del nodo “OUT-L” sia ancorato, durante la semi-onda positiva a quello del neutro, non solamente attraverso un diodo ma anche attraverso un MOS che agisce da interruttore chiuso (Q4). Allo stesso modo per la semi-onda negativa questa funzione di “fissaggio” viene svolta dal MOS (Q3). Questi due MOS sono controllati da un segnale complementare derivato dalla tensione di rete che ne determina la polarità.

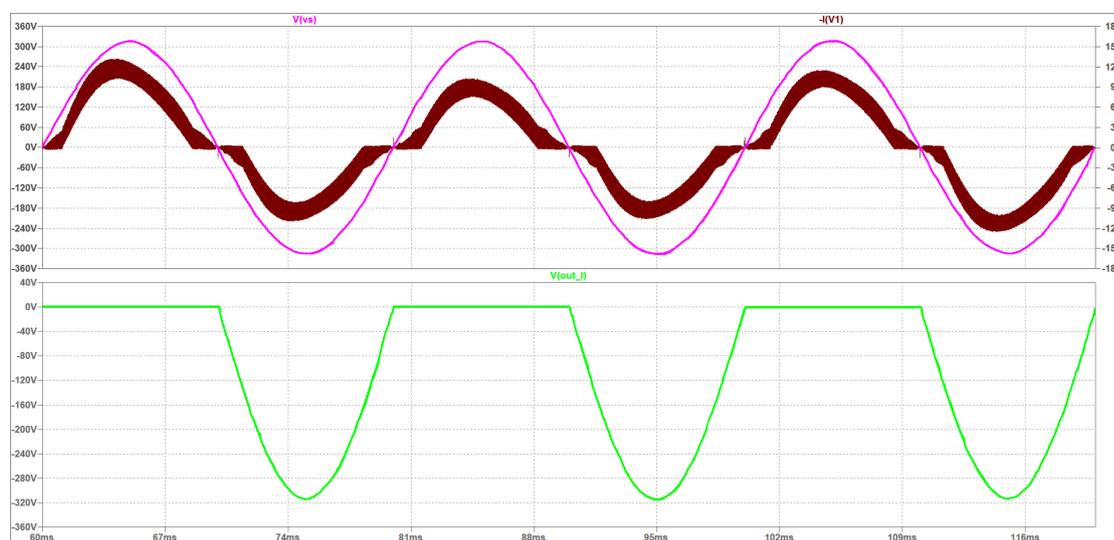


Figura 3.10. Risultati simulazione del PFC Semi-bridgeless con emissioni elettromagnetiche ridotte

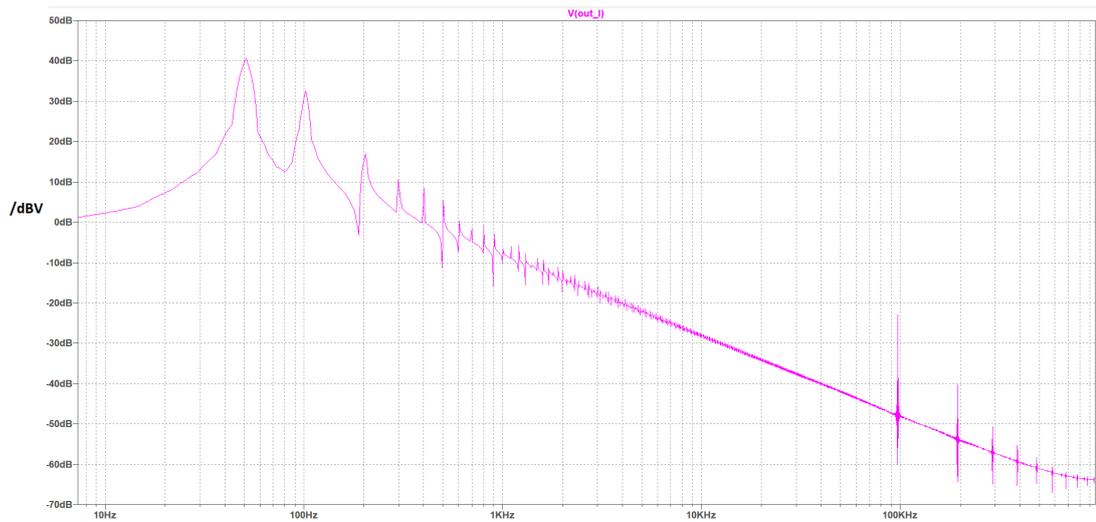


Figura 3.11. FFT della tensione di riferimento del PFC Semi-bridgeless rispetto al neutro

Si può notare che aggiungendo due MOS, che possono essere transistori lenti al silicio a basso costo, le prestazioni del circuito dal punto di vista delle emissioni elettromagnetiche migliorino considerevolmente. Lo spettro del segnale mostra a $f = 100kHz$ picco che è attenuato per più di $30dB$ rispetto a quello del PFC Semi-Bridgeless precedentemente analizzato, senza andare a penalizzare in nessun modo altri fattori di merito del circuito che rimangono invariati.

3.3.5 Totem-Pole con emissioni elettromagnetiche ridotte

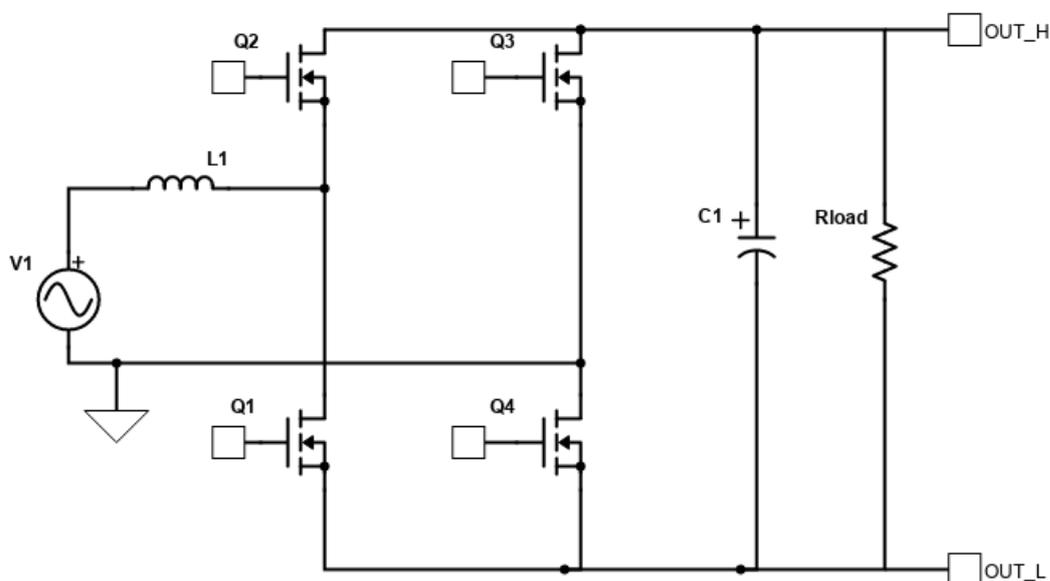


Figura 3.12. Schema del PFC Totem-Pole con emissioni elettromagnetiche ridotte simulato

Dalla analisi condotta sulla natura dei disturbi è evidente che affinché questi vengano ridotti il potenziale di riferimento del circuito di potenza non deve variare, rispetto al potenziale del neutro, se non come prestabilito. Per ottenere questo risultato si sono sostituiti i due diodi della gamba destra con due MOS. Questi transistori possono essere dei transistori al silicio dato che hanno una frequenza di switch pari a quella della rete. Il MOS Q4 sarà acceso per tutta la durata della semi-onda positiva mentre sarà spento durante quella negativa. Il MOS Q3 condurrà in maniera alternativa. Risulta importante garantire, come per i due transistori SiC, un opportuno tempo morto tra le attivazioni dei MOS sulla stessa gamba.

I risultati della simulazione di questo circuito di seguito:

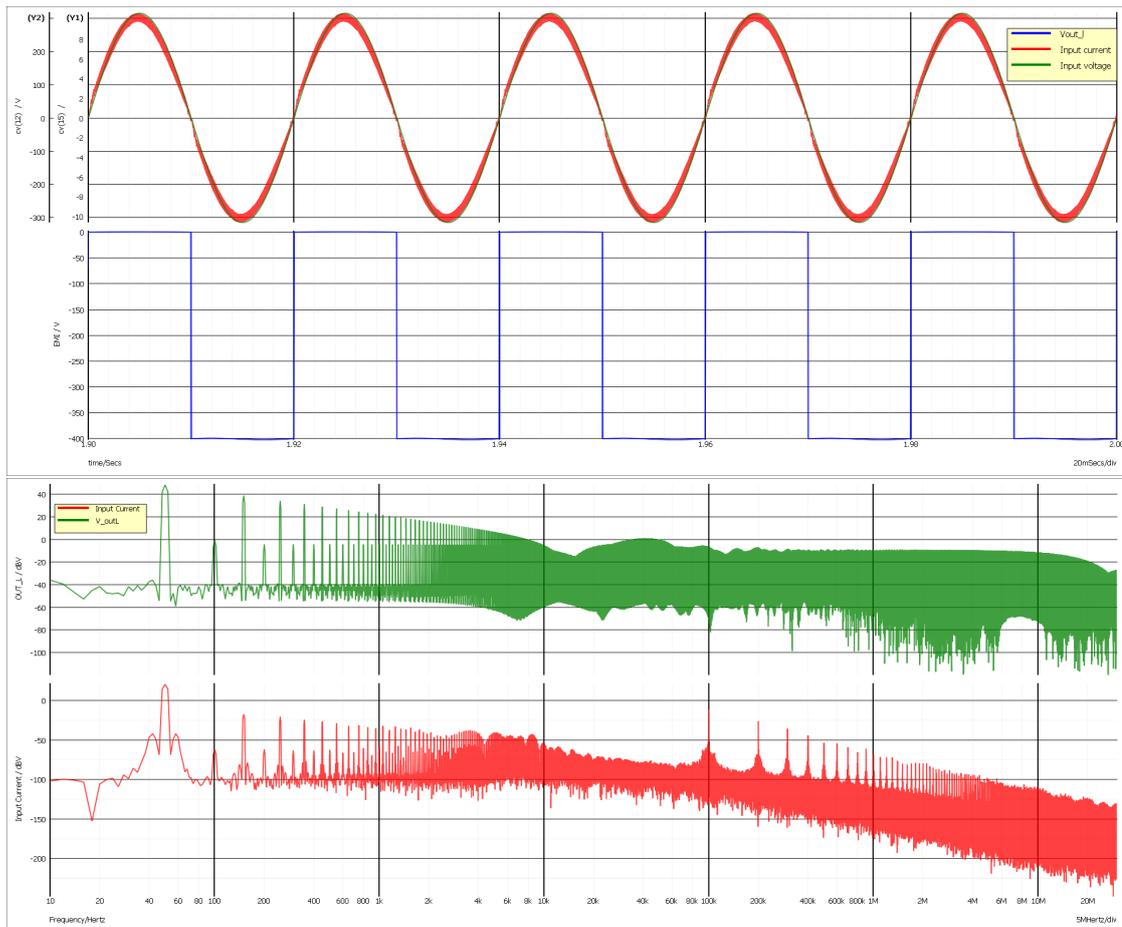


Figura 3.13. Schema del PFC Totem-Pole con emissioni elettromagnetiche ridotte simulato

Si può notare come, essendo stato introdotto un filtro in ingresso, la corrente risulti molto simile alla sinusoidale assicurando un fattore di potenza quasi unitario. La tensione di riferimento del circuito di potenza rispetto alla tensione del neutro risulta priva delle oscillazioni presenti nel Totem-Pole classico. Lo spettro è caratterizzato da picchi di valore più limitato, in particolare i picchi presenti alla frequenza di commutazione per OUT_L sono stati del tutto eliminati, rimangono comunque invariati i picchi presenti ai multipli di 50 Hz.

Capitolo 4

Panoramica dei PFC monofase con emissioni EM ridotte

Le topologie di PFC Bridgeless finora analizzate sono state sviluppate con l'obiettivo di migliorare l'efficienza del circuito rispetto a soluzioni classiche come il PFC con raddrizzatore. L'analisi delle emissioni di tali circuiti, come il PFC Totem-Pole hanno mostrato come ci sia un trade-off tra l'efficienza del circuito ed le emissioni EM generate. Nei prossimi capitoli vengono introdotte delle nuove topologie che mirano a ridurre le emissioni EM di modo comune dei circuiti attraverso la simmetria del circuito, mantenendo livelli di efficienza comunque alti. Lo studio di tali topologie è prima affrontato da un punto di vista concettuale per poi passare alla caratterizzazione dei componenti ed infine alla simulazione dei circuiti. In questo modo i circuiti simulati risultano quanto più fedeli possibile alla controparte reale e quindi permettono di valutare le emissioni condotte misurate dalle LISN.

In quel che segue i circuiti presentati sono derivati dallo studio [6][«Common Mode EMI Noise Suppression for Bridgeless PFC Converters»]. Questi sono tre e sono elencati di seguito:

1. PFC Reference
2. PFC Symmetric
3. PFC Improved symmetric

In particolare gli aspetti che sono stati studiati riguardano le forme d'onda delle tensioni del circuito sottoposte a grandi $\frac{\partial V}{\partial t}$, la corrente I_{as} , l'efficienza e lo spettro delle emissioni condotte misurate dalle LISN. La corrente I_{as} , è correlata alla "asimmetria" tra i fronti dei nodi commutanti del circuito; essa è definita come la somma delle correnti che scorrono nei parassiti che insistono tra i nodi che commutano ed il riferimento; e quindi presenta degli impulsi in corrispondenza della commutazione dei transistori.

4.1 Introduzione alle nuove topologie

4.1.1 PFC Reference

In figura 4.1 è mostrato un PFC di tipo Bridgeless molto semplice che serve da metro comparativo per le altre topologie più avanzate. Sono anche mostrate le capacità parassite verso terra. Esse sono C_{d1} , C_{d2} , C_{b1} e C_{b2} ed insistono sui nodi che sono sottoposti a grandi $\frac{\partial V}{\partial t}$, come visto in [6][«Common Mode EMI Noise Suppression for Bridgeless PFC Converters»]. Questo circuito, come altre topologie già viste, ha due sotto-periodi di funzionamento che corrispondono alla polarità della tensione di ingresso. Il circuito è come se fosse composto da due convertitori boost. Uno dai componenti [L1,L2,D1,Q1] ed un secondo da [L1,L2,D2,Q2]. Il primo lavora per la semi-onda positiva della tensione di ingresso, il secondo per la semi-onda negativa. I disturbi di modo comune sono causati dalle forti variazioni di tensione dovute alle commutazioni ad alta frequenza degli interruttori. Queste $\frac{\partial V}{\partial t}$ insistono sulle capacità parassite e quindi generano delle correnti di modo comune che vanno dal circuito verso il riferimento. Nella figura 4.1 è anche inserita la LISN, necessaria per la misurazione dei disturbi condotti. Questi sono direttamente influenzati dai valori di queste capacità parassite e crescono all'aumentare del loro valore. Una grande differenza tra questa categoria di circuiti e quelli con ponte raddrizzatore sta nel fatto che nei PFC Bridgeless il potenziale di uscita del circuito non si risulta costante rispetto a quello di riferimento ma varia, risultando in un aumento delle emissioni di modo comune che per essere rese conformi agli standard commerciali richiedono filtri EMI più grandi. Ciò porta alla realizzazione di circuiti più costosi e caratterizzati da minore densità di potenza.

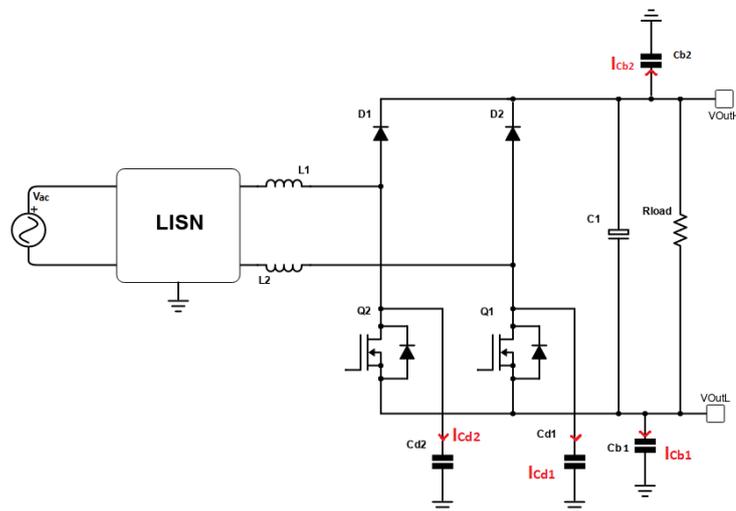


Figura 4.1. Schema del PFC Monofase "Reference"

4.1.2 PFC Symmetric

In figura 4.2 è presentato il PFC symmetric, questo si pone come una evoluzione del precedente circuito con lo scopo di ridurre l'entità delle emissioni elettromagnetiche condotte. Un circuito *simmetrico* è tale da generare correnti di modo comune che siano in opposizione di fase e con la stessa ampiezza, risultando (idealmente) in una perfetta cancellazione delle stesse. In questo caso la corrente misurata dalla LISN sarà nulla. La prima differenza che può essere colta rispetto al circuito di figura 4.1 è la presenza di due diodi aggiuntivi che aumentano il costo complessivo del circuito.

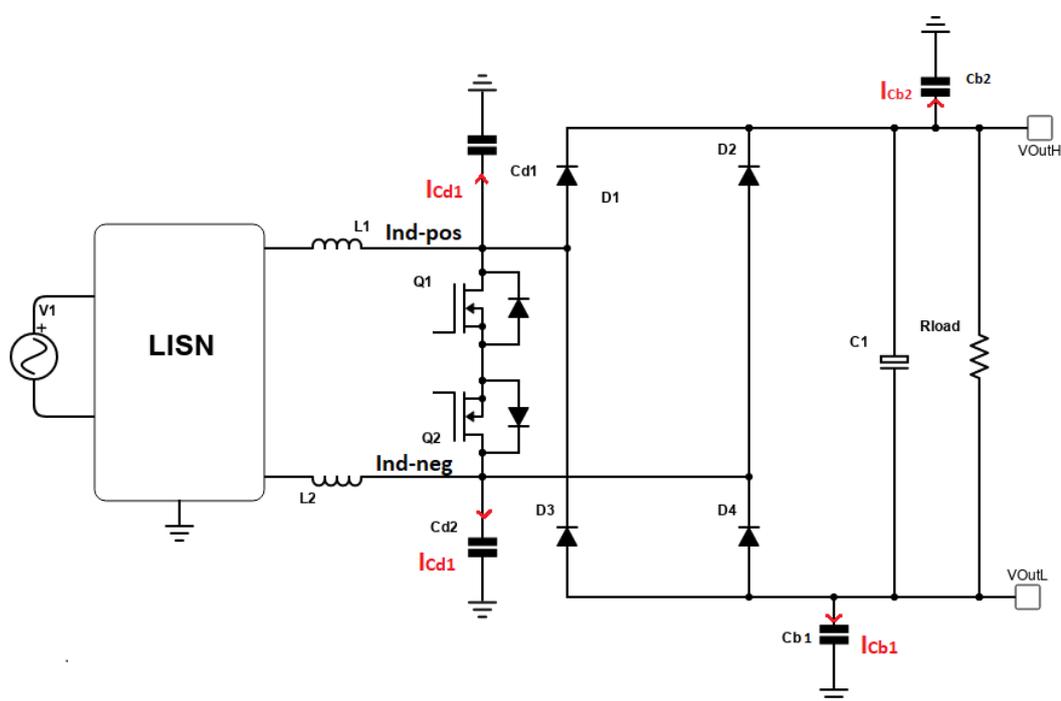


Figura 4.2. Schema del PFC Monofase "Symmetric"

Le perdite da conduzione di questa topologia sono le stesse del PFC Reference, sebbene si siano inseriti due diodi in più perché nel PFC reference la corrente scorreva anche attraverso uno dei body diode dei MOS, quindi il "direct path" della corrente passava attraverso due diodi (un diodo ed un body diode); nel PFC symmetric la corrente scorre anche in due diodi. La topologia usa un "interruttore a quattro quadrati" ovvero reversibile e bidirezionale, realizzato attraverso due MOS connessi in serie con i source in comune. Questo è seguito da un ponte raddrizzatore composto dai diodi D1, D2, D3 e D4.

Se si analizza solamente una semi-onda della tensione di ingresso il circuito può essere semplificato come in figura 4.3 dato che per la semi-onda positiva la corrente scorre in Q1 e nel body diode di Q2, se il comando è alto, altrimenti scorre in D1 e D4. Per la semi-onda negativa la direzione della corrente è invertita per cui conducono S2, il body diode di S1, D2 e D3. In figura 4.3 il nome dei componenti in parentesi identifica quelli che lavorano durante il ciclo negativo AC, altrimenti si intendono i componenti che lavorano durante quello positivo.

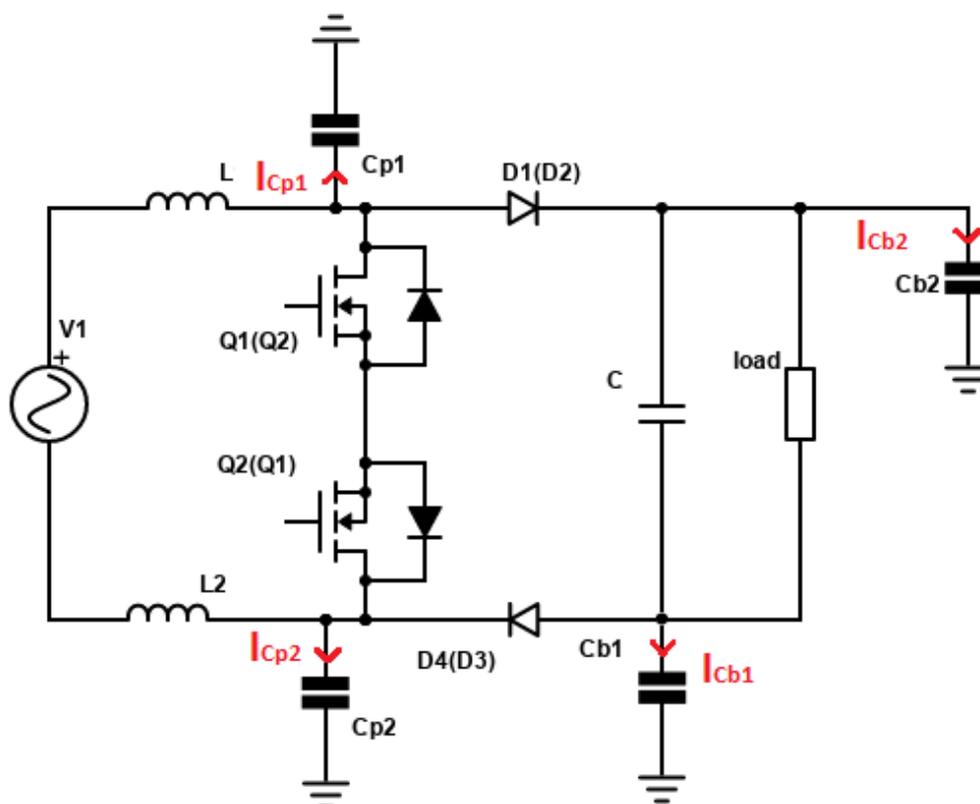


Figura 4.3. Schema del PFC Monofase "Symmetric" durante una singola semi-onda della tensione di ingresso

Come noto in letteratura le emissioni di modo comune vengono generate quando un nodo ha un potenziale che varia con alti $\frac{\partial V}{\partial t}$, tipicamente riconducibili alle commutazioni ad alta frequenza degli interruttori; ciò causa una corrente di modo comune che scorre attraverso i parassiti capacitivi verso ground. Nella figura 4.2 queste capacità parassite sono mostrate, il loro valore è cruciale nella determinazione delle emissioni di modo comune che crescono

all'aumentare del valore di tali parassiti. Dalla figura 4.3 è possibile capire perché questa topologia risulta simmetrica. Si supponga di considerare la semi-onda positiva della tensione di ingresso ed il condensatore di uscita carico, inoltre si consideri di comandare i transistori con lo stesso segnale. Se i due interruttori sono chiusi la tensione dei due nodi, ind_{pos} ed ind_{neg} , sono le stesse e pari a circa la metà della tensione di ingresso. Nel momento in cui gli interruttori si aprono allora i due diodi [D1, D4] entrano in conduzione e tra i nodi ind_{pos} ed ind_{neg} si interpone il condensatore di uscita. In questo caso la tensione sul nodo ind_{pos} salirà di $\frac{V_{out}}{2}$ mentre quella ad ind_{neg} scenderà della stessa quantità. Se si considerano le correnti di modo comune generate sulle capacità C_{p1} e C_{p2} si nota come queste avranno segno opposto essendo i rispettivi potenziali contraddistinti da $\frac{\partial V}{\partial t}$ uguali in modulo ma opposti in verso; per cui le emissioni elettromagnetiche condotte di questo circuito saranno inferiori rispetto a quelle del PFC Reference. Nel caso in cui si analizzasse il semi periodo per cui la tensione di ingresso è negativa allora i ragionamenti sarebbero equivalenti sebbene i ruoli di ind_{pos} ed ind_{neg} siano invertiti.

4.1.3 PFC Improved Symmetric

In [6] [«Common Mode EMI Noise Suppression for Bridgeless PFC Converters»] dopo aver analizzato il PFC symmetric, si cerca di migliorare la tipologia risolvendone alcune criticità. Il circuito proposto è chiamato "Improved Symmetric", riportato in figura 4.4. Le differenze tra il "Symmetric" e questo circuito sono due e consistono nell'uso di due induttori accoppiati ed nella diversa configurazione dei MOS. Infatti l'interruttore a quattro quadrati è composto sempre da due MOS in serie ma stavolta hanno i drain connessi insieme anziché i source.

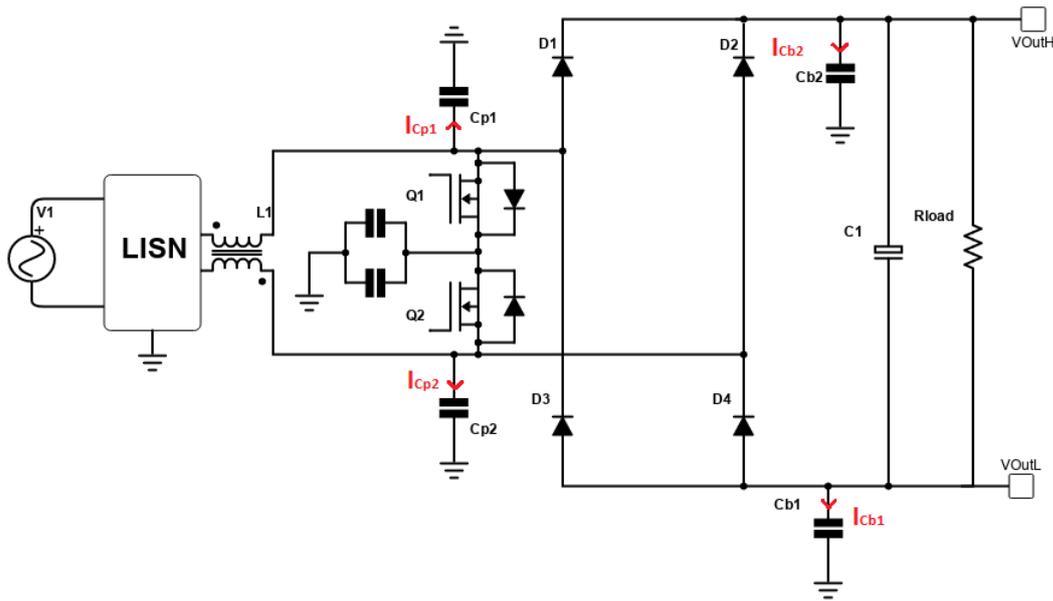


Figura 4.4. Schema del PFC Monofase "Improved Symmetric"

Il PFC Improved symmetric è contraddistinto dalle minori emissioni di modo comune rispetto al PFC Symmetric. Le ragioni di tale affermazione possono essere comprese se si analizzano i circuiti completi dei due PFC. In particolare, è importante capire che per poter pilotare i transistori sono necessari dei circuiti di pilotaggio che necessitano una alimentazione riferita al source del transistore che si comanda. Nel caso del PFC Symmetric i source dei due transistori sono connessi insieme mentre nel caso del Improved Symmetric essi sono collegati ai due nodi che, come prima analizzato dalla figura 4.3, hanno dei $\frac{\partial V}{\partial t}$ uguali in modulo ma opposti in verso. Nel caso del PFC symmetric il nodo di source, come meglio analizzato nella sezione 6.2, figura 6.10, segue il potenziale del nodo ind_{pos} o ind_{neg} in funzione della polarità della tensione di ingresso, per cui in tal caso le capacità parassite dei circuiti di pilotaggio sarebbero causa di sbilanciamento del circuito, incrementando le emissioni di modo comune generate dal circuito. Nel caso del PFC Improved Symmetric tali parassiti delle alimentazioni verrebbero spostati in nodi

con tensioni simmetriche che, idealmente, cancellano i contributi alla tensione di modo comune generati dai parassiti delle alimentazioni dei gate driver. Il motivo per cui i due induttori del PFC Improved symmetric sono accoppiati è riconducibile alla equalizzazione delle impedenze mostrate dai due induttori. Infatti l'impedenza di un induttore dipende sia dal valore di induttanza che da quello dei parassiti capacitivi del componente. Se i due induttori sono accoppiati sia i valori nominali delle induttanze che quelli dei parassiti sono uguali per i due induttori, in questo modo si migliora la simmetria del circuito.

4.2 Definizione delle specifiche e progetto

Le specifiche a cui si fa riferimento per il progetto sono riportati nella tabella 4.1:

Input Voltage	[85-220] Vac
Output Voltage	400 V
Maximum power steady state	500 W
Switching frequency	100 kHz
Inductor Current Ripple	50 % @ full load
Output Voltage Ripple	10 %
t_r, t_f	0.5 % T_s

Tabella 4.1. Specifiche di progetto

Nelle successive pagine è riportato il progetto dell'induttore di potenza, dei dispositivi a semiconduttore (MOS e diodi) e del condensatore di uscita.

4.2.1 Progetto dell'induttore

Un componente fondamentale di tutti i circuiti proposti è l'induttore, il progetto di questo componente deve essere svolto considerando alcune figure di merito come:

- $\langle I_{out} \rangle$: Corrente media fornita in uscita
- $\frac{\Delta I_L}{I_L}$: Ripple sulla corrente dell'induttore
- SRF (*Self Resonance Frequency*) : caratterizza le prestazioni in frequenza del componente

Come già discusso precedentemente tutti i PFC visti sinora possono essere associati ad un circuito di tipo Boost. La procedura seguita per il progetto dell'induttore segue quindi quella legata ad un DC-DC Boost con la peculiarità che la tensione di ingresso non è costante ma variabile.

Il duty cycle di un Boost può essere calcolato come

$$D = 1 - \frac{V_{in}}{V_{out}}$$

Da questa relazione si è potuto ottenere l'andamento del duty cycle nel semi periodo della tensione di ingresso ottenendo:

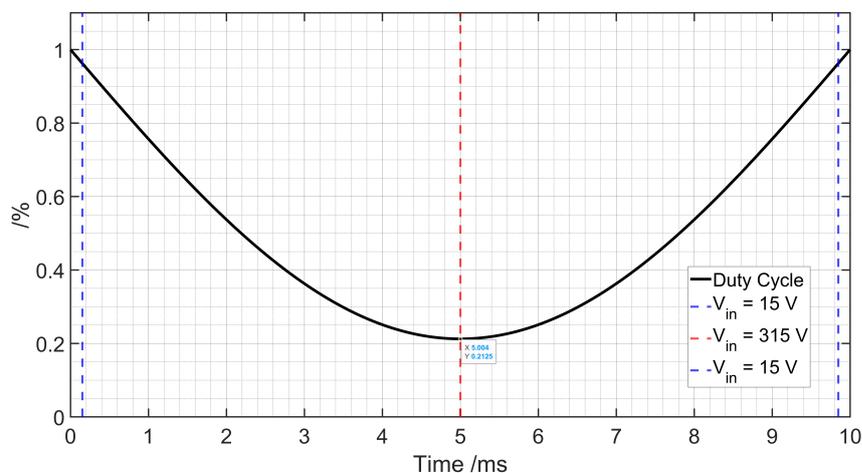


Figura 4.5. Duty cycle del segnale in uscita al controllo di un PFC durante il semi periodo della tensione di ingresso

Dalla figura 4.5 è possibile notare come il duty cycle del PFC se la tensione di ingresso è prossima all'attraversamento dello zero sale a circa il 100% mentre raggiunge il valore minimo quando la tensione di ingresso ha il suo picco.

Valore nominale dell'induttore

Per scegliere il valore nominale dell'induttore si è fatto riferimento alla specifica relativa alla variazione sulla corrente dell'induttore. Questa è una procedura ben nota in letteratura e nella pratica si fa riferimento ad alcune formule approssimate come in [10][*Practical design and evaluation of an 800 W PFC boost converter using TO-247 4pin MOSFET*] la quale riporta:

$$L = \frac{1}{\%Ripple} \cdot \frac{1}{\eta} \cdot \frac{V_{ac.min}^2}{P_o} \cdot \left(1 - \frac{\sqrt{2} \cdot V_{ac.min}}{V_{out}}\right) \cdot \frac{1}{f_{sw}}$$

Dalla precedente formula è possibile scegliere il valore di tensione ingresso da usare nel progetto, infatti, è necessario progettare l'induttore per il caso peggiore. Per identificare tale tensione si traccia il valore di induttanza richiesto in funzione della tensione di ingresso, il range è compreso tra 80 e 220 V_{rms} , in questo modo si considerano le diverse tensioni di rete disponibili nei vari paesi. La figura 4.6 mostra tale funzione considerando:

- $\frac{\Delta I}{I} = 40\%$
- $\eta = 0.9$
- $V_{out} = 400 V$
- $P_{out} = 500 W$

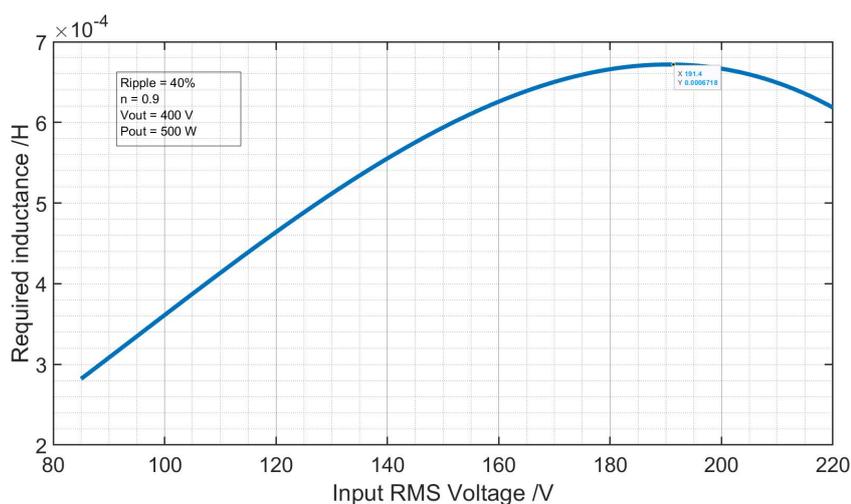


Figura 4.6. valore di induttanza richiesto per mantenere un ripple di corrente nell'induttore del 40%

Si ottiene che il caso peggiore è quando la tensione di ingresso è pari a $200 V_{rms}$ ed in tale situazione è necessario avere una induttanza pari a $L_{nom} = 680 \mu H$ per mantenere un ripple di corrente del 40 %.

Valori massimi di corrente dell'induttore

Un induttore è caratterizzato da due valori di corrente massima applicabile, la prima $I_{L,rms}$ si riferisce alla massima corrente rms che può scorrere nel componente senza che si verifichino rotture causate dall'innalzamento della temperatura, il secondo invece è legato alla corrente massima di saturazione del nucleo I_{sat} . La prima definisce il valore minimo rms della corrente che deve poter fluire nel componente mentre la seconda definisce il valore massimo di corrente applicabile affinché l'induttanza del componente non diminuisca eccessivamente, di norma si considera un $\frac{\Delta L}{L}|_{I_{sat}} = 20\%$. Risulta quindi necessario valutare queste grandezze affinché il circuito possa operare come da progetto.

$$\begin{aligned}
 R &= \frac{V_{out}^2}{P_{out}}; \\
 \langle I_{out} \rangle &= \frac{1}{T} \int_{t_0}^{t_0+T} i_L(t) dt = \langle I_L \rangle \cdot (1 - D) \rightarrow \\
 \langle i_L \rangle &= I_L = \frac{V_{out}}{R(1 - D)} = 1.59 \text{ A}; \\
 \rightarrow I_{L,peak} &= \sqrt{2} \left(1 + \frac{\%Ripple}{2} \right) \langle I_L \rangle = 3.2 \text{ A};
 \end{aligned}
 \tag{4.1}$$

Si dovrà quindi scegliere un induttore che possa far fluire una corrente media, superiore a $\langle i_L^{max} \rangle$.

Mentre la corrente di saturazione dell'induttore dovrà quindi essere maggiore di $I_{L,peak}$, in definitiva si ha:

- $L_{nom} \geq 680 \mu H$;
- $I_L^{rms} \geq 1.59 \text{ A}$;
- $I_L^{sat} \geq 3.2 \text{ A}$

4.2.2 Scelta del MOS

Nella scelta dei MOS la famiglia di componenti a cui ci si è rivolti sono i transistori SiC ovvero al carburo di silicio. Questa tecnologia permette di ottenere, rispetto a dei comuni transistori di potenza al silicio, delle frequenze di commutazione più alte, valori di R_{on} nettamente più piccoli e ridotte perdite da commutazione. Le specifiche a cui ci si è riferito per la scelta dei transistori sono:

- $I_{S,rms}$
- Tempo di salita e discesa t_r, t_f
- Classe di tensione V_{brk}

La tensione massima del circuito nominale è pari a 400 V, per cui si impone

$$V_{brk} \geq 600 \text{ V} \longrightarrow V_{brk} = 650 \text{ V}$$

Il periodo di commutazione è $T_s = 10 \mu s$, per cui sia il tempo di salita che di discesa devono essere una frazione molto piccola di tale tempo, si impone:

$$t_r, t_f \leq \frac{T_s}{200} = 50 \text{ ns}$$

La corrente RMS durante l'intero ciclo AC a cui è sottoposto il transistor può essere calcolata usando l'espressione riportata:

$$\frac{P_o}{V_{ac,min}} \cdot \sqrt{1 - \frac{8 \cdot \sqrt{2} \cdot V_{ac,min}}{3\pi \cdot V_o}} = \frac{500 \text{ W}}{85 \text{ V}} \cdot \sqrt{1 - \frac{8 \cdot \sqrt{2} \cdot 85 \text{ V}}{3\pi \cdot 400 \text{ V}}} = 5.1 \text{ A}$$

Per cui la massima corrente RMS sopportabile da transistor dovrà essere molto più alta di tale valore.

E' stato scelto il transistor SiC SCT3080aw7 della Rohm caratterizzato da:

- $V_{brk} = 650 \text{ V}$
- $t_r = 22 \text{ ns}; t_f = 29 \text{ ns}$
- $I_{S,rms}^{max} = 22 \text{ A}$

4.2.3 Scelta dei Diodi

Come spiegato in [9][*PFC boost converter design guide*] la scelta del diodo che commuta ad alta frequenza è una delle più importanti nel progetto di un PFC che opera in CCM. Infatti, il diodo viene utilizzato in *hard-switching* mentre è percorso da correnti alte, ciò implica che uno dei contributi più significativi alla dissipazione di potenza del circuito deriva dal *reverse recovery* dei diodi. Questo fenomeno può essere uno dei fattori determinati che limitano la potenza in uscita al circuito, specialmente se si opera ad alte frequenze. Uno dei criteri per scegliere il diodo consiste nel privilegiare soluzioni di tipo *fast recovery* con una carica di recupero inversa quanto più limitata possibile. I diodi SiC hanno una carica, Q_c molto più piccola della capacità di recupero inversa Q_{rr} di un normale diodo al silicio; risultando in perdite da commutazione e tempo di recupero inverso molto più piccoli. La corrente media nel diodo può essere calcolata come

$$I_{D,avg} = \frac{P_o}{V_o} = \frac{500 \text{ W}}{400 \text{ V}} = 1.25 \text{ A}$$

Il diodo scelto è un diodo SiC SCS312AL della Rohm caratterizzato da una corrente media massima $I_{D,avg}^{max} = 12 \text{ A}$

4.2.4 Scelta del condensatore di uscita

Per il progetto dei condensatori il riferimento è [9][*PFC boost converter design guide*] della Infineon. Il valore nominale della capacità deve essere tale da rispettare il ripple sulla tensione di uscita alla frequenza di linea. Dalla application note [9] è possibile riprendere la formula per il calcolo della capacità del condensatore di uscita è:

$$C_o \geq \frac{P_o}{2\pi f_{line} \cdot \Delta V_o \cdot V_o} = \frac{500 \text{ W}}{2\pi \cdot 50 \text{ Hz} \cdot 40 \text{ V} \cdot 400 \text{ V}} = 100 \mu\text{F}$$

La corrente RMS attraverso il condensatore di uscita durante il ciclo della 50 Hz può essere calcolata attraverso:

$$\sqrt{\frac{8\sqrt{2} \cdot P_o^2}{3\pi \cdot V_{ac,min} \cdot V_o} - \frac{P_o^2}{V_o^2}} = \sqrt{\frac{8\sqrt{2} \cdot (500 \text{ W})^2}{3\pi \cdot 85 \text{ V} \cdot 400 \text{ V}} - \frac{(500 \text{ W})^2}{(400 \text{ V})^2}} = 2.7 \text{ A}$$

I criteri per la scelta del condensatore di uscita risultano essere:

1. $V_{out}^{max} \geq 600 \text{ V}$
2. $I_{rms} \geq 3 \text{ A}$
3. $C_o \geq 100 \mu\text{F}$

Capitolo 5

Modellizzazione dei componenti reali

5.1 Modelli dei componenti utilizzati

In questo capitolo si affronta l'analisi dei principali componenti dei PFC introdotti andando a costruire per ciascun componente un modello che simuli in maniera quanto più fedele possibile il comportamento dei componenti reali. Infatti, saranno analizzati gli elementi parassiti dei condensatori di filtro, del DC-Link, degli induttori ma anche dei dispositivi a semiconduttore. Una volta realizzati tutti questi modelli essi possono essere inseriti all'interno dello schematico della simulazione SPICE così da ottenere dei risultati validi per la valutazione delle EMI prodotte dal circuito.

5.1.1 Modello dell'induttore con interwinding capacitance

Uno dei componenti principali dei PFC è l'induttore di potenza. In generale un induttore reale non ha una impedenza che cresce sempre linearmente con la frequenza ma, mostra un comportamento simile a quello riportato in figura:

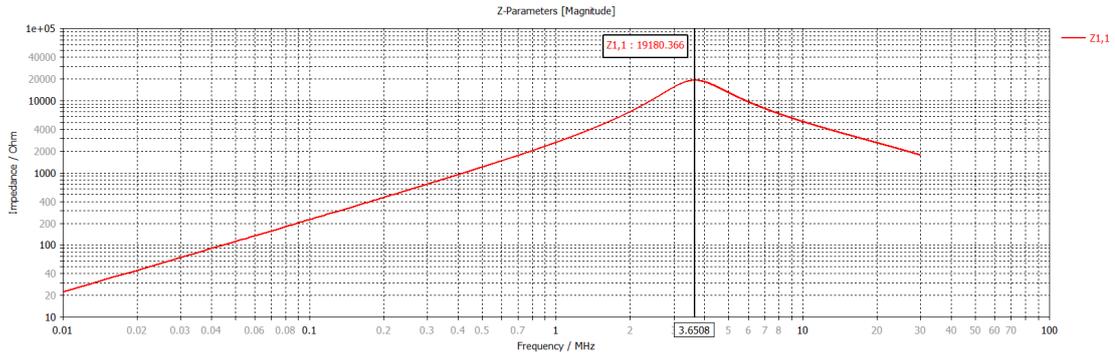


Figura 5.1. Impedenza di un induttore di potenza

Dalla figura 5.1 è possibile notare come l'induttore reale non presenta un comportamento induttivo per tutte le frequenze ma che è caratterizzato da un picco dopo il quale il comportamento è di tipo capacitivo, infatti, il modello dell'induttore utilizzato considera un induttore ideale, una resistenza serie ed una capacità in parallelo. Questa capacità parassita è dovuto alla cosiddetta *inter winding capacitance* ovvero alla capacità parassita che vi è tra i diversi avvolgimenti dell'induttore attorno al nucleo. La resistenza in serie modella la non nulla resistività del materiale dei cavi ovvero il rame.

Per poter ricavare un modello da usare nelle simulazioni dei PFC è necessario progettare l'induttore a partire dalle specifiche del circuito nel quale viene inserito e successivamente caratterizzare il suo comportamento in frequenza.

Per i PFC *Reference* e *Symmetric*, essendo i due induttori non accoppiati si procede con un progetto unico, mentre per il PFC *Improved Symmetric* i due induttori sono accoppiati, quindi la scelta dell'induttore per questa topologia è differente rispetto a quella da fare per gli altri PFC considerati. Il primo progetto che si affronta è quello relativo agli induttori non accoppiati.

Le specifiche usate sono:

1. Induttanza $L = 340 \mu H$
2. Massima corrente di picco $I_{peak}^{max} = 8 A$
3. Massima corrente di ripple $I_{ripple}^{max} = 3.125 A$
4. Tensione applicata $V_{in}^{rms} \in [85, 265] V$
5. Frequenza di switching $f_{sw} = 100 kHz$

Il produttore scelto per questo componente è Micrometals, di seguito sono elencate le caratteristiche dell'induttore scelto.

1. Ferrite: OC-184090-2
2. Numero di spire $N_{spire} = 41$
3. Tipo di cavo usato: AWG 15
4. Perdite massime $P_{diss}^{max} \simeq 2.57 W$
5. Massimo aumento di temperatura $\Delta T_{max} = 18.2 K$

Nella figura 5.2 sono mostrate le principali caratteristiche del nucleo di ferrite utilizzato:

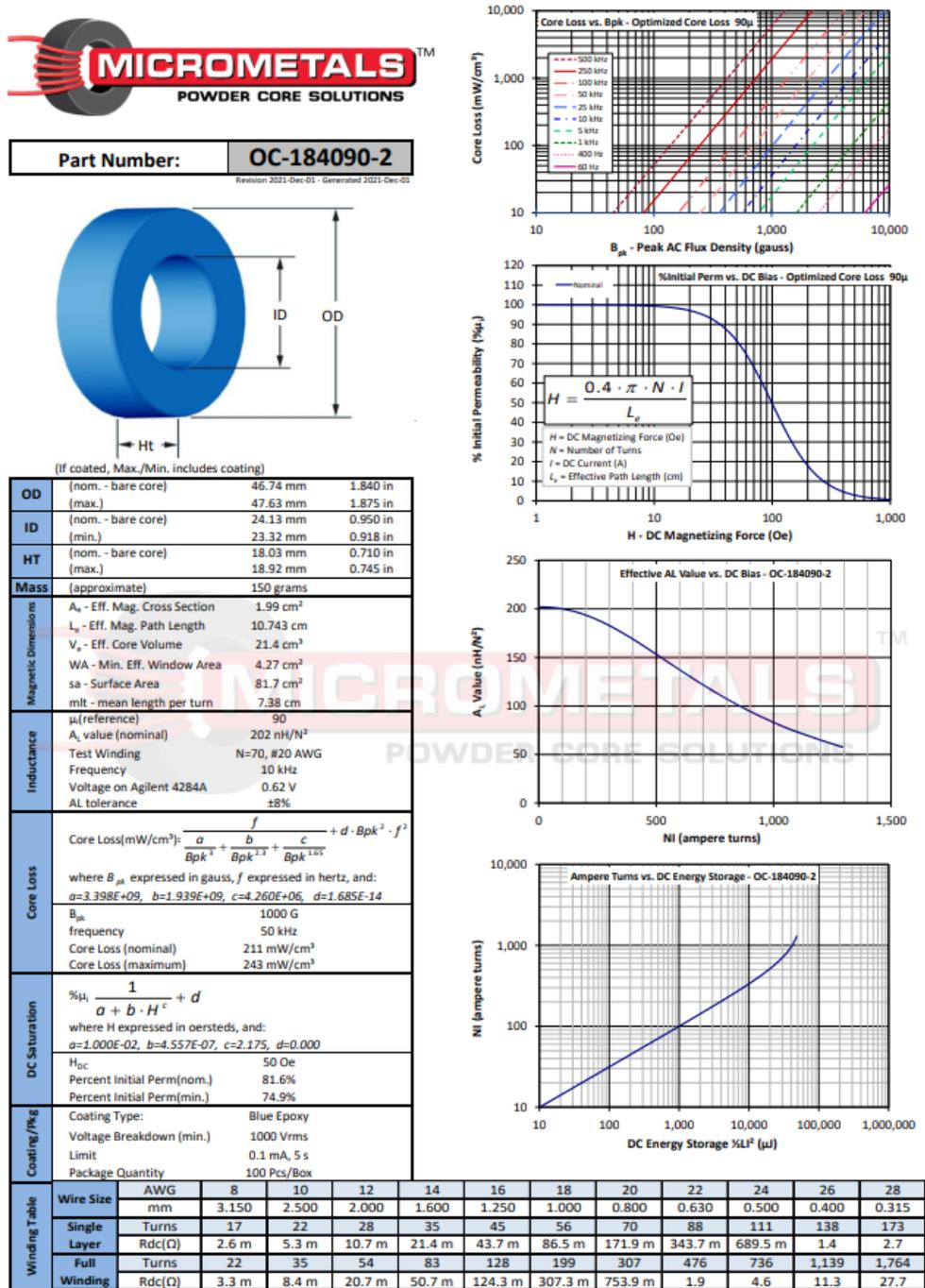


Figura 5.2. Datasheet del nucleo di ferrite usato

E' stato allora utilizzato il software di simulazioni EM 3D CST studio per poter valutare l'impedenza mostrata dall'induttore in funzione della frequenza, così da poter assegnare ai componenti del modello dei valori opportuni.

Si ottiene:

1. Induttanza $L = 358 \mu H$
2. SRF *Self Resonance Frequency* $SRF = 3.65 MHz$
3. Resistenza dc $R_{dc} = 32.8 m\Omega$

Da questi è possibile ricavare la *inter winding capacitance* del modello considerando che

$$SRF \simeq \frac{1}{2\pi\sqrt{L_{ind}C_p}}$$

e ricavando dalla precedente il valore di C_p , nel caso analizzato $C_p \simeq 5.3 pF$. Il modello è rappresentato in figura 5.3, l'impedenza dell'induttore è quella riportata in figura 5.1.

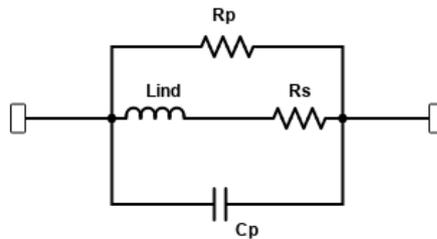


Figura 5.3. Modello di un induttore di potenza

Nel caso del PFC *Improved Symmetric* essendo i due induttori accoppiati e volendo ottenere un buon matching dei parassiti si opta per una soluzione disponibile a catalogo come un Common-Mode Chocke. Le specifiche utilizzate sono le stesse usate precedentemente e qui riportate:

1. Induttanza $L = 680 \mu H$
2. Massima corrente di picco $I_{peak}^{max} = 8 A$
3. Massima corrente di ripple $I_{ripple}^{max} = 3.125 A$
4. Tensione applicata $V_{in}^{rms} \in [85,265] V$
5. Frequenza di switching $f_{sw} = 100 kHz$

Il CM Chocke scelto è CD1479-AL della CoilCraft, a partire dai valori forniti dal costruttore viene condotta una analisi simile a quella effettuata precedentemente per gli induttori non accoppiati ottenendo:

1. Induttanza $L = 380 \mu H$ (*min*)
2. SRF *Self Resonance Frequency* $SRF = 5.1 MHz$
3. Resistenza dc $R_{dc} = 20 m\Omega$
4. $C_p \simeq 2.56 pF$

5.1.2 Modello avanzato dell'induttore

Il modello dell'induttore riportato in figura 5.3 può essere reso più accurato considerando che, nella pratica, una volta realizzato il circuito l'induttore viene immerso in una resina all'interno di un contenitore metallico. Questa procedura è opportuna per due motivi, il primo riguarda la resistenza meccanica del componente, la seconda è legata alla dissipazione del calore generato. Il contenitore metallico si comporta quindi come un dissipatore di calore e affinché lo scambio termico sia ottimizzato tra l'induttore e la scatola lo spessore della resina deve essere quanto più limitato possibile. La resina più comunemente utilizzata è epossidica, caratterizzata da $\epsilon_r \simeq 4.3$, che si comporta come un ottimo isolante elettrico e termico. Questo acuisce la presenza delle capacità parassite che sono raffigurate nella seguente figura 5.4.

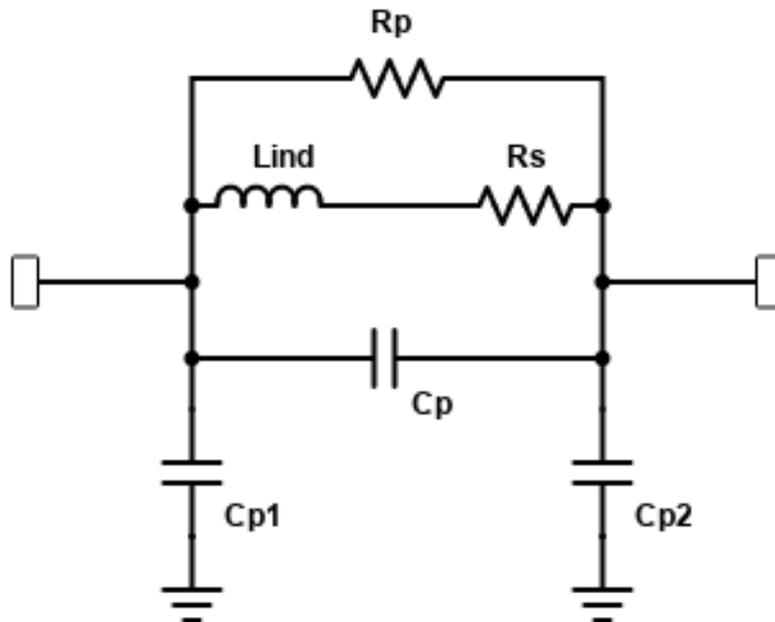


Figura 5.4. Modello avanzato dell'induttore di potenza

Questo modello integra quello in 5.3 aggiungendo due capacità parassite, C_{p1} , C_{p2} che rappresentano le capacità viste tra i due terminali dell'induttore e la scocca metallica dove l'induttore è inserito. Per poter valutare questi parassiti è stata condotta una simulazione elettromagnetica in ambiente CST che a partire dal modello 3D dell'induttore ha permesso di valutare i parassiti capacitivi. In figura 5.5 è mostrato il modello 3D:

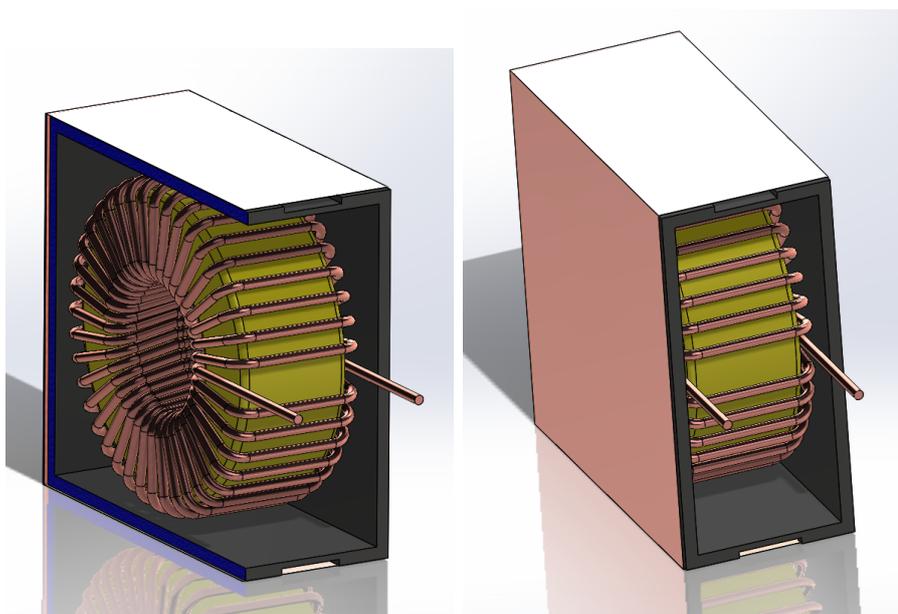


Figura 5.5. Modello 3D dell'induttore di potenza, vista in sezione e completa (sx, dx)

Il nucleo di ferrite simulato è lo stesso di figura 5.2, nella quale sono riportate le dimensioni. Il materiale della scatola è lo stesso degli avvolgimenti dell'induttore ovvero rame.

L'induttore è stato pensato come un dispositivo due porte, definite come di seguito:

- Porta 1: Porta tra il terminale T-1 dell'induttore e la scatola;
- Porta 2: Porta tra il terminale T-2 dell'induttore e la scatola;

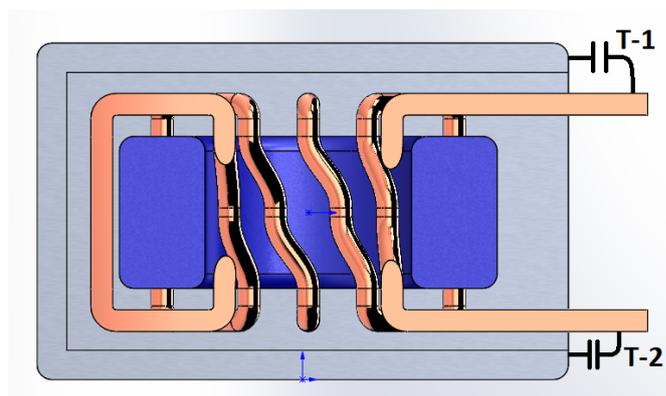


Figura 5.6. Modello 3D dell'induttore di potenza, vista in sezione

Essendo il modello di figura 5.4 assimilabile ad un modello di una linea di trasmissione di tipo π sono presentati i parametri Y costituenti tale modello:

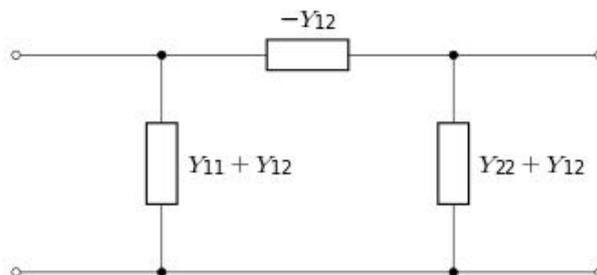


Figura 5.7. Modello Y equivalente di una linea di trasmissione reciproca

I risultati delle simulazioni sono presentati di seguito:

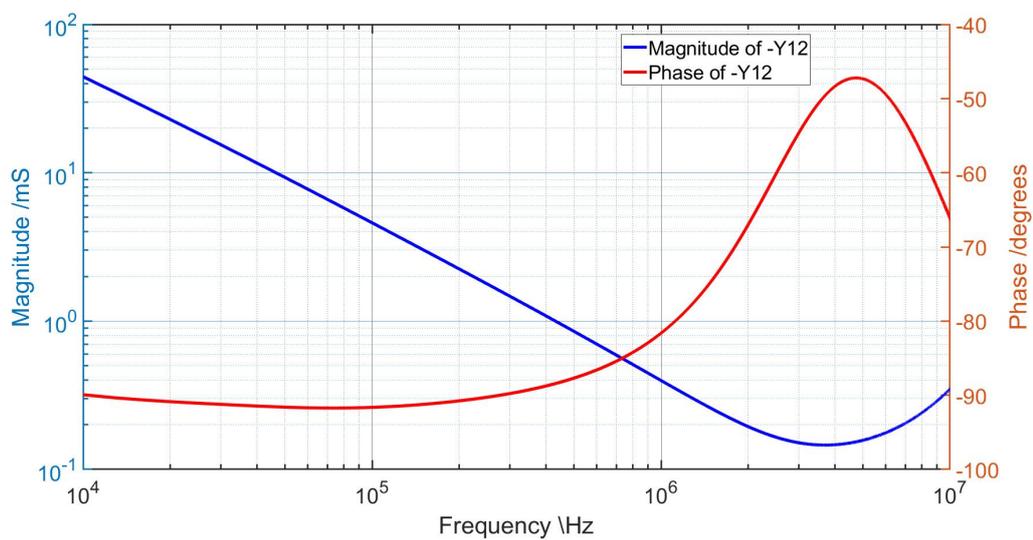
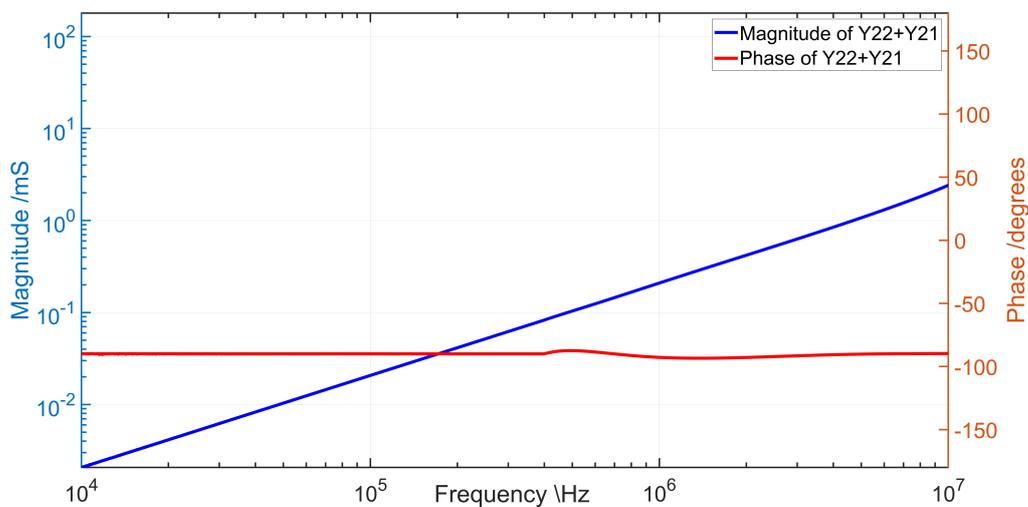
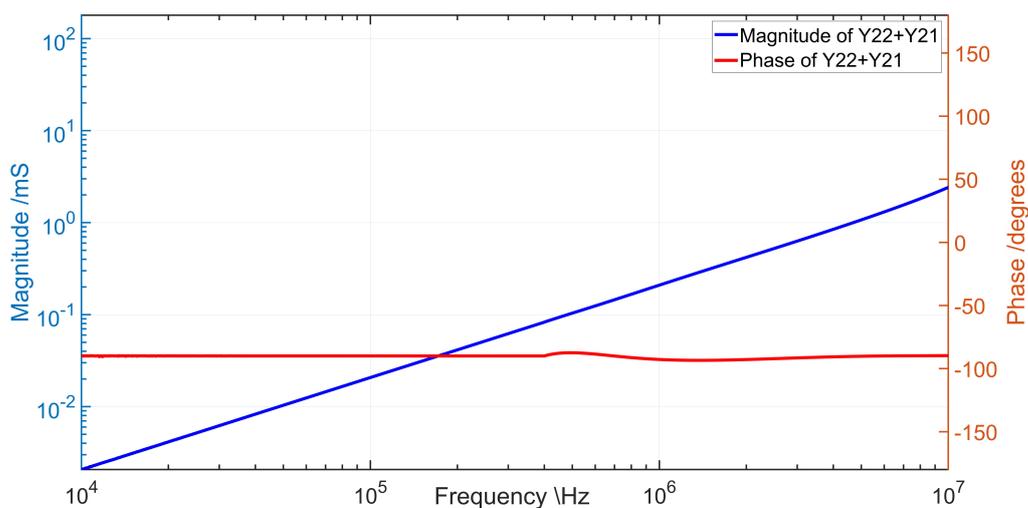


Figura 5.8. Ammettenza $-Y_{12}$ in funzione della frequenza

Figura 5.9. Ammettenza $Y_{11}+Y_{12}$ in funzione della frequenzaFigura 5.10. Ammettenza $Y_{22}+Y_{21}$ in funzione della frequenza

I risultati nelle precedenti figure 5.8, 5.9 ed 5.10 sono in linea con quanto atteso, infatti l'ammittenza $-Y_{12}$ risulta di tipo induttivo fino ad una frequenza per cui si ha la risonanza SRF mentre $Y_{11} + Y_{12}$ ed $Y_{22} + Y_{21}$ sono di tipo capacitivo. Da questi risultati è stato possibile ricavare i valori caratteristici del modello, riportati di seguito:

- $L_{sim} = 358 \mu H$

- $SRF = 3.65 \text{ MHz} \rightarrow C_p = 5.3 \text{ pF}$
- $C_{p1} = C_{p2} = 35.8 \text{ pF}$

Nel caso del Common Mode Chocke scelto per il PFC *Improved Symmetric* la stessa procedura viene ripetuta ottenendo:

- $L_{sim} = 380 \text{ } \mu\text{H}$
- $SRF = 4.8 \text{ MHz} \rightarrow C_p = 2.9 \text{ pF}$
- $C_{p1} = C_{p2} = 21 \text{ pF}$

5.1.3 Verifica sperimentale del modello dell'induttore

Prima di poter utilizzare il modello prima presentato nelle simulazioni dei PFC è stata condotta una verifica sperimentale dei risultati ottenuti mediante simulazione. Sono stati realizzati due prototipi di induttori, il primo è stato inserito in una scatola senza nessun tipo di riempimento mentre il secondo è stato riempito con della resina epossidica. Per semplicità di realizzazione non sono stati costruiti degli induttori a partire dal nucleo precedentemente visto (figura 5.2) ma sono stati usati dei nuclei toroidali disponibili in laboratorio. Il part-number di questi nuclei è T130-26 della Micrometals.

Le caratteristiche dei due induttori avvolti sono le seguenti:

1. Ferrite: T130-26
2. Numero di spire $N_{spire} = 11$
3. Tipo di cavo usato: Rame, diametro di 1.12 mm

Usando la seguente formula approssimata [13][*Radio Engineers Handbook*] è possibile avere una stima dell'induttanza del componente

$$L \simeq 0.0117 \cdot \mu \cdot N^2 h \log \left(\frac{d_{ext}}{d_{inn}} \right) [\mu\text{H}]$$

con μ permeabilità magnetica del nucleo, N numero di spire, h altezza del toroide (in pollici), d_{ext} e d_{inn} i diametri esterni ed interni, rispettivamente. Dall'applicazione della formula si ottiene:

$$L = 10.9 \text{ } \mu\text{H}$$

Come già fatto per l'induttore del PFC è stato realizzato un modello 3D dell'induttore e sono state condotte delle simulazioni su CST in maniera analoga a quanto precedentemente spiegato.

Successivamente sono stati realizzati i due induttori, per poter misurare il comportamento in frequenza del componente sono stati installati sui terminali dell'induttore due connettori SMA. Il conduttore centrale del connettore SMA è connesso al terminale dell'induttore (T-1, T-2) mentre la parte esterna del connettore è stata connessa alla scatola.

La scatola è stata realizzata a partire da un modello CAD, poi stampata in 3D, le dimensioni della scatola sono state definite in modo che l'induttore già avvolto entri con una certa pressione nella scatola stessa; in questo modo si riduce al minimo la distanza tra la scatola ed il componente. Il materiale scelto è del comune ABS per stampa 3D, infatti questo risulta più tollerante alle alte temperature rispetto al PLA ma comunque è un materiale a basso costo. Lo spessore della scatola è di 2 mm, minimo spessore che la stampante 3D è in grado di produrre. Una volta realizzata la scatola essa è stata avvolta con del nastro di rame, del tipo usato per effettuare lo shielding EM, al fine di emulare una scatola metallica. Ognuno dei due induttori è stato inserito nella rispettiva scatola, il primo non usando nessun tipo di materiale riempitivo mentre il secondo è stato immerso in una resina epossidica. I due induttori sono presentati nelle seguenti figure 5.11e 5.12 :



Figura 5.11. Prototipi sperimentali degli induttori realizzati

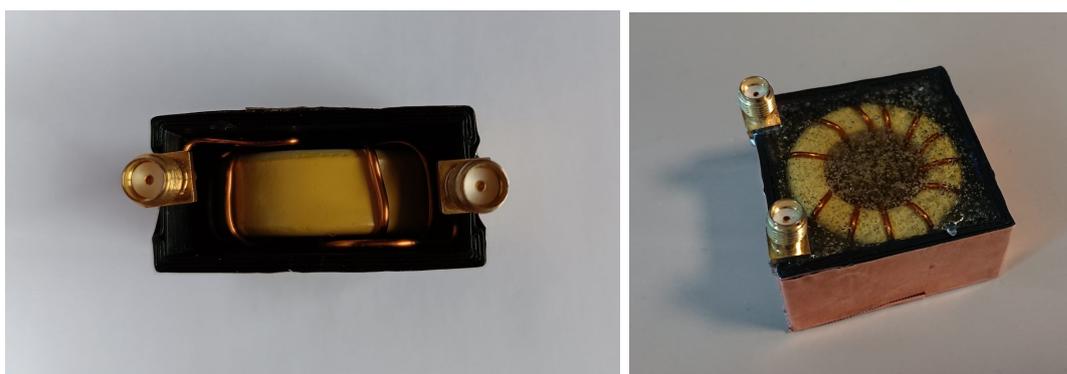


Figura 5.12. Prototipi sperimentali degli induttori realizzati

Infine si sono misurati attraverso un network analyzer i parametri S dei due prototipi, questi sono stati convertiti nei parametri Y ed infine confrontati con quelli ottenuti dalle simulazioni su CST i risultati sono riassunti dalla figura 5.13

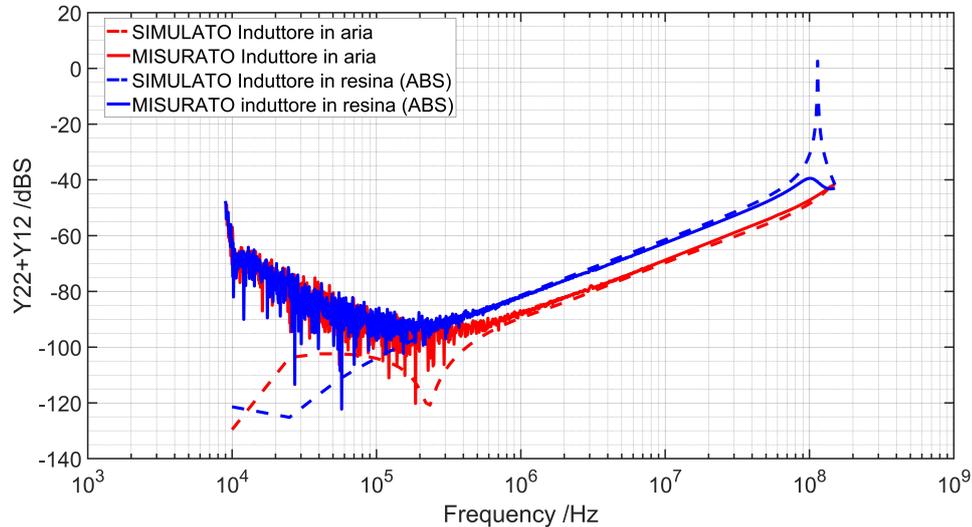


Figura 5.13. Datsheet del nucleo di ferrite a forma toroidale usato nella verifica sperimentale del modello CST

Nella figura 5.13 è mostrato l'andamento di $Y_{22} + Y_{12}$, espresso in dB, in funzione della frequenza. Come intuibile dalla figura 5.7 questa grandezza esprime la capacità tra i terminali del dispositivo e la scocca metallica. Inoltre è stato possibile confermare che il componente è reciproco infatti $Y_{22} + Y_{12}$ risulta del tutto sovrapposto a $Y_{11} + Y_{21}$. Si può notare come in entrambi i casi (con aria e resina) il modello ottenuto da CST rispecchi fedelmente quanto ottenuto sperimentalmente, per frequenze superiori a circa 200 kHz gli andamenti del caso misurato e simulato sono molto simili. E' possibile anche apprezzare l'effetto del riempimento della scatola con la resina, si nota una diminuzione della banda del dispositivo con una SRF che decresce se presente la resina. Inoltre si nota come nel caso con resina la curva sia traslata verso valori più alti rispetto a quella con aria, il che indica che il valore di capacità parassita verso la scatola aumenti se l'induttore è inserito nella resina (si ricorda che si stanno esprimendo delle ammettenze e non impedenze).

5.1.4 Modello del DC-Link

A partire dalle specifiche definite in 4.2.4 si procede al progetto del DC-Link necessario per limitare la variazione di tensione di uscita. In particolare è possibile costruire il DC-Link usando due approcci differenti. Il primo prevede di realizzare il DC-Link attraverso un unico condensatore mentre un secondo modo può essere quello di porre un numero opportuno di condensatori più piccoli in parallelo. In generale, l'impedenza mostrata da un DC-Link ha un andamento simile a quello in figura 5.14, inizialmente l'impedenza è di

tipo capacitivo successivamente di tipo resistivo (l'impedenza non varia con la frequenza) ed infine di tipo induttivo.

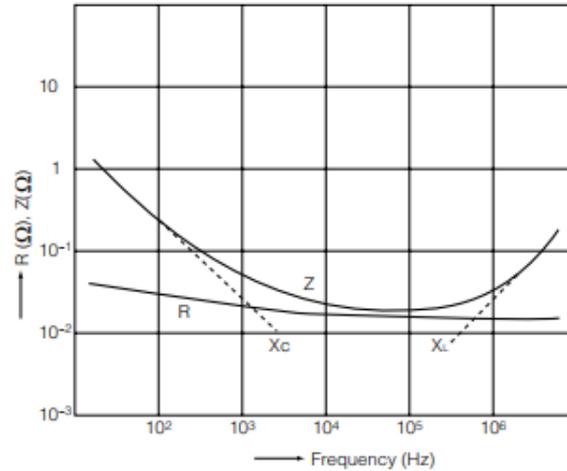


Figura 5.14. Esempio di impedenza di un condensatore in funzione della frequenza

Indipendentemente dal tipo di approccio usato per la realizzazione del DC-Link il un modello non cambia ed è riportato in figura 5.15.

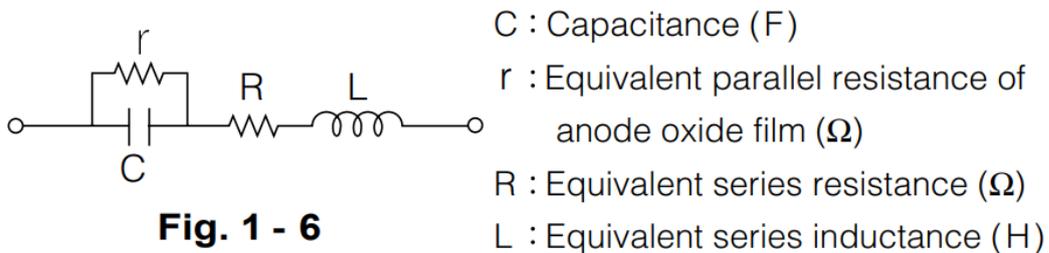


Figura 5.15. Modello condensatore di uscita

Nel caso in cui il DC-Link sia composto da diversi condensatori posti in parallelo essi possono essere direttamente montati sulla scheda principale oppure si può realizzare il DC-Link in una scheda separata collegata a quella principale attraverso uno o più connettori. Se si considera il secondo tipo di realizzazione del DC-Link è necessario progettare una PCB dedicata. In genere se vengono posti N condensatori in parallelo si può immaginare che la ESL (*Equivalent Series Inductance*) sia ridotta di un fattore N, ma non ci si

deve dimenticare del contributo alla ESL del modello complessivo dato dalla PCB e dal connettore verso la scheda principale.

Nella ricerca dei condensatori sono stati scartati quelli elettrolitici perché sono caratterizzati da valori di ESR in generale più alti rispetto a quelli a film sottile o ceramici, sebbene siano l'alternativa a minore costo.

Nel caso in cui il DC-Link sia composto da un unico condensatore il componente scelto è un BLH127K701C164 della Cornell-Dubliner. Per la configurazione con condensatori multipli, la scelta ottimale è stata la combinazione di 10 condensatori del tipo B32774X8126K000 della EPCOS-TDK. Soluzioni con più condensatori risultavano molto più costose e voluminose rispetto a questa. Entrambe le soluzioni hanno una capacità nominale di 120 uF.

Le caratteristiche dei condensatori sono riportate nella tabella:

PN	Costo	L \mm	W \mm	H \mm	I_{picco} \kA	ESR	ESL
BLH127K701C164	20.4	57.5	35	80	2.3	3 \m\Omega	35 \nH
B32774X8126K000	33.2	22	31.5	36.5	0.013	6.8 \m\Omega	34 \nH

Tabella 5.1. Caratteristiche dei condensatori scelti

Progetto PCB per DC-Link composto da più condensatori

Come già detto il DC-Link con 10 condensatori necessita della progettazione di una PCB. I connettori tra il DC-Link e la scheda principale devono avere le seguenti specifiche:

- $V_{max} \geq 800 V$
- $I_{max} \geq 3 A$

A partire da queste specifiche sono state trovate alcune soluzioni, tra queste quella selezionata è della Samtec, in particolare si tratta di due connettori (maschio e femmine) a due posizioni

- FEMMINA: MPT-02-6.30-01-L-V
- MASCHIO: MPS-02-7.70-01-L-V

La PCB ha una struttura molto semplice, composta da due layer e con spessore delle piste $t_{copper} = 18 \mu m$ e del dielettrico pari a $t_{FR-4} = 1.55 mm$.

Una volta concluso il progetto della scheda si è passati alla caratterizzazione delle prestazioni del DC-Link tramite delle simulazioni in ambiente CST. In figura è mostrato il setup della simulazione elettromagnetica:

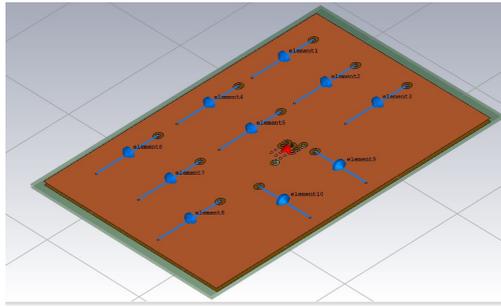


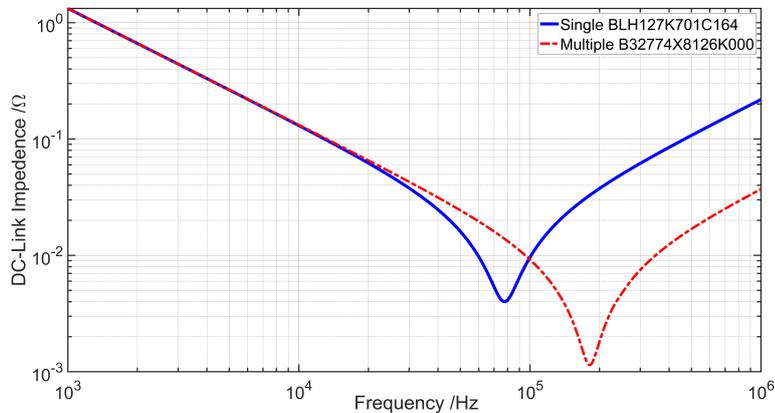
Figura 5.16. Setup della simulazione CST per la caratterizzazione del DC-Link

Dalla simulazione CST si sono potuti estrarre i parametri del modello equivalente di figura 5.15.

Tipo	Capacità μF	ESR $m\Omega$	ESL nH	SRF kHz
Singolo	120	3	35	77.6
Multiplo	120	1.2	6.42	181.3

Tabella 5.2. Caratteristiche delle due versioni di DC-Link proposte

In figura 5.17 sono riportati gli andamenti dell'impedenza delle due versioni del DC-LINK in funzione della frequenza.

Figura 5.17. Corrente I_{as} in funzione del mismatch tra gli induttori

E' possibile notare come la soluzione composta da più condensatori sia sicuramente più performante del singolo condensatore in termini di risposta in frequenza. Infatti la prima ha una ESL inferiore di circa 5 volte che porta ad una frequenza di risonanza più alta. In questo modo il DC-Link mostra un comportamento capacitivo per un intervallo di

frequenze più ampio. Infine, è possibile notare come il valore della resistenza serie sia inferiore nel caso con condensatori multipli, riducendo le perdite ohmiche del DC-Link.

D'altro canto queste migliori prestazioni hanno un costo sia in termini di complessità del circuito che di costo e di volume.

5.1.5 Modello delle capacità parassite tra la scheda di potenza ed il piano di riferimento

In tutti i circuiti che sono stati presentati sono presenti dei parassiti di tipo capacitivo di particolare impatto sulle prestazioni EMI del circuito, ovvero le capacità parassite tra i nodi che commutano ed il piano di riferimento. In figura 5.18 sono evidenziate queste capacità nello schema di un PFC Symmetric. I principali contributi alle capacità C_{p1} e C_{p2} possono essere ricercate nella capacità parassita dell'induttore di potenza verso il piano di riferimento e dalle tracce del PCB rispetto al piano di riferimento. In modo analogo possono essere definite le capacità C_{b1} e C_{b2} che insistono tra i terminali di uscita (DC-Link) ed il piano di riferimento. Di norma quest'ultimo è connesso al cavo di terra della linea di ingresso AC. Per stimare i valori di tali capacità è allora necessario progettare una PCB che contenga tutti gli elementi che commutano a frequenze elevate nei circuiti analizzati e successivamente condurre una simulazione elettromagnetica di tale sistema. Questa analisi è stata condotta per il caso del PFC symmetric ma si applica anche al caso del Improved Symmetric dato che il layout della scheda ha solamente modifiche minori.

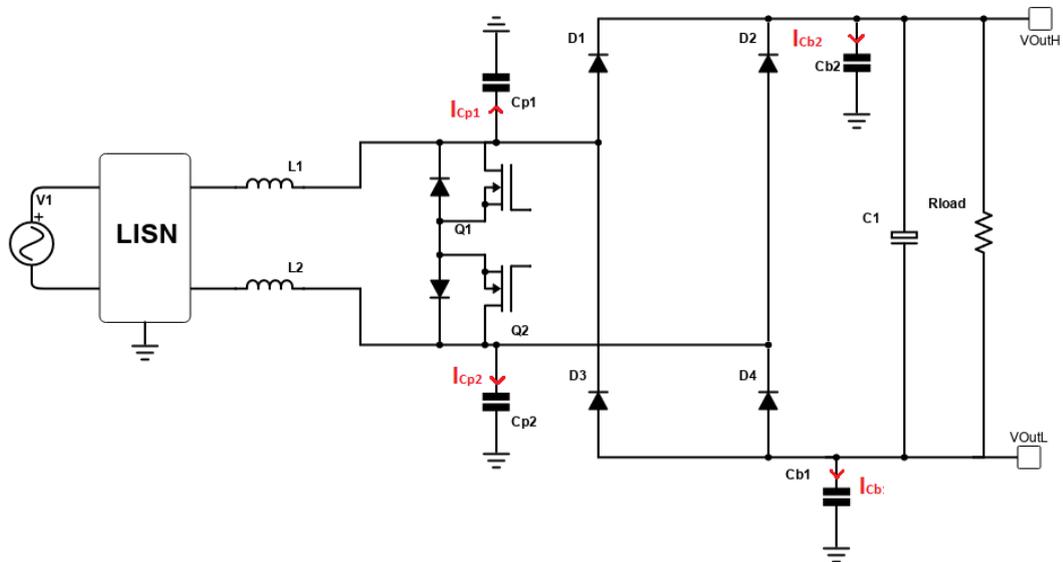


Figura 5.18. Scheda del PFC Symmetric

Uno dei primi aspetti da definire prima di procedere alla progettazione della PCB è definire la tecnologia da usare per la realizzazione della stessa. Particolare attenzione deve essere posta nella scelta della larghezza delle piste, nella minima distanza tra due piste adiacenti che appartengono a nodi differenti e lo spessore minimo dell'isolante della scheda. Per poter stimare queste tre caratteristiche della PCB si fa riferimento alla massima corrente che le tracce devono sopportare e alla tensione massima tra due nodi del circuito.

Si è proceduto all'individuazione di uno standard che regolamentasse tali aspetti, ci si è riferiti allo standard IPC-2221 sezione 6.2. I parametri utilizzati per il dimensionamento sono i seguenti:

- Corrente $I_{PCB} = 6 \text{ A}$
- Spessore piste $t_{PCB} = 108 \text{ }\mu\text{m}$
- Massima variazione di temperatura $\Delta T^{max} = 10 \text{ }^\circ\text{C}$
- $T^{amb} = 25 \text{ }^\circ\text{C}$
- $L^{max} = 100 \text{ mm}$
- $V^{max} = 800 \text{ V}$

Si ottiene:

- *Larghezza delle piste* $\geq 1.22 \text{ mm}$
- *Distanza tra pista e pista* $\geq 4 \text{ mm}$

Si impone la tensione minima di isolamento tra i due layer $V_{iso} > 10 \text{ kV}$. Questa coincide con la tensione di rottura del dielettrico tra il top ed il bottom layer. Il dielettrico è FR-4 che è caratterizzato da $\frac{V_{iso}}{t} = 20 \frac{\text{kV}}{\text{mm}}$. Si ricava quindi uno spessore di 0.5 mm. Nei paragrafi 4.2.2 e 4.2.3 erano stati scelti i transistori ed i diodi da usare nel progetto che son:

MOS : SCT3080AW7

DIODI : SCS312AJ

I packages sono rispettivamente il TO-263-7L e TO-263-AB. I transistori hanno il drain connesso alla pad inferiore mentre i diodi hanno il catodo connesso con la pad inferiore.

Per ottimizzare lo scambio di calore tra i componenti e il dissipatore le pad dove i dispositivi vengono saldati vengono piazzati un numero sufficiente di via, tale stima è riportata nella [sezione 7.5](#).

E' stato realizzato il progetto per il PCB con l'intento di minimizzare le capacità parassite ed avere facile accesso ai terminali di gate dei transistori. Il risultato è riportato in figura 5.19.

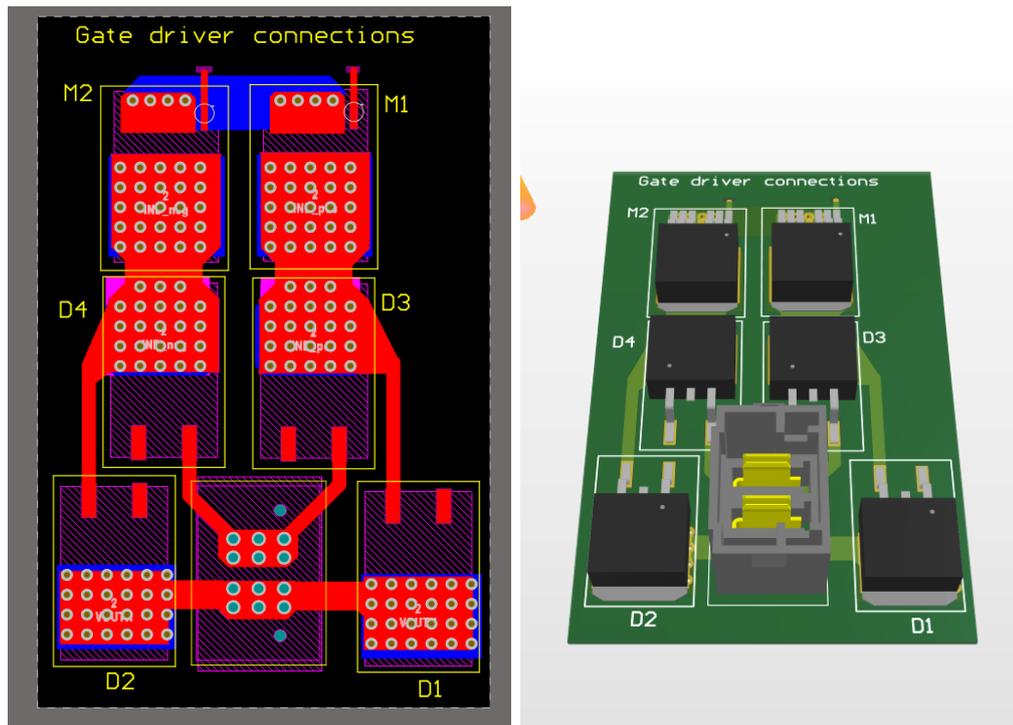


Figura 5.19.

Nel progetto del PCB è stato fatto in modo che le due piste che sono soggette ad alti $\frac{\partial V}{\partial t}$ (ind_{pos} ed ind_{neg}) siano quanto più possibili simili, così da ottenere un matching delle capacità parassite verso il piano di riferimento. Si può notare come i terminali di gate siano facilmente accessibili dalla parte superiore del PCB, inoltre le piste sono state rese quanto più corte possibile attraverso un accurato posizionamento dei componenti.

Tra la superficie inferiore del PCB ed il dissipatore al fine di evitare il corto circuito tra le pad dei componenti è stato previsto l'inserimento di una pad termica. Da catalogo è stata scelta una BERQUIST SIL PAD TSP 1200.

caratterizzata da:

- Spessore $d = 0.23 \text{ mm}$
- Tensione di rottura $V_{max} = 4.5 \text{ kV}$
- Conduttività termica $\lambda = 1.2 \frac{W}{m \cdot K}$

Per ottenere una stima dei valori della capacità parassite che insistono tra le piste del circuito stampato ed il piano di riferimento è stata effettuata una simulazione. I risultati ottenuti sono riassunti dalla seguente tabella:

	V_{ind}^{pos}	V_{ind}^{neg}	V_{OutH}	V_{OutL}
Area top layer /mm ²	270	264	234	66
Area bottom layer /mm ²	221	219	216	10.3
Area /mm ²	491	483	450	76.3
Capacità p.p. d= 0.23 eps = 4.3	48.2 pF	47.6	45.9 pF	4.2 pF
Capacità CST d= 0.23 eps = 4.3	48.2 pF	47.6 pF	47.0 pF	7.6 pF

Dalla precedente tabella si noti come i valori di capacità ottenuti siano in ottimo accordo con quelli calcolati mediante l'approssimazione di condensatori a facce piane e parallele; inoltre, le due net "ind-pos" e "ind-neg" presentano delle capacità molto simili.

Capitolo 6

Simulazioni dei PFC con modelli dei componenti reali

In questo capitolo sono presentati i risultati delle simulazioni fatte sui PFC introdotti in [4.1](#). Partendo dai risultati ottenuti nel precedente capitolo, dove sono stati caratterizzati molti dei componenti dei PFC studiati, è possibile simulare il funzionamento dei circuiti in modo affidabile. In questo modo si possono ottenere informazioni circa la corrente di asimmetria generata e gli spettri delle emissioni, di modo comune e differenziali, misurati dalle LISN.

Per semplificare le simulazioni non si considera l'intero ciclo AC in ingresso ma si analizzano solamente tre casi "statici" ovvero:

1. Tensione di ingresso uguale al picco di tensione positiva ($V_{ac} = 315 V$)
2. Tensione di ingresso prossima all'attraversamento dello zero ($V_{ac} = 15 V$)
3. Tensione di ingresso uguale al picco di tensione negativa ($V_{ac} = -315 V$)

In questo modo il peso computazionale di tali simulazioni è ridotto notevolmente, infatti il circuito opera *ad anello aperto*, evitando di simulare il circuito per un tempo necessario affinché esso vada a regime.

NB: si è scelto di inserire nelle simulazioni anche il caso per cui la tensione di ingresso sia prossima all'attraversamento perchè per tali valori il duty cycle dei transistori è prossimo al 100%. In questo modo si simula il circuito sia quando il duty cycle è minimo (in corrispondenza dei picchi) sia quando è massimo (quando la tensione di ingresso è prossima all'attraversamento per lo zero), come visto in [4.5](#).

6.1 PFC Reference

Il primo circuito ad esser simulato è il PFC Reference, schematizzato nella figura [6.1](#)

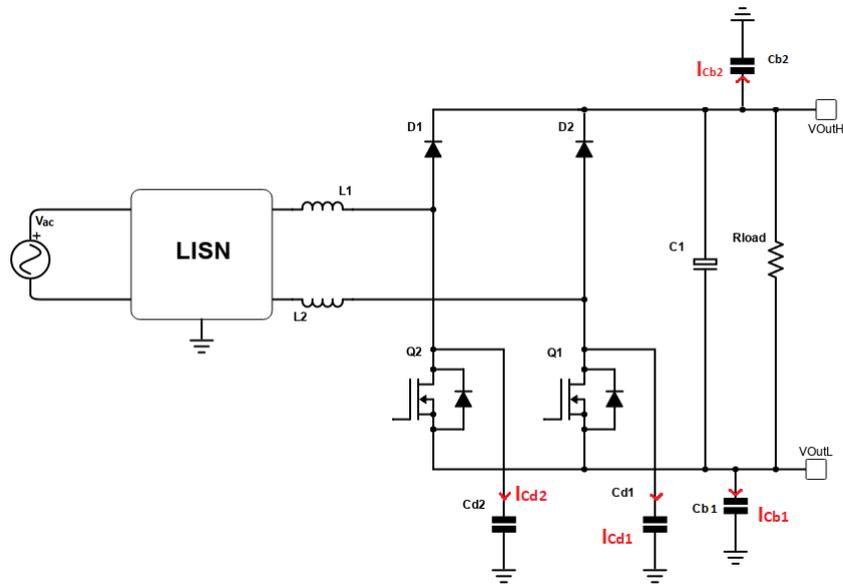


Figura 6.1. Schema del PFC Monofase "Reference"

In figura 6.2 è riportato l'andamento delle tensioni dei nodi sottoposti che commutano nel caso in cui la tensione di ingresso sia al picco positivo ($V_{AC} = 315 V$). Nella parte inferiore delle figure sono mostrati dei zoom sui fronti di salita e discesa. Nel prosieguo sono mostrate anche le forme d'onda della corrente di asimmetria, definita in 4, la cui espressione vale $I_{as} = I_{C_{d1}} + I_{C_{d2}} + I_{C_{b1}} + I_{C_{b2}}$.

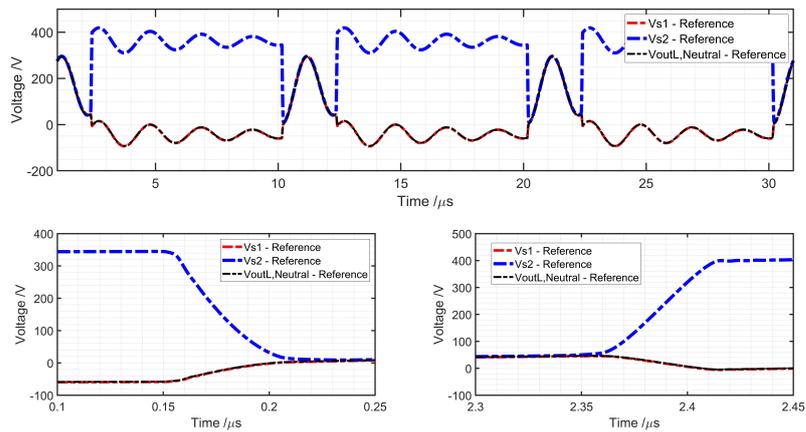


Figura 6.2. Forme d'onda delle tensioni tra i drain dei MOS ed il riferimento del PFC Monofase "Reference" con tensione in ingresso pari al picco positivo ($V_{ac} = 315 V$)

Si può notare dalla 6.2 come la tensione tra il negativo dell'uscita del PFC ed il neutro della linea di ingresso segua la tensione V_{s1} , con la tensione di ingresso al picco positivo. Questo può essere spiegato considerando che durante la semi-onda positiva della tensione di ingresso il body diode di Q1 è in conduzione, quindi i due nodi hanno circa lo stesso potenziale. Inoltre, è possibile notare come i due nodi che commutano hanno la stessa tensione quando Q2 è acceso mentre quando è spento tra i due nodi vi è la tensione al DC-Link pari a 400 V. Data la topologia del circuito, non simmetrica, il nodo caratterizzato dai maggiori $\frac{\partial V}{\partial t}$ è V_{s2} dato che è il potenziale al drain di Q2 (transistore che commuta). Nella seguente figura 6.3 è riportato l'andamento di $V_{OutL} - V_{neutral}$, ovvero la tensione tra il riferimento del circuito di potenza ed il neutro della linea di ingresso per tre casi diversi della tensione di ingresso definiti in 6.

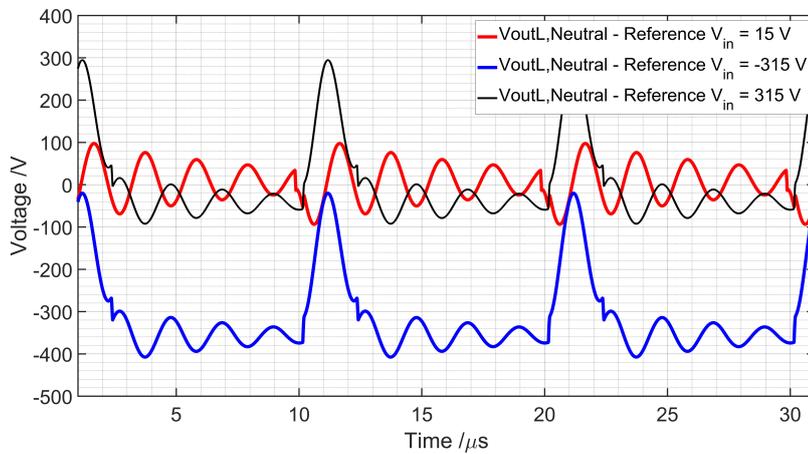


Figura 6.3. $V_{OutL} - V_{neutral}$ del PFC Monofase "Reference"

E' possibile notare come questo circuito presenti una tensione del riferimento del DC-Link rispetto al neutro caratterizzata da delle oscillazioni. In particolare, supponendo che ci si trovi nella semi onda positiva della tensione di ingresso, il segnale di comando in uscita dal controllo viene applicato al gate driver del MOS Q2, mentre il MOS Q1 rimarrà acceso per l'intera durata della semi onda. In questo caso se il MOS Q2 è acceso allora i due induttori è come se fossero connessi in serie e quindi la tensione $V_{OutL} - V_{neutral}$ tende ad un valore pari a circa la metà della tensione di ingresso. Invece, quando il Q2 è spento il valore di $V_{OutL} - V_{neutral}$ risulta definito dalla caduta di tensione sull'induttore L2. Se la tensione di ingresso è negativa il ruolo dei transistori Q1 e Q2 si inverte per cui Q1 seguirà il comando mentre Q2 rimane acceso per l'intera durata del semi periodo. Quando il comando è alto, indipendentemente dalla tensione di ingresso, i due transistori sono accesi. Il circuito può essere modellizzato come in figura 6.4 supponendo di lavorare durante la semi-onda positiva della tensione di ingresso:

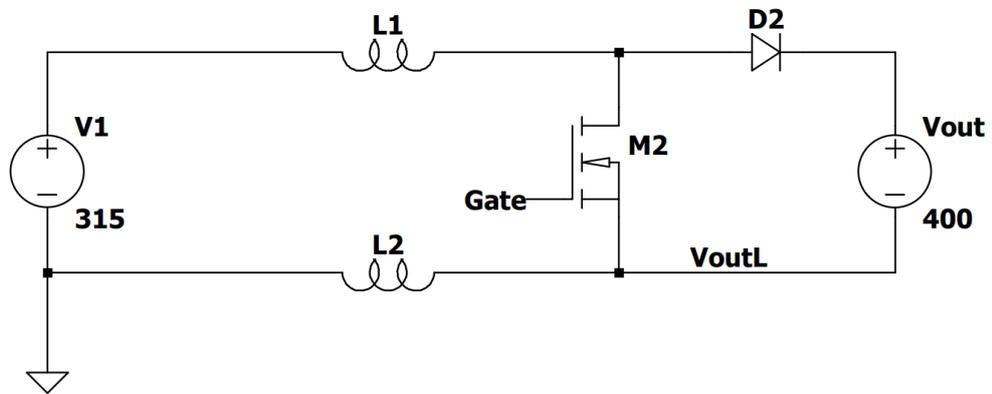


Figura 6.4. Modello del PFC Monofase "Reference" durante la semi onda positiva della tensione di ingresso

In funzione del comando al gate si possono ottenere i due modelli semplificati riportati di seguito, rispettivamente se il comando al gate è basso o alto.

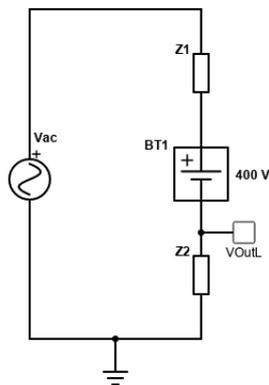


Figura 6.5. Modello del PFC Monofase "Reference" con comando al gate basso

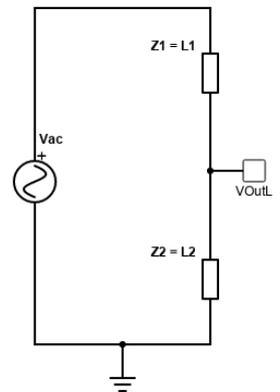


Figura 6.6. Modello del PFC Monofase "Reference" con comando al gate alto

Usando il modello equivalente del circuito, riportato in figura 6.5, è possibile calcolare il valore della tensione $V_{OutL} - V_{neutral}$ se i MOS sono interdetti, che risulta pari a:

$$V_{OutL} = \frac{V_{ac} - (V_{OutH} - V_{OutL})}{2}$$

se $V_{ac} = 315 \text{ V} \rightarrow V_{OutL} \simeq -43 \text{ V}$

$$\begin{aligned} \text{se } V_{ac} = 0 \text{ V} &\longrightarrow V_{OutL} \simeq -200 \text{ V} \\ \text{se } V_{ac} = -315 \text{ V} &\longrightarrow V_{OutL} \simeq -356 \text{ V} \end{aligned}$$

Nella pratica, essendo le impedenze $Z1$ e $Z2$ di tipo reattivo, si ha che il potenziale $V_{OutL} - V_{neutral}$ oscilla attorno ai valori precedentemente definiti con una frequenza di circa 630 kHz ed essendo la costante di tempo dello smorzamento di tali oscillazioni superiore al periodo del segnale di comando al gate dei MOS $T_s = 10 \mu s$ queste non riescono mai ad estinguersi presentando una ampiezza notevole. In figura 6.6 è raffigurato il circuito equivalente che permette di calcolare la tensione del riferimento dell'uscita rispetto al neutro.

Per avere un diretta misura del grado di asimmetria tra i fronti dei nodi che commutano (i Drain dei due MOS) si fa riferimento alla corrente $I_{as} = I_{C_{d1}} + I_{C_{d2}} + I_{C_{b1}} + I_{C_{b2}}$. Nella figura 6.7 sono riportati le forme d'onda della corrente di asimmetria, definita in 4, per i diversi valori della tensione di ingresso.

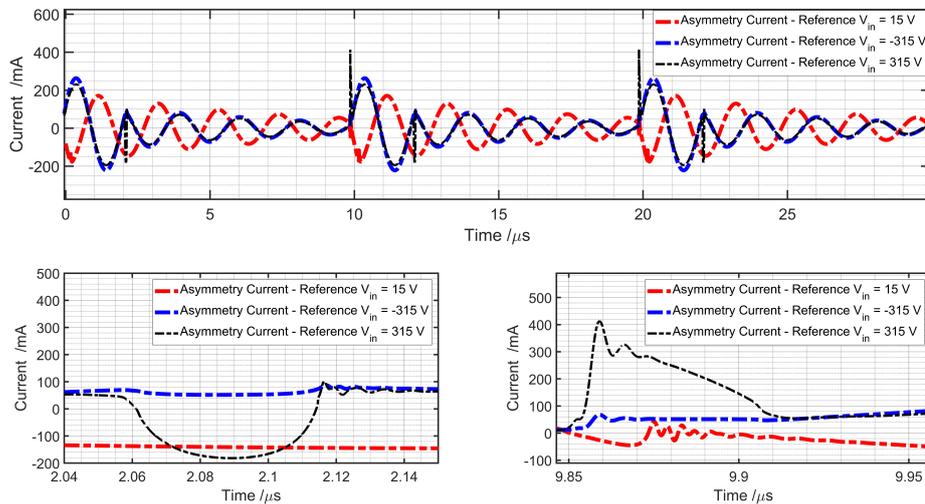


Figura 6.7. Corrente di modo comune del PFC Monofase "Reference"

Si può notare :

1. come in corrispondenza dei fronti di salita e discesa del segnale di comando la corrente presenti dei picchi. Per il fronte di salita si nota come la corrente sia negativa (uscente) mentre per quello di discesa sia positiva (entrante).
2. Le forme d'onda della corrente risultano uguali sia che si consideri il picco positivo che quello negativo della tensione di ingresso.
3. La corrente può essere pensata come la somma di una sinusoide con ampiezza $A_s = 200 \text{ mA}$ e frequenza $f = 580 \text{ kHz}$ e dei picchi che hanno ampiezza $A_p \simeq 420 \text{ mA}$

Le osservazioni fatte sono interpretabili andando a valutare l'origine di tali picchi. In particolare, supponendo di trovarci in una condizione per la quale entrambi i MOS sono accesi allora la I_{as} è causata dalla caduta sui due MOS $V_{ds2(1)}$ e dalla presenza delle oscillazioni viste su V_{OutL} . In questa fase, a meno delle oscillazioni, $V_{C_{d1}} \simeq V_{C_{d2}} \simeq V_{OutL}$. Nel momento in cui il MOS Q2(1) si spegne allora $V_{C_{d2}(d1)} \simeq V_{OutH}$ mentre la tensione ai capi dell'altro condensatore rimane invariata $V_{C_{d1}(d2)} \simeq V_{OutL}$. Quindi C_{d2} deve caricarsi ad un potenziale pari a quello di uscita rispetto a V_{OutL} e viene attraversato da una corrente entrante mentre C_{d1} viene attraversato da una corrente trascurabile. Se il comando risale al livello alto C_{d2} deve portarsi a $V_{C_{d2}(d1)} \simeq V_{OutL}$ e quindi sarà attraversato da una corrente uscente.

Per la semi onda negativa il discorso è ancora valido avendo l'accortezza di sostituire i ruoli di C_{d1} e C_{d2} . Quindi, se i MOS sono entrambi accesi $V_{C_{d1}} \simeq V_{C_{d2}} \simeq V_{OutL}$, se successivamente Q1 si apre allora C_{d1} deve essere attraversato da un corrente entrante affinché si carichi fino a V_{OutH} mentre C_{d2} non viene interessato da alcuna corrente. Durante la successiva accensione di Q1 il C_{d2} deve scaricarsi e quindi risulta in una corrente uscente. Nel caso di prossimità di attraversamento dello zero della tensione di ingresso il picco di corrente positivo risulta di minore ampiezza ma di maggiore larghezza. E' possibile ottenere una stima della corrente I_{as} considerando l'espressione della corrente che fluisce in un condensatore:

$$i_C = \frac{\partial v_C}{\partial t} \simeq C_d \cdot \frac{\Delta V_{cd1}}{\Delta t} = C_d \cdot \frac{V_{Out}}{t_{(rise)}} \simeq 40 \text{ pF} \frac{400 \text{ V}}{36 \text{ ns}} = 432 \text{ mA}$$

Infine sono presentati gli spettri delle emissioni di modo comune e differenziale misurati dalle LISN. Si nota come sia le emissioni di modo comune sia quelle differenziale siano caratterizzate da dei picchi, ai multipli delle frequenza di commutazione, che sono fuori dallo standard.

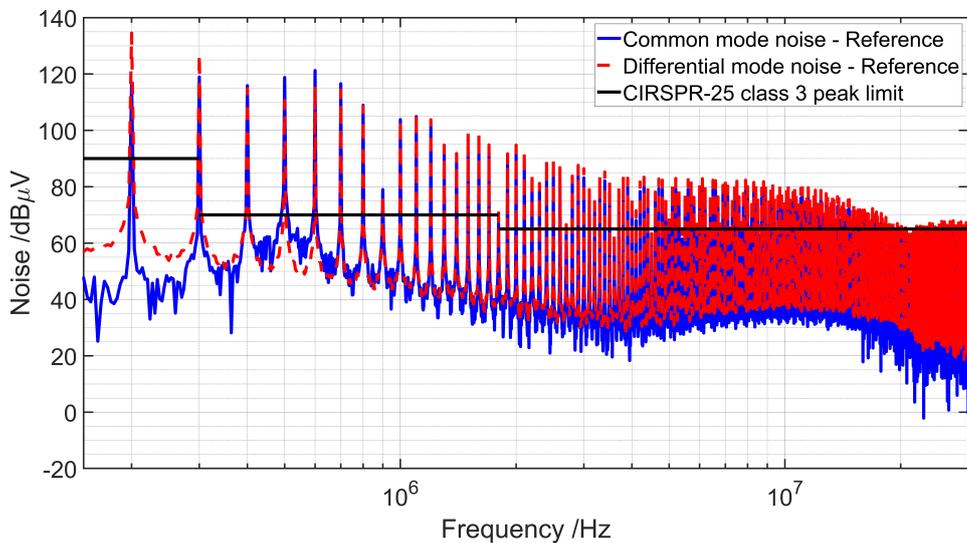


Figura 6.8. Spettri delle emissioni di modo comune e differenziale nel PFC Reference

6.2 PFC Symmetric

Adesso si analizza il comportamento del circuito PFC Symmetric, introdotto nella sezione 4.1.2 , questo si pone come una evoluzione del precedente circuito che si propone di ridurre l'entità dei picchi, precedentemente analizzati, sulla forma d'onda della corrente di asimmetria definita in 4, la cui espressione vale $I_{as} = I_{C_{d1}} + I_{C_{d2}} + I_{C_{b1}} + I_{C_{b2}}$. Le cause di tale corrente sono analizzate nella sezione 6.2.1. Si fa riferimento ad il circuito in figura 6.9

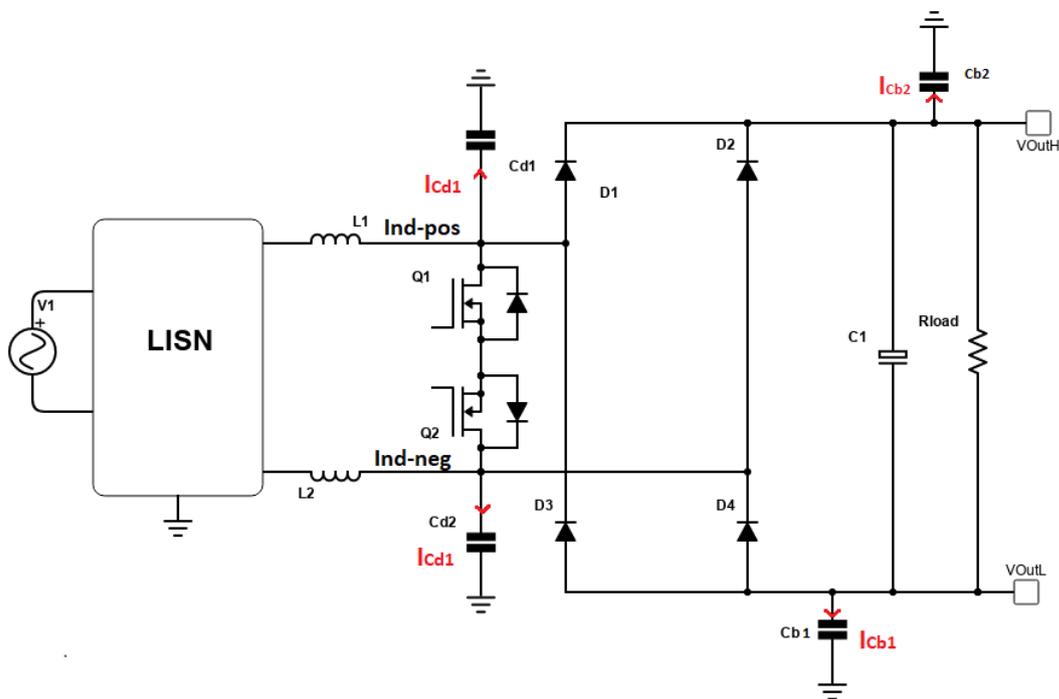


Figura 6.9. Schema del PFC Monofase "Symmetric"

Il PFC symmetric cerca di ridurre le emissioni elettromagnetiche del circuito attraverso l'ottenimento della simmetria del circuito, ovvero si fa in modo che le correnti che scorrono nei parassiti dovute ai grandi $\frac{\partial V}{\partial t}$ dei nodi che commutano si cancellino tra loro, così da ottenere dei fronti di commutazione dei nodi "ind-pos" ed "ind-neg" che saranno complementari.

Come già fatto per il PFC Reference adesso sono riportati i risultati delle simulazioni condotte, rispettivamente nelle figure 6.10 6.11, 6.12.

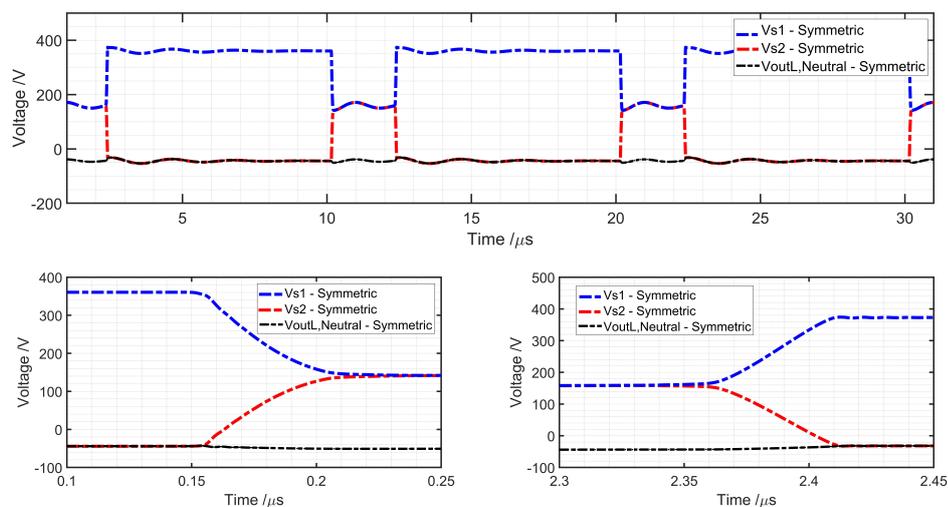


Figura 6.10. Forme d'onda delle tensioni ai nodi che commutano nel PFC Monofase "Symmetric" con tensione in ingresso al picco positivo $V_{in} = 315 V$

In figura 6.10 sono mostrate le forme d'onda delle tensioni dei nodi che commutano per il PFC Symmetric. In questo caso, contrariamente a quanto visto per il PFC Reference, i nodi che commutano hanno delle tensioni simmetriche. Se un nodo ha un $\frac{\partial V}{\partial t}$ positivo allora l'altro nodo ne avrà uno negativo. In questo modo le correnti parassite generate dai nodi si bilanciano e si ottiene una notevole diminuzione della corrente totale di modo comune.

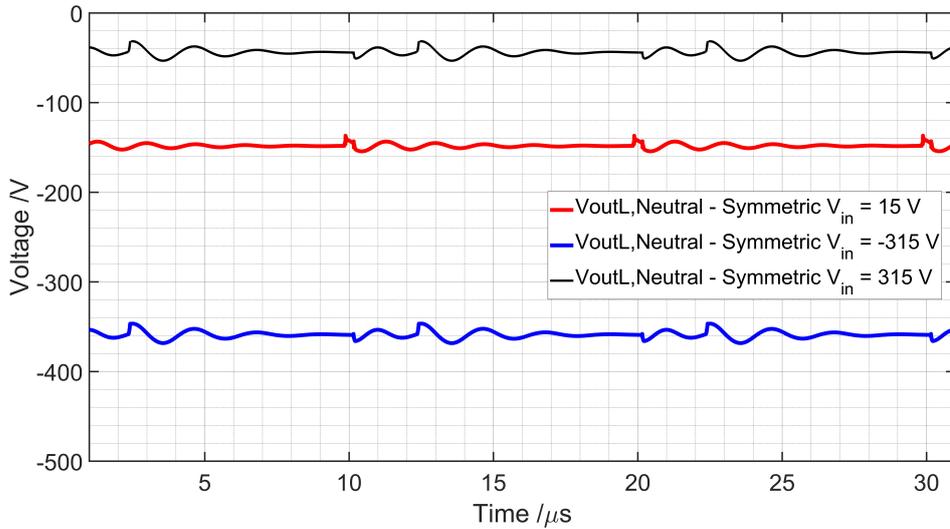


Figura 6.11. $V_{OutL} - V_{neutral}$ nel PFC Monofase "Symmetric"

In figura 6.11 sono mostrati gli andamenti della tensione $V_{OutL} - V_{neutral}$ nei tre casi di funzionamento analizzati. Si può notare che

- Le tensioni presentano un andamento quasi costante nell'intervallo considerato, se rapportate a quanto visto per il PFC Reference.
- Le oscillazioni hanno un ampiezza di 30 V picco-picco e frequenza $f = 580 \text{ kHz}$.
- Il valore medio di $V_{OutL} - V_{neutral}$ dipende dal valore della tensione di ingresso:
 - Per $V_{ac} = 315 \text{ V} \rightarrow \langle V_{OutL} - V_{neutral} \rangle \simeq -43 \text{ V}$
 - Per $V_{ac} = 15 \text{ V} \rightarrow \langle V_{OutL} - V_{neutral} \rangle \simeq -193 \text{ V}$
 - Per $V_{ac} = -315 \text{ V} \rightarrow \langle V_{OutL} - V_{neutral} \rangle \simeq -358 \text{ V}$

In particolare, supponendo di operare nella semi onda positiva della tensione di ingresso, se il comando ai transistori è alto allora tutti i diodi D1, D2, D3 e D4 non sono attraversati da alcuna corrente, quindi il valore medio $\langle V_{OutL} - V_{neutral} \rangle$ viene definito dai parassiti, mentre se si è in fase di scarica degli induttori $\langle V_{OutL} - V_{neutral} \rangle \simeq V_{L2} \text{ V}$. Se si opera per la semi onda negativa ed i comandi sono bassi $\langle V_{OutL} - V_{neutral} \rangle$ è analogo al caso della semi onda positiva mentre se si è in fase di scarica degli induttori si ha $\langle V_{OutL} - V_{neutral} \rangle \simeq V_{L1}$.

Il modello per poter calcolare l'andamento di V_{OutL} è il medesimo utilizzato per il Reference PFC e riportato in figura 6.6. Per cui, quando i due MOS sono accesi si ha:

$$V_{OutL} = \frac{V_{ac} - (V_{OutH} - V_{OutL})}{2}$$

Applicando quest'ultima formula si trovano i valori prima visti in simulazione. Quando il comando passa al livello basso, non essendoci alcun vincolo riguardo il valore di V_{OutL} essa rimane pressoché costante ai valori calcolati quando i MOS sono accesi.

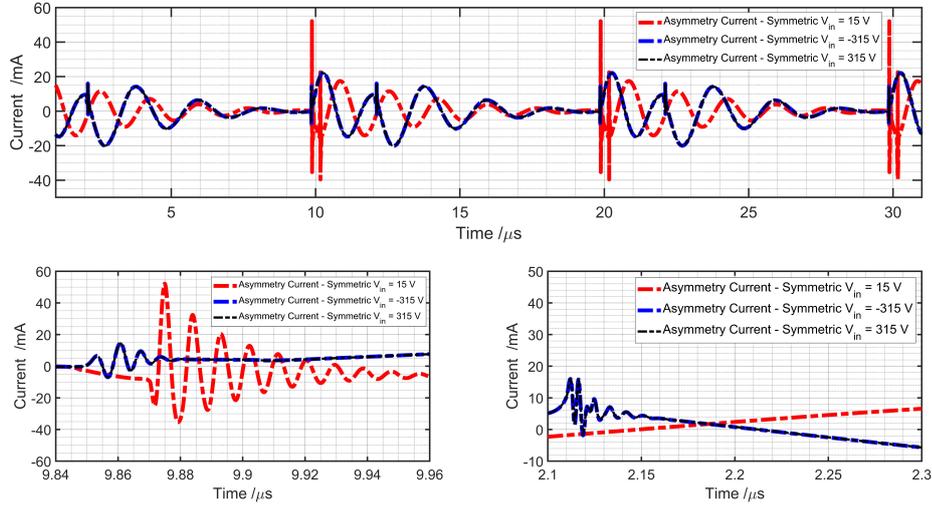


Figura 6.12. Corrente I_{as} del PFC Monofase "Symmetric"

In figura 6.12 sono mostrati gli andamenti della corrente I_{as} , definita in 4, la cui espressione vale $I_{as} = I_{C_{d1}} + I_{C_{d2}} + I_{C_{b1}} + I_{C_{b2}}$, considerando come valori di tensione in ingresso quelli definiti in 6. Si nota che:

1. La corrente I_{as} presenta dei picchi in corrispondenza dei fronti di salita e discesa del comando dei MOS.
2. L'ampiezza massima del picco risulta inferiore a 60 mA . Un valore decisamente più piccolo rispetto a quello ottenuto per il PFC Reference mostrando come la simmetria del circuito impatti positivamente sulle prestazioni del circuito. Le cause dell'asimmetria sono discusse successivamente nella sezione 6.2.1

Questi risultati possono essere giustificati analizzando lo schema riportato in figura 6.9. Supponendo di operare durante la semi onda positiva e che il comando ai MOS sia alto allora la tensione ai capi dei due condensatori parassiti C_{d1} e C_{d2} sono uguali (a meno della caduta sui transistor) quindi la corrente I_{as} è nulla ed $V_{Cd} \simeq V_{Cd2} \simeq \frac{V_{ac}}{2}$. Nel momento in cui il comando scende al livello basso i transistori si comportano come circuito aperto iniziando la fase di scarica degli induttori. La tensione $V_{Cd1} \simeq V_{Out} + V_{OutL}$

mentre $V_{Cd2} \simeq V_{OutL}$. Si può concludere che:

$$\begin{aligned}\Delta V_{Cd1} &\simeq \left(\frac{V_{ac}}{2} - (V_{OutH} - V_{neutral}) \right) = \frac{V_{ac} - V_{out}}{2} + V_{out} = \frac{V_{out}}{2} = +200 \text{ V} \\ \Delta V_{Cd2} &\simeq \left(\frac{V_{ac}}{2} - (V_{OutL} - V_{neutral}) \right) = \frac{V_{ac} - V_{out}}{2} - \frac{V_{ac}}{2} = -\frac{V_{out}}{2} = -200 \text{ V} \quad (6.1)\end{aligned}$$

NB: se la tensione di ingresso è nella semi-onda positiva.

Dalle precedenti espressioni è possibile affermare che *durante la commutazione i due condensatori parassiti sono soggetti a ΔV uguali in modulo ma con verso opposto*; questo risultato permette di avere una *cancellazione* delle correnti che scorrono nei parassiti grazie alla simmetria introdotta nel circuito. Se si valuta la corrente di asimmetria si ottiene:

$$I_{as} = C_{d1} \cdot \frac{\partial V_{cd1}}{\partial t} + C_{d2} \cdot \frac{\partial V_{cd2}}{\partial t} \simeq C_{d1} \cdot \frac{\Delta V_{cd1}}{\Delta t} + C_{d2} \cdot \frac{\Delta V_{cd2}}{\Delta t} \simeq 0 *$$

* se $C_{d1} = C_{d2}$; $\frac{\partial V_{cd1}}{\partial t} = \frac{\partial V_{cd2}}{\partial t}$

Continuando il ciclo di funzionamento quando il comando ai transistori ritorna al livello alto questi si accendono e si ha

$$\begin{aligned}\Delta V_{Cd1} &\simeq \left(\frac{V_{ac}}{2} - (V_{OutH} - V_{neutral}) \right) = \frac{315 \text{ V}}{2} - 200 \text{ V} = -200 \text{ V} * \text{ se } V_{ac} = 315 \text{ V} \\ \Delta V_{Cd2} &\simeq \left(\frac{V_{ac}}{2} - (V_{OutL} - V_{neutral}) \right) = \frac{315 \text{ V}}{2} + 43 \text{ V} = +200 \text{ V} * \text{ se } V_{ac} = -315 \text{ V} \quad (6.2)\end{aligned}$$

Per cui si ha nuovamente la cancellazione della corrente nei parassiti.

Di particolare interesse è la stima delle emissioni condotte prodotte dal circuito e misurate delle LISN, per il PFC Symmetric esse sono presentate nella seguente figura [6.13](#).

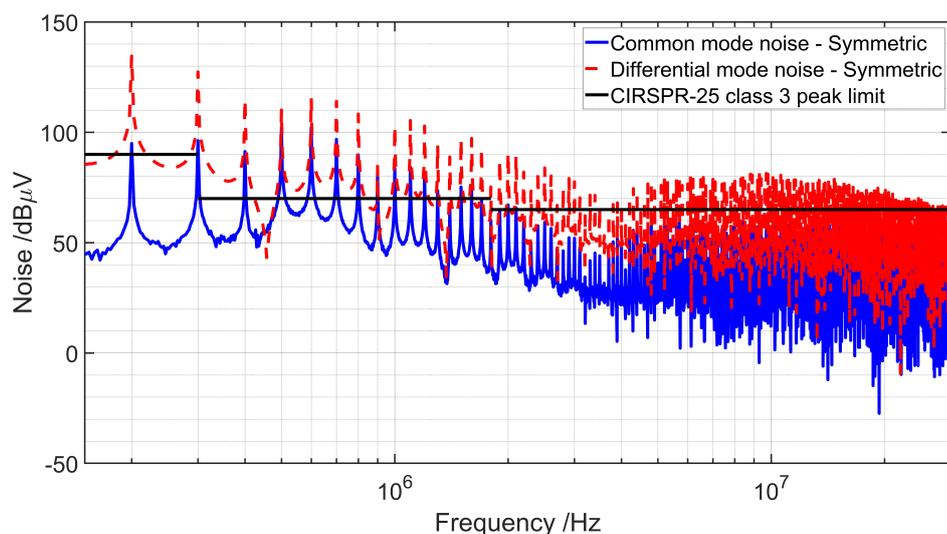


Figura 6.13. Spettri delle emissioni di modo comune e differenziale nel PFC Symmetric usando i modelli dei componenti

E' possibile notare come anche in questo caso sia le emissioni di modo differenziale che quelle di modo comune siano fuori dal limite previsto dalla CISPR25, comunque le emissioni di modo comune risultano decisamente più piccole rispetto a quelle di modo differenziale. Tale differenza assume il valore massimo a 200 kHz dove il modo differenziale è circa 35 dB più grande di quello di modo comune.

6.2.1 Analisi delle cause della corrente di asimmetria

Dalla precedente figura 6.12, 6.10 e dalla 6.13 è possibile notare come in effetti il circuito non sia perfettamente simmetrico dato che la tensione del nodo di source dei due MOS segue quella del drain del MOS inferiore e non stia ad una tensione media tra i due drain dei MOS, inoltre la corrente di asimmetria è non nulla e lo spettro è caratterizzato da picchi per frequenze multiple a quelle di commutazione. Questo può essere giustificato analizzando lo schema semplificato del PFC symmetric riportato in figura 6.14, questo è valido solamente per la semi onda positiva della tensione di ingresso, sono stati infatti eliminati i diodi che non conducevano ed anche la LISN, non fondamentale per comprendere il funzionamento del circuito.

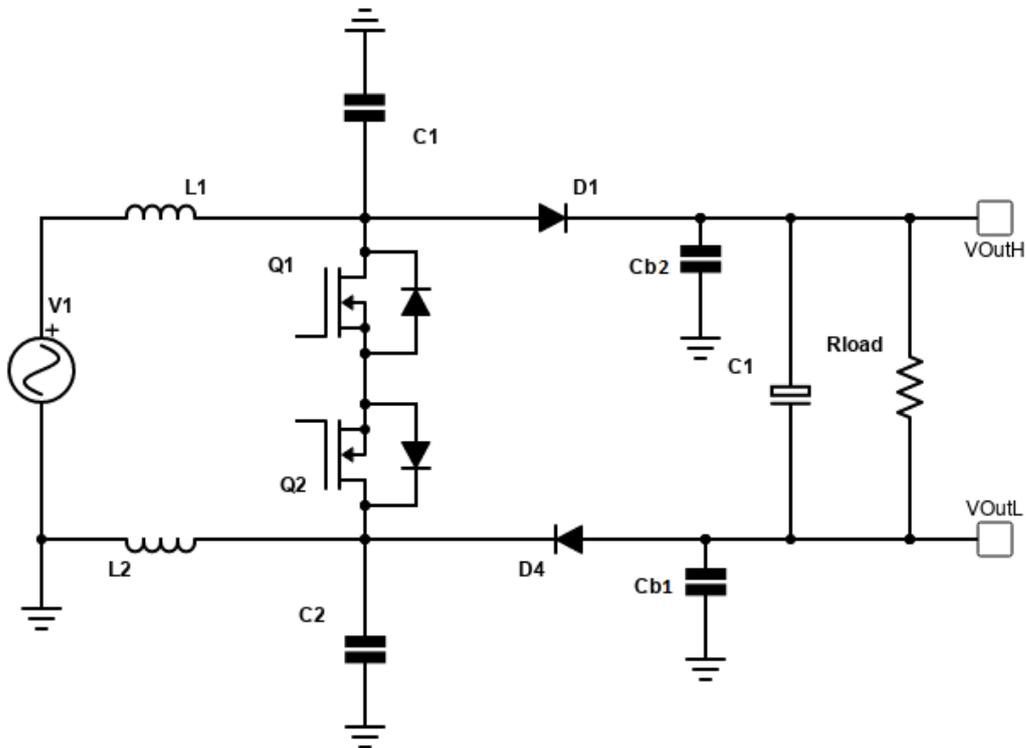


Figura 6.14. Schema semplificato per la semi onda positiva della tensione di ingresso del PFC Monofase "Symmetric"

Quando il comando dei MOS è alto allora entrambi conducono e quindi, come già analizzato, il potenziale dei due drain è uguale a quello dei source che è circa pari a $V_{source} \simeq \frac{V_{ac}}{2}$. Il MOS M1 è in conduzione diretta, mentre quello inferiore in conduzione inversa. Nel momento in cui il comando diventa basso allora i due MOS si spengono e i potenziali di drain salgono/scendono di $\frac{V_{out}}{2}$. Il potenziale di source però è *vincolato* a quello di drain del MOS inferiore a causa del body diode che entra in conduzione. Questa asimmetria nel comportamento del circuito si riflette anche dal lato di pilotaggio dei transistori, nella figura seguente sono riportate le tensioni V_{gs} dei due MOS.

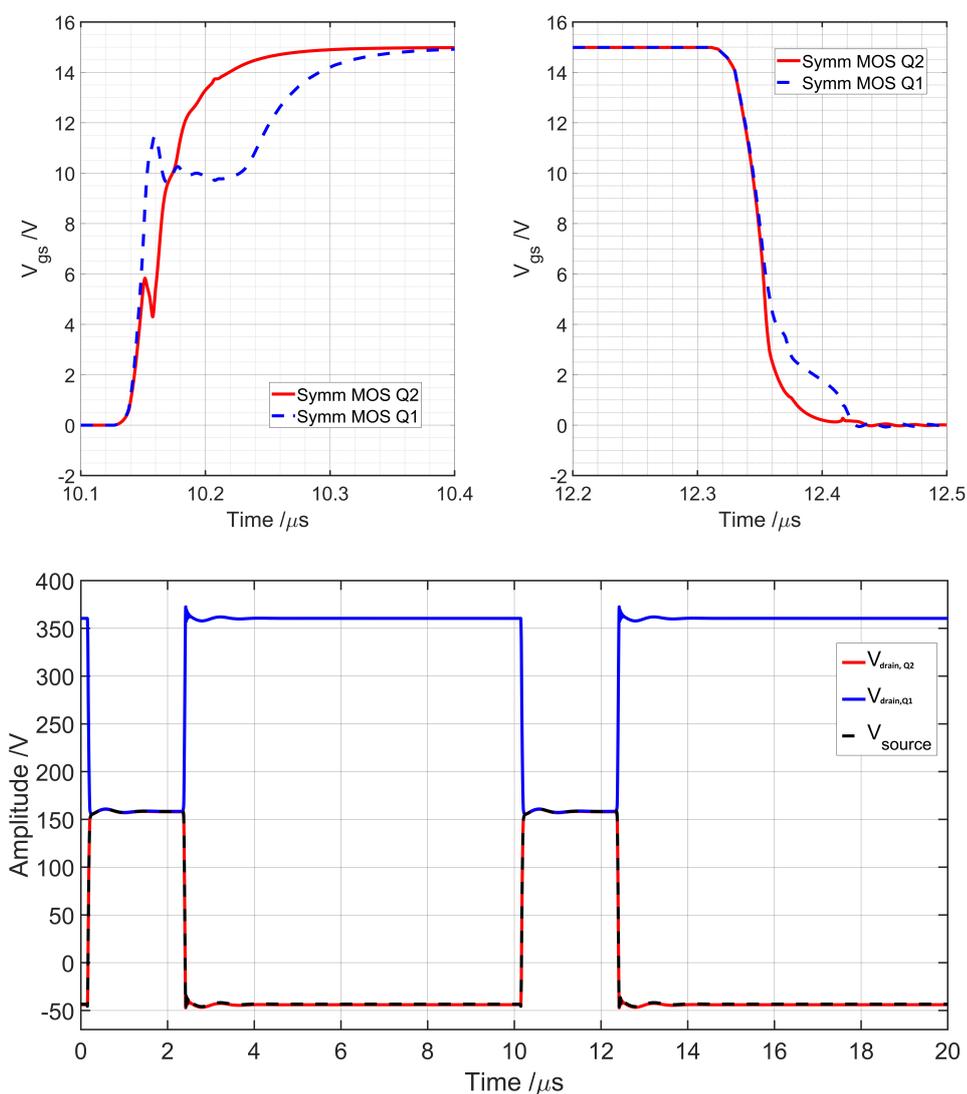


Figura 6.15. Tensioni V_{gs} di comando ai capi dei MOS Q1 e Q2 (in alto), Tensioni ai drain dei MOS (in basso)

Dalla figura 6.15 è possibile notare come la tensione V_{gs}^{Q1} sia caratterizzata durante il fronte di salita da un plateau, da ricondursi all'effetto Miller. Invece V_{gs}^{Q2} ha un andamento esponenziale non caratterizzato dall'effetto Miller sebbene sia presente un piccolo picco causato dalla risonanza tra gli elementi reattivi presenti nella maglia di gate. Adesso si cerca di identificare quali componenti del circuito simulato contribuiscano in maniera più decisa alla corrente di asimmetria (I_{as}), nella tabella seguente sono presentati alcuni risultati ottenuti a partire dal circuito simulato andando a semplificarlo in diverse configurazioni. Lo schema completo del PFC Symmetric è riproposto nella seguente figura così

da rendere più agevole la comprensione delle topologie semplificate adottate. Per tutte le configurazioni non si considera la capacità parassita tra il source dei MOS ed il riferimento perché questa è già una fonte di asimmetria nota. Le più notevoli di queste configurazioni sono state riassunte nella tabella 6.1.

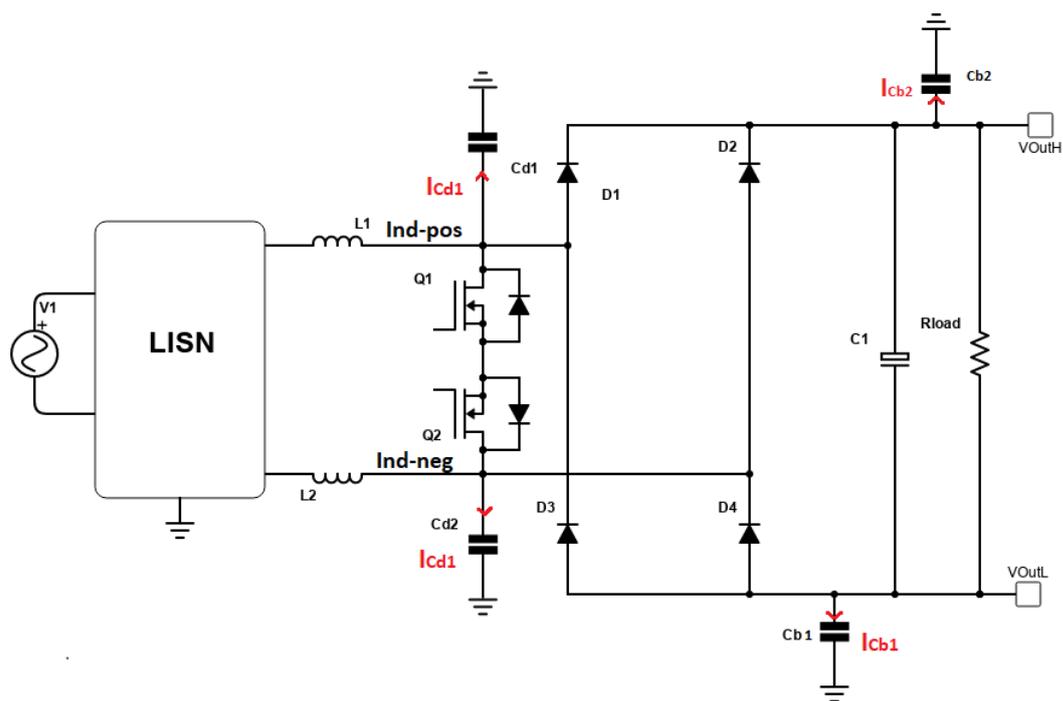


Figura 6.16. Schema del PFC Monofase "Symmetric"

Nome	Semplificazione adottata	Corrente
A	Completa	23.1 mA
B	Senza una delle due capacità Cb	40.7 mA
C	Con induttore ideale	24 mA
D	Entrambe le capacità Cb rimosse	22.95 mA
*E	GD ideale, senza una delle due capacità Cb, MOS ideale	166 mA
F	GD ideale, senza una delle due capacità Cb	15.8 mA
G	MOS ideale	12.95 mA
H	GD e MOS ideali	11 μA
I	GD ideale	9 μA
L	GD ideale, senza entrambe Cb, MOS ideale	100 nA
M	GD ideale, senza entrambe Cb	15 nA
N	Induttore e MOS ideali	12.8 mA

Tabella 6.1. Lista delle semplificazioni adottate per identificare la fonte di maggiore asimmetria nel circuito

NB:La configurazione E è evidenziata in rosso in quanto il valore di picco varia fortemente in funzione della velocità con cui l'interruttore ideale passa dallo stato a bassa resistenza a quello ad alta, per cui risulta poco affidabile ed inoltre, come analizzato nel seguito, in questa configurazione la causa del asimmetria è ancora presente.

A partire dai valori disponibili nella tabella si è graficato il valore della corrente di asimmetria dei fronti in funzione della configurazione di semplificazione adottata.

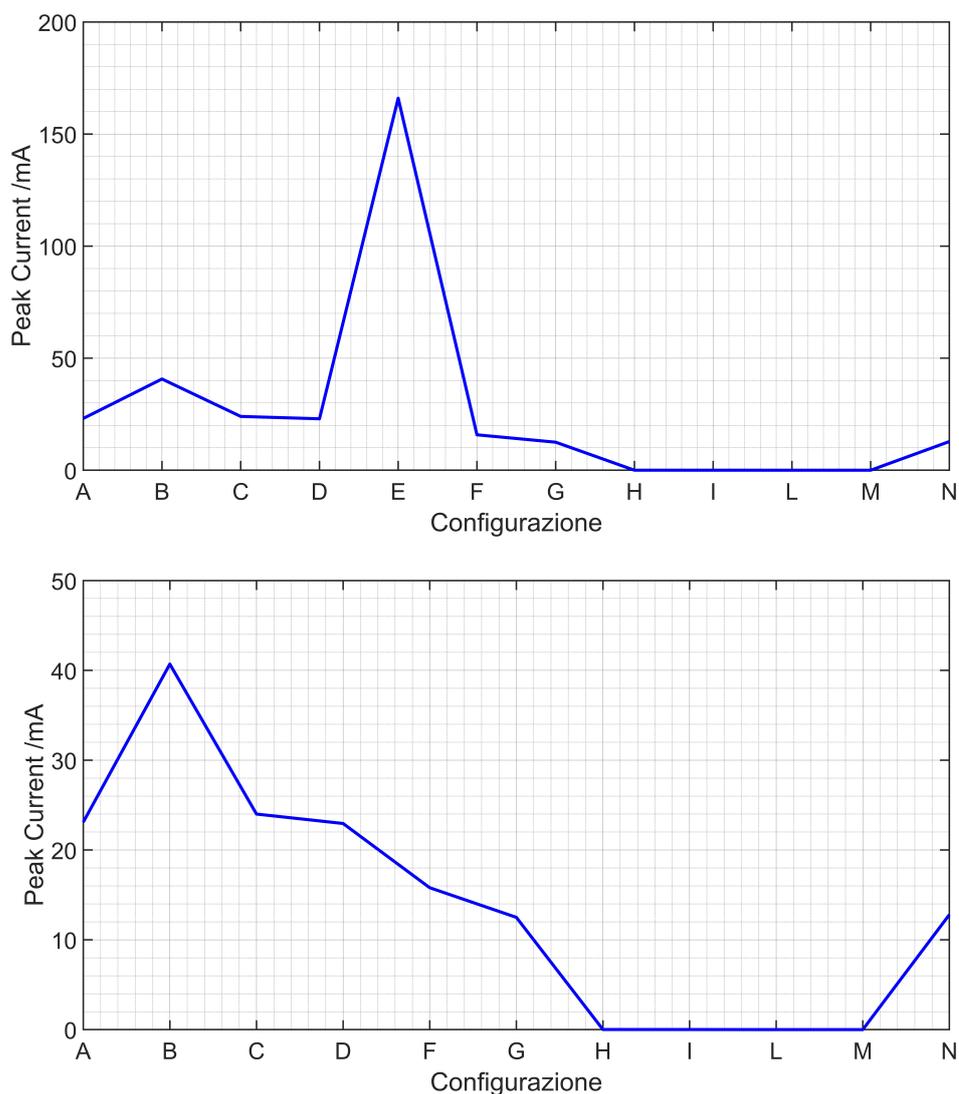


Figura 6.17. Valore di picco di I_{as} in funzione della configurazione usata

Dai risultati presentati è possibile concludere che le principali cause dell'asimmetria dei fronti commutanti risiede nel Gate Driver (GD) e, in maniera più lieve, sullo sbilanciamento delle capacità parassite C_b .

Sono state condotte alcune analisi con l'obiettivo di identificare quale aspetto del gate driver vada ad influenzare in maniera così marcata il funzionamento del circuito. Per prima cosa sono state verificate le forme d'onda V_{gs} in uscita al gate driver nel caso ideale (gate driver come generatore di tensione ideale) ed in quello reale. I risultati sono riportati nella seguenti figure [6.18](#) [6.19](#)

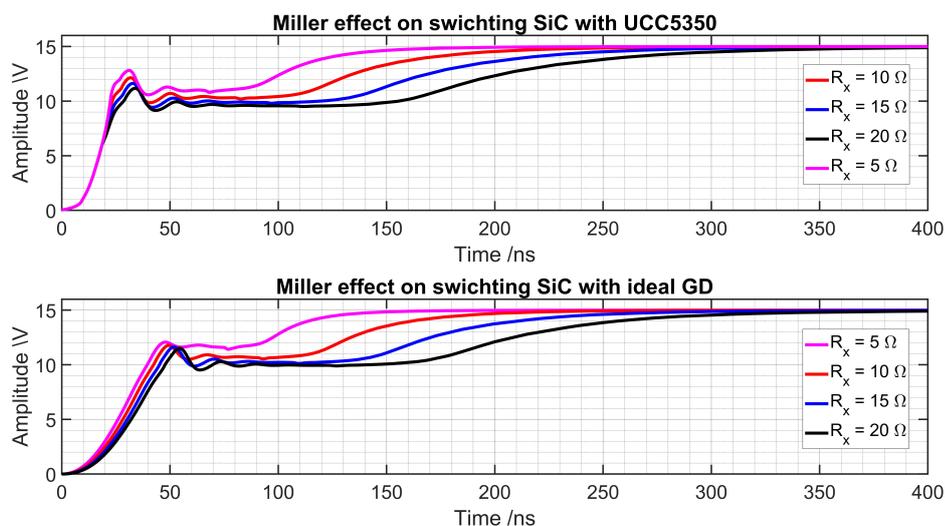


Figura 6.18. Valore di picco di I_{as} in funzione della configurazione usata

Le figure mostrano le tensioni di comando del MOS Q1, è stato riportato solamente l'andamento della stessa durante il tempo di salita. Nella figura 6.18 sono riportate le forme d'onda della tensione di comando con il gate driver reale e ideale, rispettivamente nella parte superiore ed inferiore dell'immagine. In entrambi i casi si è fatta variare la resistenza di uscita del gate driver per evidenziare come il plateau di Miller aumenti di durata all'aumentare della resistenza. Non è apprezzabile alcuna rilevante differenza tra il caso reale ed ideale tranne che per la prima parte del fronte di salita, infatti, il gate driver sembra ottenere una più ripida salita rispetto al caso ideale con resistenza serie.

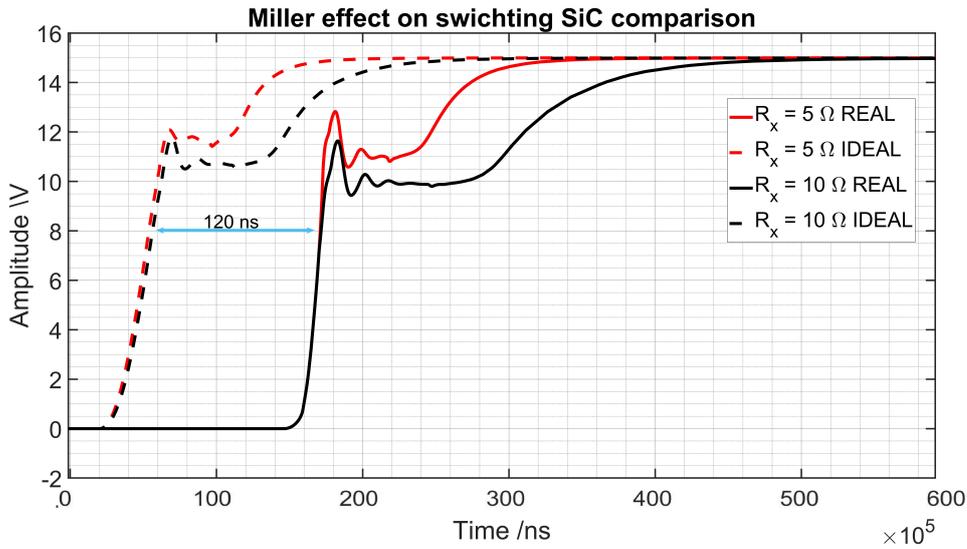


Figura 6.19. Valore di picco di I_{as} in funzione della configurazione usata

Nella figura 6.19 è presente un confronto tra il caso con gate driver ideale e reale usando due diversi valori per la resistenza di uscita. Si noti come tra le due vi sia un certo ritardo, infatti, nel modello del gate driver ideale è stato considerato il ritardo di trasmissione delle informazioni dalla sezione di ingresso a quella di uscita. Per il resto non è evidente una differenza tra le prestazioni nel caso considerato.

Il motivo della asimmetria, una volta escluse le prestazioni di uscita del gate driver, è stato ricondotto all'accoppiamento capacitivo tra l'ingresso e l'uscita del componente. Il gate driver considerato, un UCC5350SBD della Texas Instruments, mostra una capacità input-output, pari a 1.2 pF. Questa è stata considerata nel modello utilizzato come evidenziato dalla seguente figura 6.20 la quale si riferisce al circuito *equivalente* del PFC symmetric se si considera una tensione di ingresso positiva.

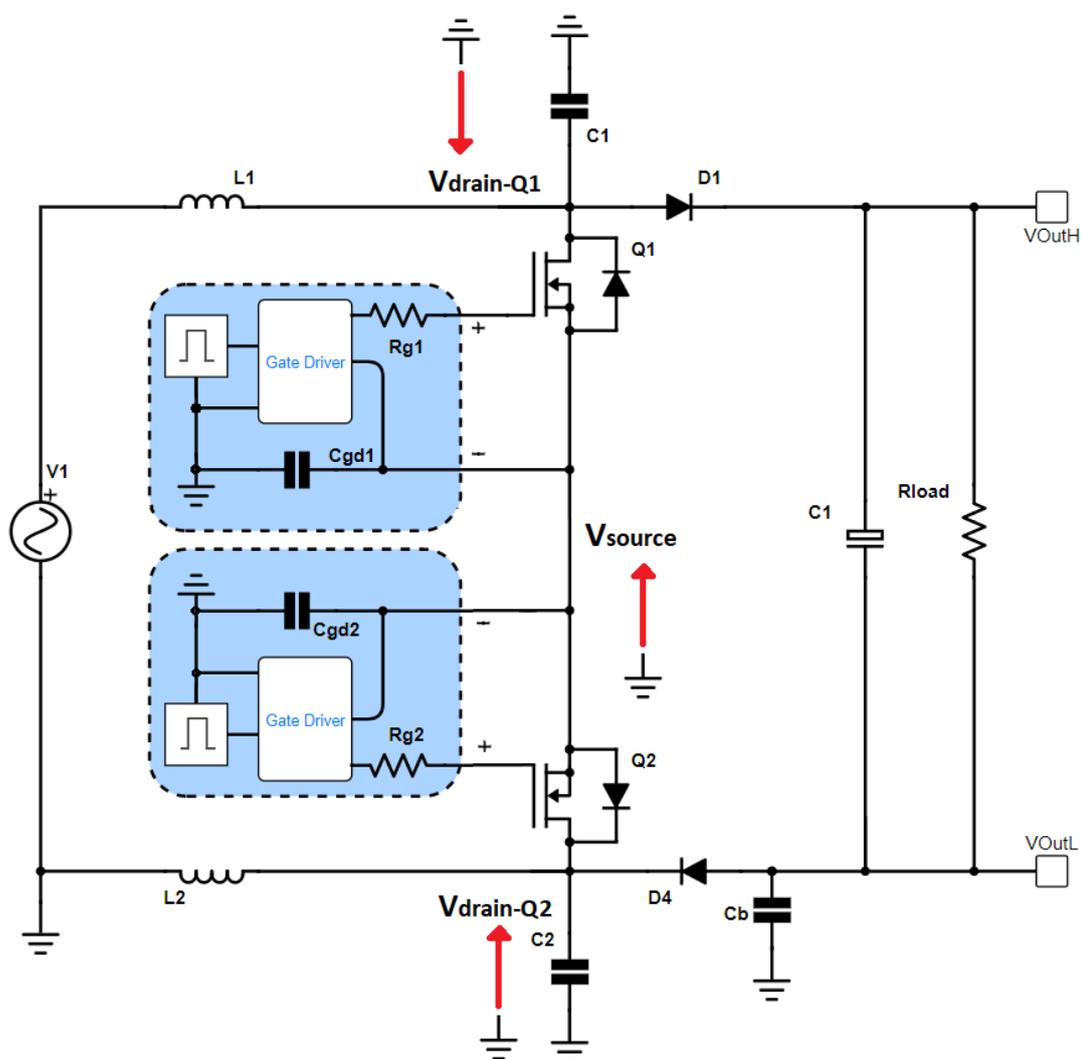


Figura 6.20. Schema semplificato del PFC symmetric evidenziando la presenza dei gate drivers dei MOSFET di potenza

Dalla figura 6.20 è possibile notare la presenza delle capacità C_{gd1} e C_{gd2} queste sono in realtà poste in parallelo e contribuiscono alla corrente I_{as} dato che entrambe hanno un capo sul nodo di source dei due MOS. Come spiegato precedentemente questo nodo segue il nodo $V_{drain-Q2}$ quindi ci sarà uno sbilanciamento tra le capacità $C1$ $C2$ parassite che insistono sui drain dei MOS dato che si ha:

1. NODO drain Q1: capacità complessiva C_{p1}
2. NODO drain Q2: capacità complessiva $C_{p2} + C_{gd1} + C_{gd2}$

6.3 PFC Improved symmetric

Come analizzato nella sezione precedente il PFC symmetric, a causa delle caratteristiche del circuito e del gate driver che comanda i MOS, non risulta perfettamente simmetrico. Per migliorare la simmetria del circuito allora si realizzano alcune modifiche alla topologia del circuito che portano alla realizzazione del PFC Improved symmetric presentato in figura 6.21

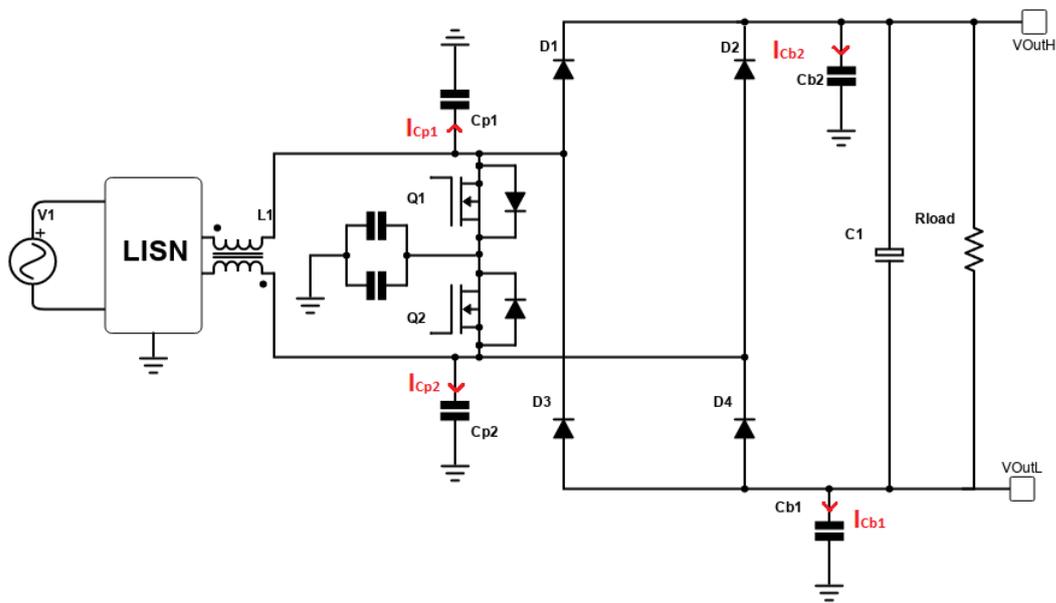


Figura 6.21. Schema del PFC Monofase "Improved Symmetric"

In questo circuito i due MOS sono connessi con i Drain in comune ed i due induttori sono accoppiati. Per il resto il circuito risulta simile al precedente senza nessuna altra modifica. Come nei casi precedenti è stata condotta una analisi sulla tensione $V_{OutL} - V_{neutral}$ e sulla corrente che scorre attraverso i condensatori C_{x1}, C_{x2} .

In figura 6.22 e 6.24 sono presentati i risultati delle simulazioni condotte.

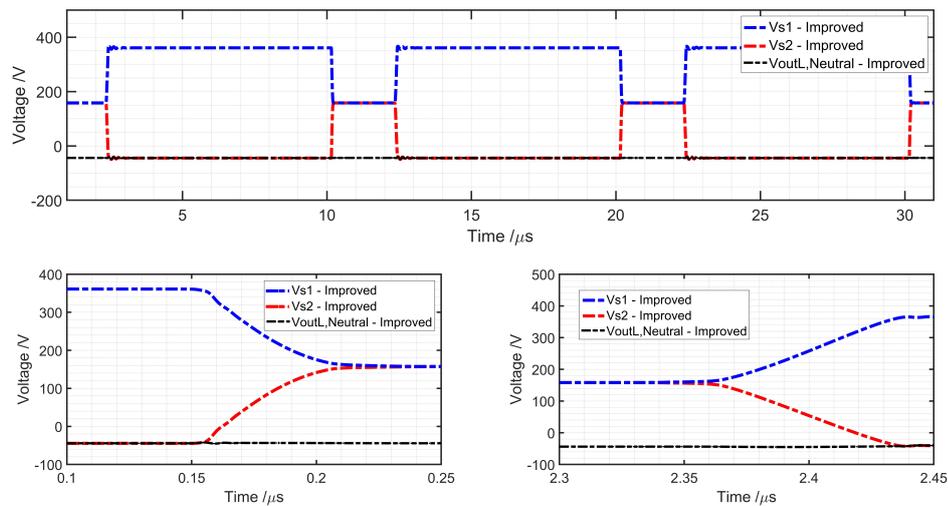


Figura 6.22. $V_{OutL} - V_{neutral}$ nel PFC Monofase "Improved Symmetric"

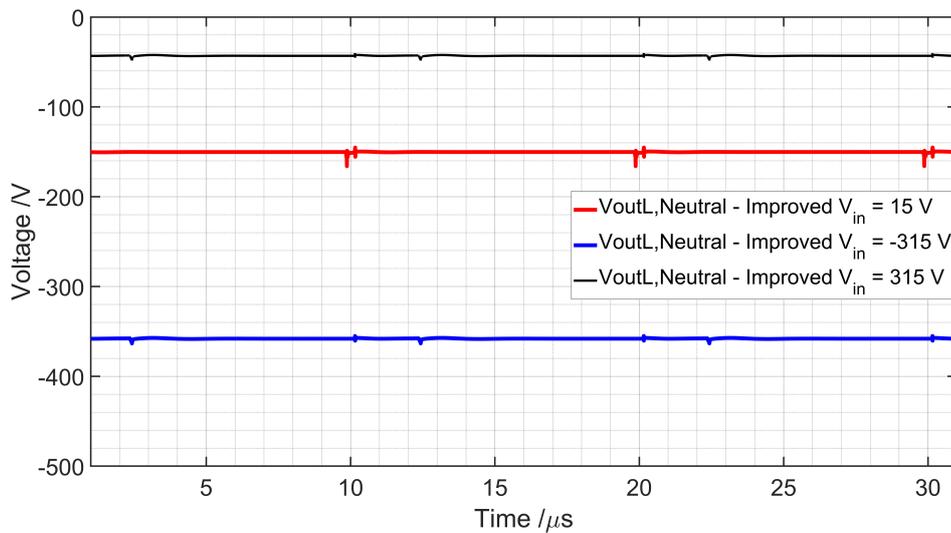


Figura 6.23. $V_{OutL} - V_{neutral}$ nel PFC Monofase "Improved Symmetric"

Dai risultati in figura 6.22 si può notare come i risultati siano simili a quelli trovati per il PFC *Symmetric*, ovvero che la tensione $V_{OutL} - V_{neutral}$ possa essere calcolata usando il modello 6.6 e che i picchi presenti in corrispondenza dei fronti di salita e discesa del comando siano di ampiezza quasi trascurabile se confrontati a quelli del PFC Reference.

Considerazioni analoghe a quelle sviluppate per il PFC symmetric possono essere fatte circa il valore medio $V_{OutL} - V_{neutral}$ nei tre casi analizzati.

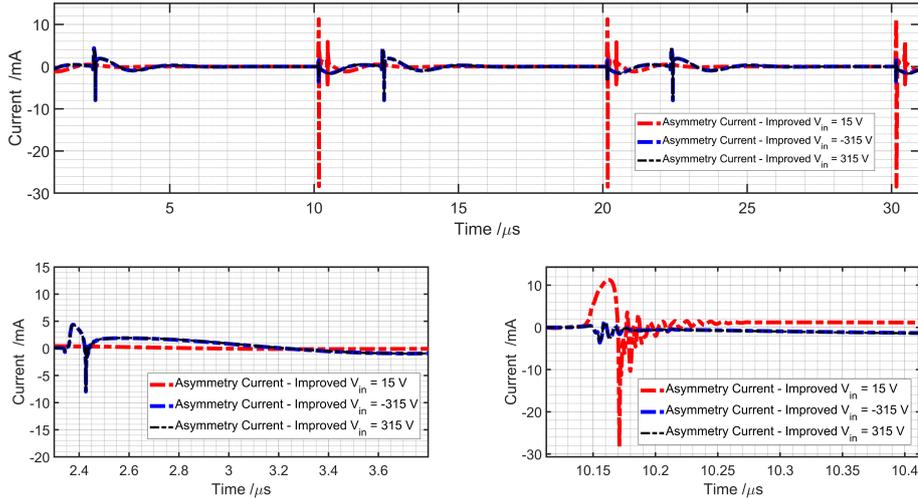


Figura 6.24. I_{as} nel PFC Monofase "Improved Symmetric"

In figura 6.24 è mostrata la somma delle correnti che scorrono attraverso i condensatori parassiti presenti sui nodi che commutano. Questa presenta dei picchi negli istanti di tempo di commutazione del segnale di comando ai MOS, anche in questo caso valgono considerazioni analoghe a quanto fatto per il PFC symmetric. Bisogna però notare che il picco della somma delle correnti in questo caso risulta di circa un ordine di grandezza inferiore rispetto al caso del PFC symmetric a riprova che la simmetria del circuito presentato sia migliore rispetto al precedente.

Anche in questo caso, come già visto per il Symmetric, sono presenti dei contributi di asimmetria nel circuito. Il più semplice da notare è evidente dalla seguente figura dove sono riportate le tensioni dei sources dei due MOS e dei drain rispetto al riferimento.

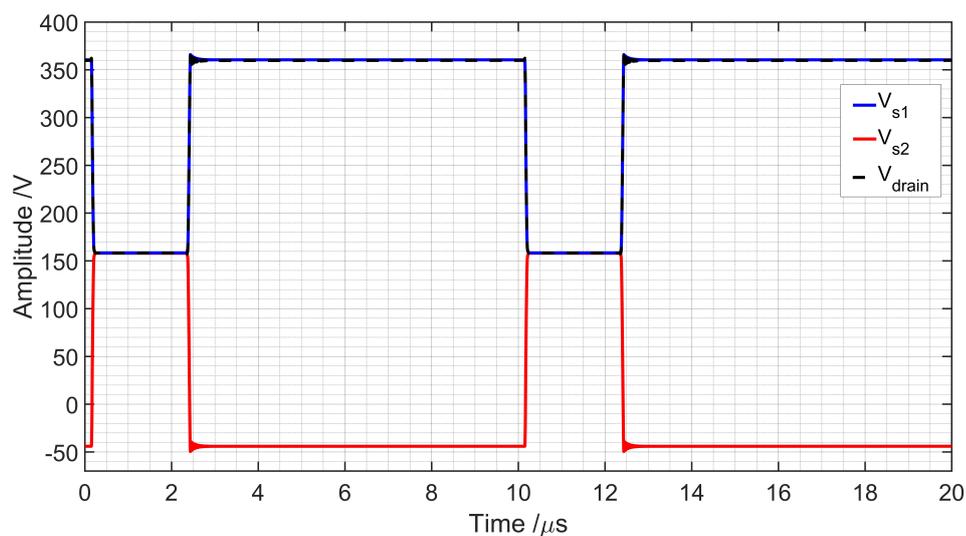


Figura 6.25. $V_{s1(2)}$ nel PFC Monofase "Improved Symmetric"

Si noti come le tensioni dei due source siano simmetriche, mentre la tensione al drain dei MOS sia uguale alla tensione del source del MOS superiore. Questo può essere giustificato analizzando il modello semplificato, valido solo per tensioni positive di ingresso, del PFC Improved symmetric.

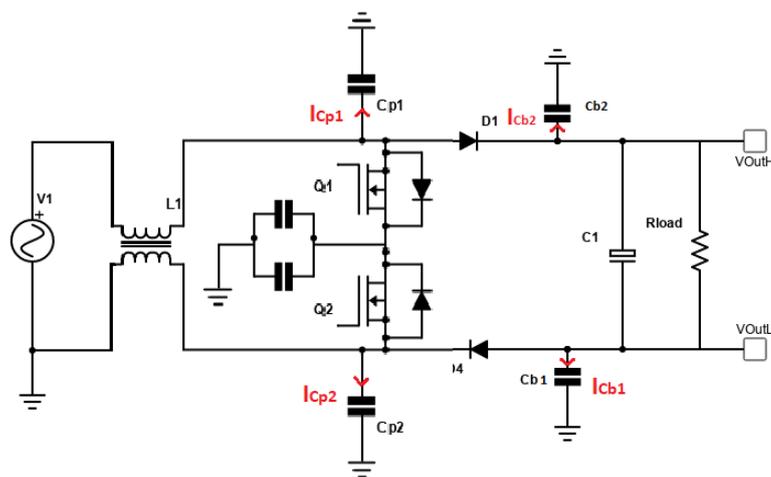


Figura 6.26. Schema semplificato del PFC Monofase "Improved Symmetric"

In questo caso se il comando ai MOS passa dal valore basso a quello alto i MOS che erano

spenti si accendono vincolando la tensione ai loro source e drains ad essere uguale a circa la metà della tensione di ingresso. Successivamente quando questi sono spenti il potenziale al source del MOS Q1 sale mentre quella al MOS Q2 scende. Allora il body diode del MOS Q1 si accende vincolando il potenziale al drain ad essere uguale a quello del source di Q1. Quindi durante le commutazioni le C_{gs} dei due MOS sono soggette a diverse ΔV essendo

$$\Delta V_{Q1} = 0 \text{ V}$$

$$\Delta V_{Q2} = V_{out} \text{ V}$$

Questa asimmetria si ripercuote anche sulle tensioni di comando V_{gs} come visibile nella figura sottostante.

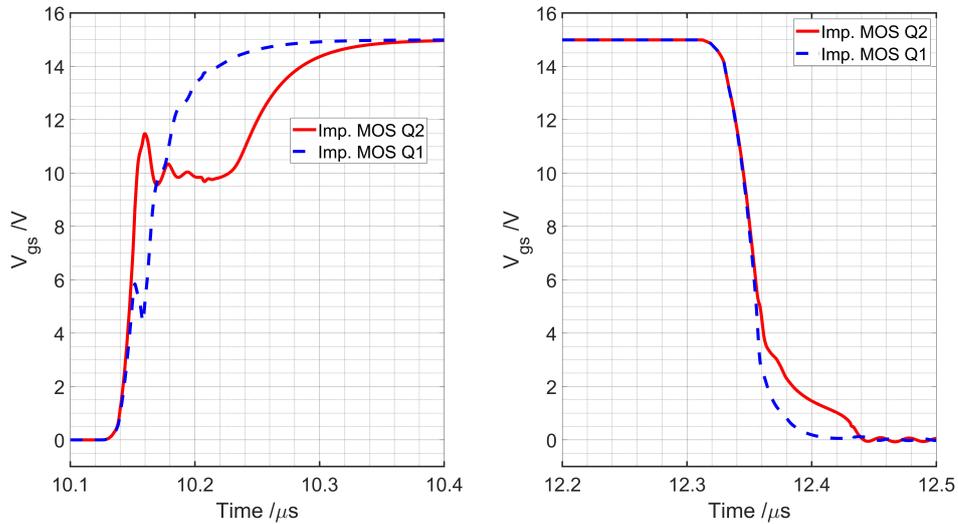


Figura 6.27. V_{gs} nel PFC Monofase "Improved Symmetric"

Dualmente al PFC symmetric si nota come in questo caso sia affetto da effetto Miller il MOS Q2 ovvero quello inferiore. Infatti esso è il MOS che è sottoposto al $V_{Q2} = V_{out}$.

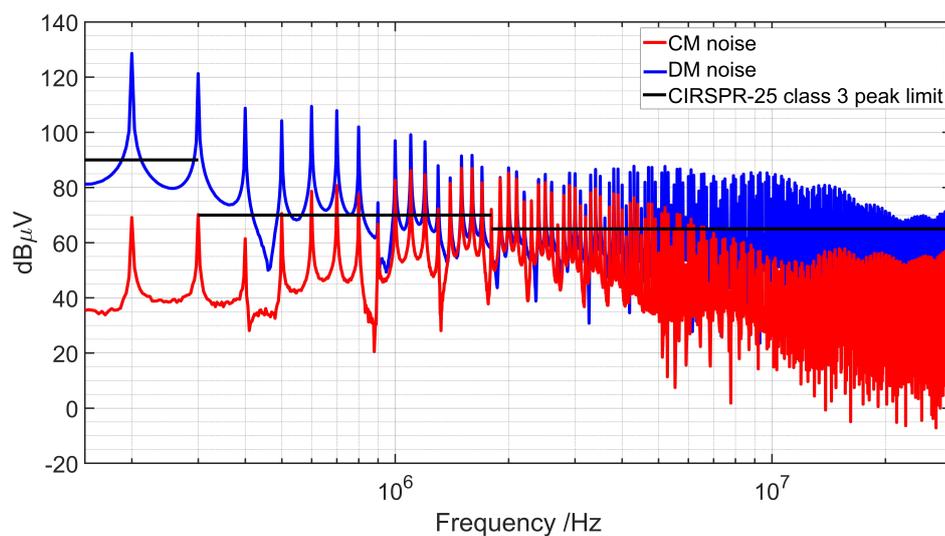


Figura 6.28. Spettri delle emissioni di modo comune e differenziale nel PFC Improved Symmetric usando il modello dei componenti ricavato nel capitolo 5

Come fatto per gli altri PFC in figura 6.28 è raffigurato lo spettro delle emissioni di modo comune e differenziale misurati dalle LISN. In questo caso i picchi sono decisamente inferiori rispetto a quello del PFC Reference (40 dB di differenza) ed il secondo picco dello spettro delle emissioni di modo comune è presente a 1.5 MHz.

Infine del PFC Improved Symmetric sono state condotte due simulazioni considerando anche il controllo. In particolare si analizza il circuito a regime per valutare l'efficienza e fattore di potenza che il circuito riesce a raggiungere. Sono state fatte due simulazioni variando il carico, una prima con $P_{out} = 500\text{ W}$ ed una seconda con $P_{out} = 40\text{ W}$, così da analizzare le performance del circuito sia a pieno carico che con carichi leggeri. I risultati sono mostrati nelle seguenti figure:

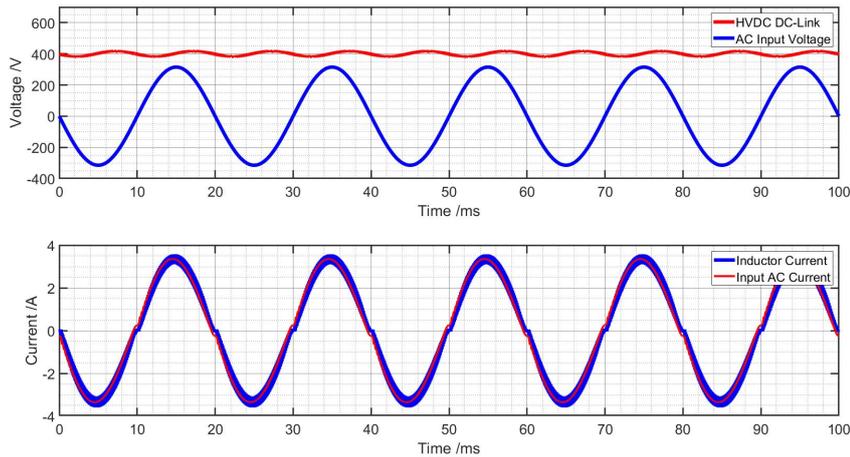


Figura 6.29. Forme d'onda del PFC Improved Symmetric con $P_{out} = 500\text{ W}$

Il circuito ha un'efficienza del 97.3 % ed un fattore di potenza del 99.2 % con $P_{out} = 500\text{ W}$.

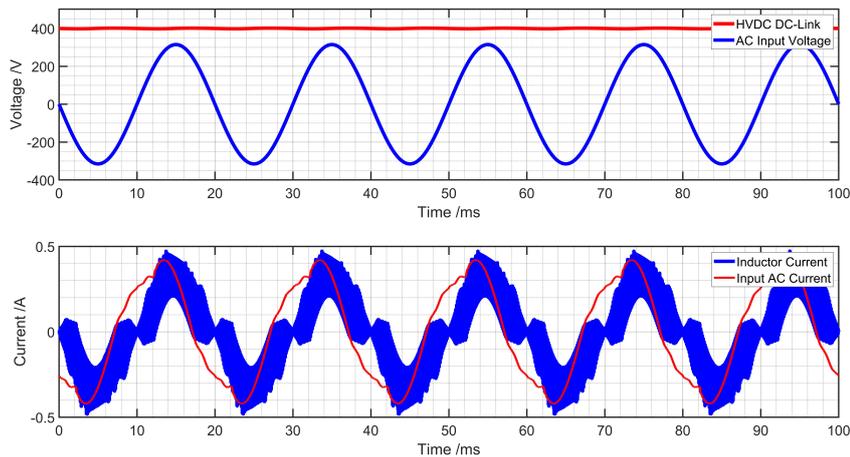


Figura 6.30. Forme d'onda del PFC Improved Symmetric con $P_{out} = 500\text{ W}$

Se la potenza in uscita diminuisce a $P_{out} = 40 W$ si ha una riduzione dell'efficienza al 90.5 % e del fattore di potenza al 70.5 %. Si noti come la forma d'onda della corrente in ingresso in questo caso sembri avere una differenza di fase consistente rispetto alla tensione di ingresso, questo è causato dal filtro EMI che assorbe a 50 Hz una corrente circa pari a $I_{C_x} \simeq \frac{V_{ac}}{j \cdot 2\pi f C_x} = \frac{220 V}{3.2j k\Omega} = -69j mA$

6.4 Confronto tra le topologie

In questa sezione si confrontano le prestazioni dei tre circuiti analizzati nelle tre condizioni di funzionamento esaminate. Inizialmente viene posta l'attenzione sullo studio di $V_{OutL} - V_{neutral}$ successivamente ci si focalizza sulla corrente di asimmetria (I_{as}).

Nella figura 6.31 sono presentate le $V_{OutL} - V_{neutral}$ e dei nodi che commutano a confronto considerando $V_{ac} = 315 V$.

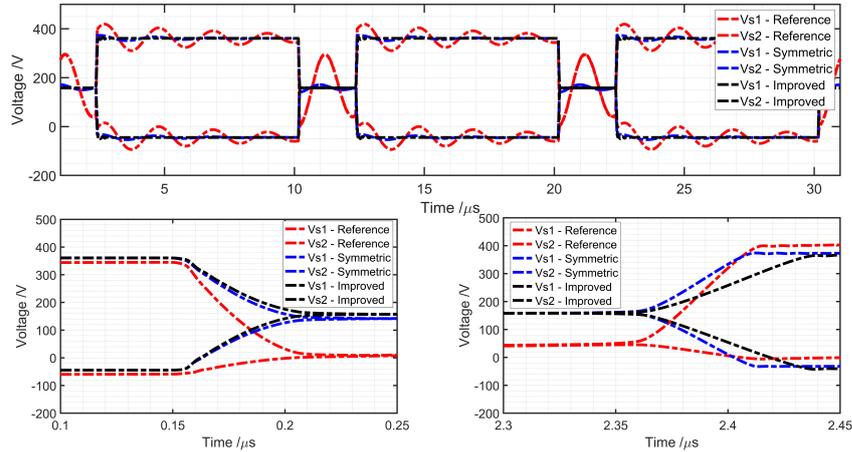


Figura 6.31. Confronto della tensione $V_{OutL} - V_{neutral}$ fra i PFCs quando la tensione di ingresso è al picco ($V_{ac} = 315 V$)

E' possibile notare come i due PFC Symmetric ed Improved Symmetric siano caratterizzati da tensioni praticamente non oscillanti se rapportate a quelle del Reference. Le forme d'onda tra i PFC Symmetric ed Improved Symmetric sono molto simili e differiscono soprattutto per la rapidità della variazione dei fronti di salita, più ripidi per il Symmetric. L'origine di tale differenza risiede nei valori nominali di induttore usati nei due PFC. Nel symmetric il valore scelto è pari a $358 \mu H$ per ciascun induttore, mentre per il Improved Symmetric il part number di CM Choke scelto è caratterizzato da una induttanza di modo comune $L_1 + L_2 = 800 \mu H$.

Nelle figure sono mostrati i risultati delle correnti a confronto.

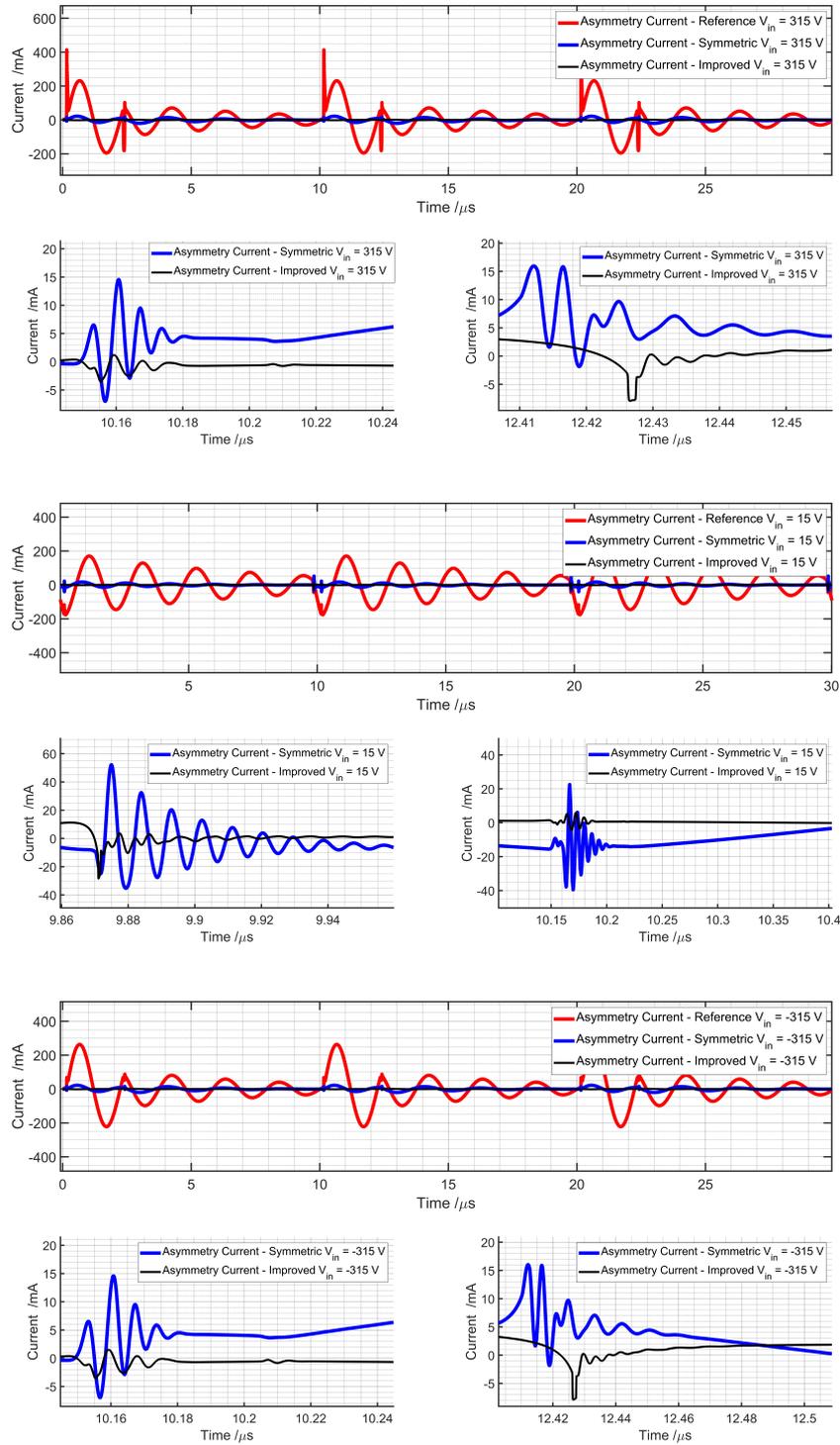


Figura 6.32. Confronto della corrente I_{as} fra i PFCs al variare di V_{ac}

Dalle precedenti figure è possibile apprezzare le prestazioni delle due soluzioni simmetriche rispetto alla topologia standard. I picchi sulla corrente di asimmetria che caratterizzano le forme d'onda di quest'ultima topologia sono decisamente più alti di quelle dei PFC simmetrici. Per tale motivo nella parte inferiore di ogni figura sono mostrati degli zoom sui picchi considerando le sole topologie simmetriche così da poter meglio evidenziare le differenze tra le due. La topologia Improved Symmetric è sempre caratterizzata da picchi di corrente di asimmetria (I_{as}) inferiori rispetto a quelli del Symmetric. Per entrambi i PFC le forme d'onda sono uguali se ci si trova al picco positivo o negativo della tensione di ingresso. Mentre se ci si trova in prossimità dell'attraversamento dello zero della tensione di ingresso la corrente di asimmetria è caratterizzata da picchi di entità superiore rispetto ai due casi precedenti.

Infine sono presentati gli spettri delle emissioni di modo comune e differenziale dei diversi PFC a confronto. In questo modo è possibile valutare il reale impatto delle topologie nelle prestazioni del circuito. Infatti avere un circuito caratterizzato da minori emissioni elettromagnetiche condotte rappresenta un vantaggio dal punto di vista della progettazione del filtro EMI dato che sono richieste delle attenuazioni inferiori che si riflettono su una inferiore dimensione fisica del sistema. Con tali soluzioni è quindi possibile ottenere dei circuiti con maggiore densità di potenza rispetto a quelli convenzionali.

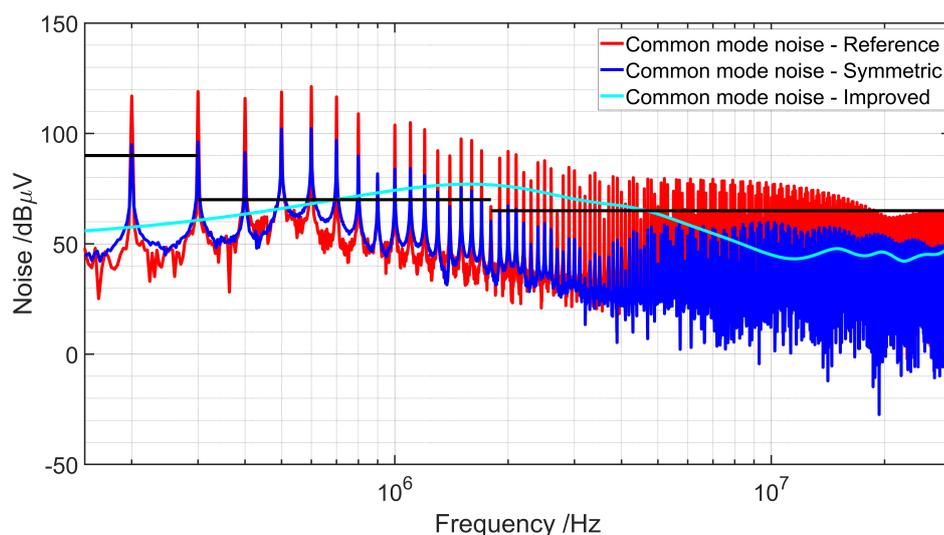


Figura 6.33. Confronto dello spettro delle emissioni di modo comune fra i PFCs per $V_{ac} = +315 V$

Dalla figura 6.33 si nota come lo spettro del PFC Improved Symmetric ottenga una attenuazione inferiore di circa 55 dB rispetto al PFC Reference e 30 dB rispetto al Symmetric. Ciò mostra come la simmetria migliorata del PFC Improved Symmetric permetta di diminuire fortemente le emissioni di modo comune emesse dal circuito.

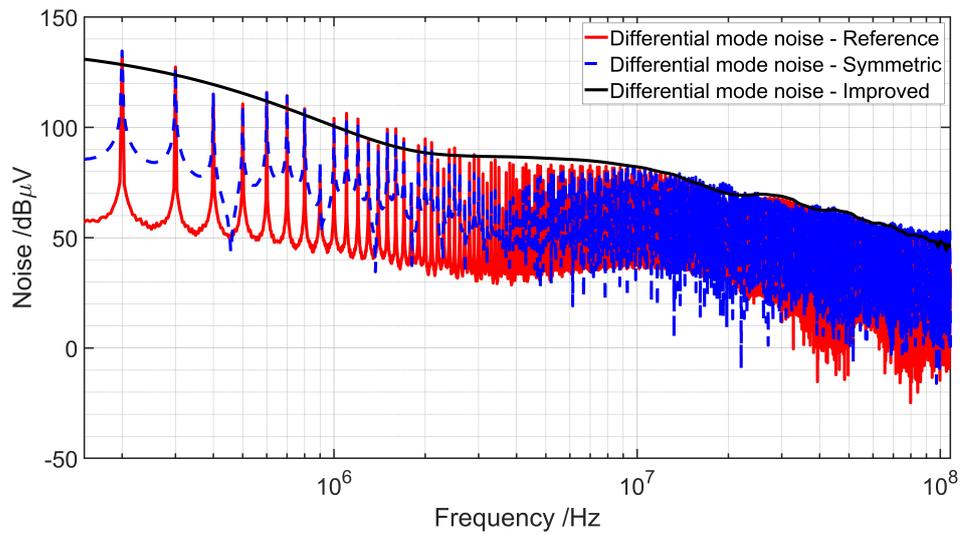


Figura 6.34. Confronto dello spettro delle emissioni di modo differenziale fra i PFCs per $V_{ac} = +315 V$

Il confronto tra le emissioni di modo differenziale generate, rappresentate in figura 6.34, mostra come tutti i PFC dal punto di vista delle emissioni di modo differenziale siano più o meno equivalenti.

6.5 Studio dell'impatto delle tolleranze di fabbricazione

Dopo aver analizzato il comportamento dei circuiti utilizzando i valori nominali dei componenti in questa sezione si analizza come la corrente di asimmetria (I_{as}), definita nella sezione 4, sia influenzata dal mismatch degli induttori, in particolare, si considera:

- Range di variabilità di L_{nom} pari al $\pm 20\%$ $\rightarrow L \in [0.8 \cdot L_{nom}, 1.2 \cdot L_{nom}] = [295, 442] \mu H$
- Range di variabilità di C_{IW} pari al $\pm 20\%$ $\rightarrow C_{IW} \in [0.8 \cdot C_{IW}, 1.2 \cdot C_{IW}] = [4.08, 6.12] pF$
- $C_{p1} = C_{p2} = 35.8 pF$ non variabili.

Con C_{IW} capacità parallela equivalente dell'induttore e $C_{p1,2}$ capacità parassita tra i terminali dell'induttore ed il riferimento.

6.5.1 Studio dell'impatto delle tolleranze di fabbricazione - PFC Reference

In questa sezione si analizza l'impatto del mismatch degli induttori nel PFC Reference. Nella seguente tabella sono riportati i risultati ottenuti

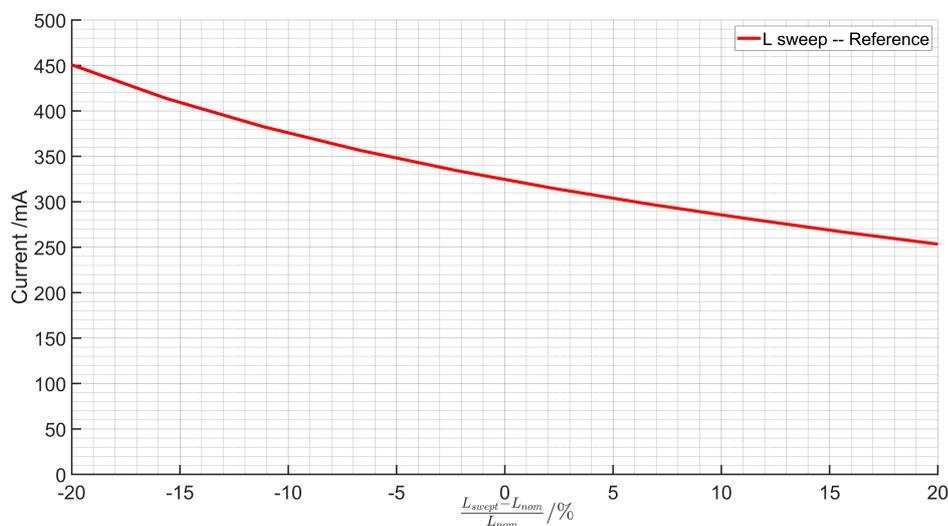


Figura 6.35. Valore picco-picco della corrente di asimmetria I_{as} in funzione del mismatch tra gli induttori nel pFC Reference

Si noti come il picco di I_{as} non venga minimizzata quando il PFC presenta un mismatch nullo tra gli induttori. Questo comportamento può essere compreso analizzando il funzionamento del PFC in esame:

- Per il ciclo positivo della tensione di ingresso, il MOS che commuta è Q2 di figura 6.1, mentre il MOS Q1 non commuta ma per l’intero ciclo risulta acceso . Quindi il circuito non gode affatto di una simmetria per cui esso mostra un valore molto alto di I_{as} , se rapportato a quello degli altri PFCs, che viene minimizzato solamente se la somma dei valori degli induttori è massimizzata.
- Analogamente per la semi onda negativa della tensione di ingresso Q1 commuta mentre Q2 rimane acceso per l’intera durata del semi periodo

In figura 6.36 sono presentati i risultati delle simulazioni che mostrano come il valore picco-picco della corrente I_{as} dipenda dal mismatch tra le *EPC* dei due induttori in maniera marginale. Si può notare come il valore massimo di corrente non cambi significativamente in funzione del mismatch tra questi due componenti parassiti.

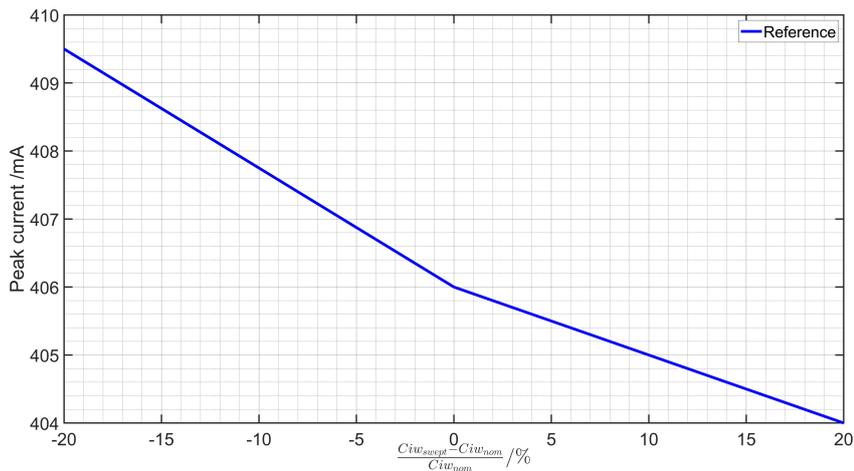


Figura 6.36. Valore picco-picco della corrente di asimmetria I_{as} in funzione del mismatch tra le capacità parassite equivalenti degli induttori nel PFC Reference

Ciò può essere giustificato se si considera che l’*SRF* dell’induttore simulato era pari a 10 MHz e quindi per frequenze inferiori a questo valore la capacità *EPC* non giochi un ruolo importante nella determinazione della corrente, infatti lo spettro di I_{as} , presentato nella seguente figura mostra come a 10 MHz il contenuto spettrale è di molto attenuato, circa 40 dB, rispetto al picco di 95 dB μ A a 500 kHz.

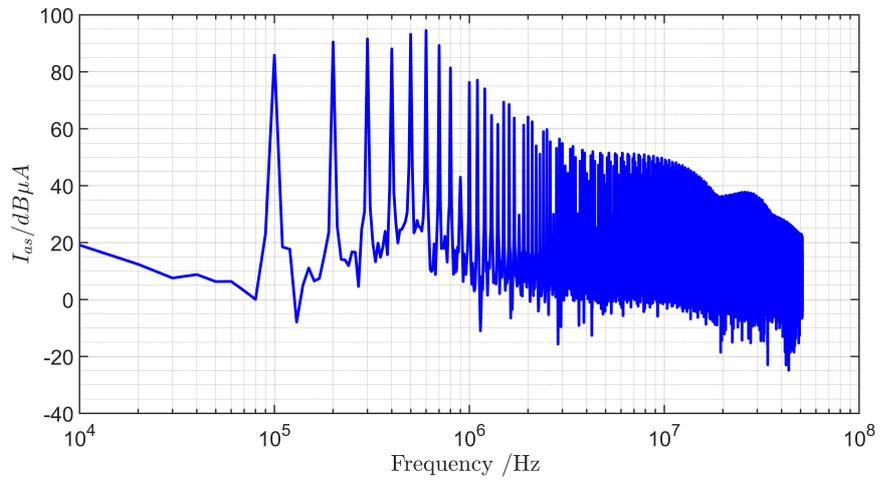


Figura 6.37. Spettro della corrente I_{a_s} del PFC Reference

6.5.2 Studio dell’impatto delle tolleranze di fabbricazione - PFC Symmetric

In figura 6.38 sono presentati i risultati delle simulazioni ottenuti facendo variare il valore dell’induttanza dei due induttori nel range precedentemente specificato, riportati in 6.5. Si noti come, contrariamente a quanto ci si potrebbe aspettare, il valore picco-picco della corrente di asimmetria gode di una relazione simile a quella ottenuta per il PFC Reference ovvero non minimizzata con un mismatch nullo tra i due induttori.

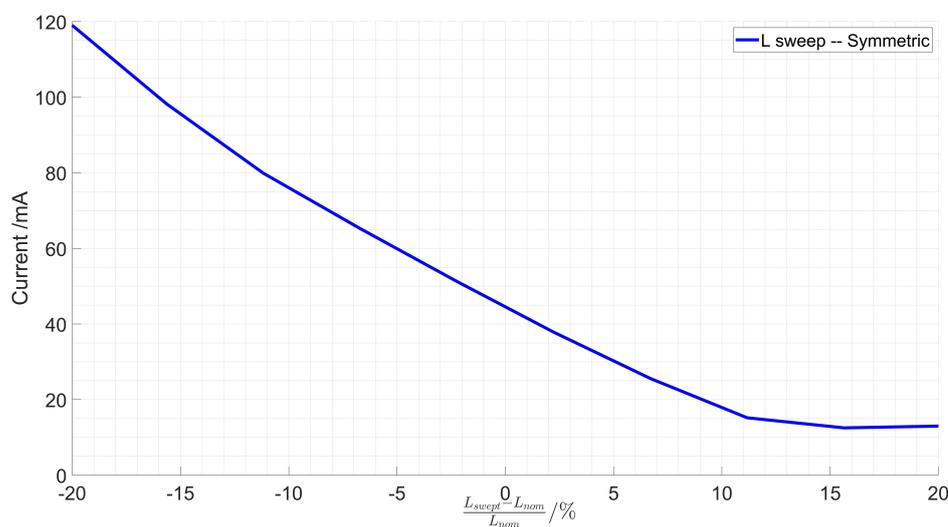


Figura 6.38. Valore picco-picco della corrente di asimmetria I_{as} in funzione del mismatch tra gli induttori nel PFC Symmetric

Per poter capire le ragioni di tale andamento è opportuno effettuare la stessa simulazione del circuito ma considerando un PFC Symmetric ideale ovvero perfettamente bilanciato. In tal caso si è fatto riferimento alla configurazione I della tabella 6.1 considerando anche i due parassiti C_{b1} e C_{b2} uguali. I risultati di tale simulazione sono presentati nella figura 6.39.

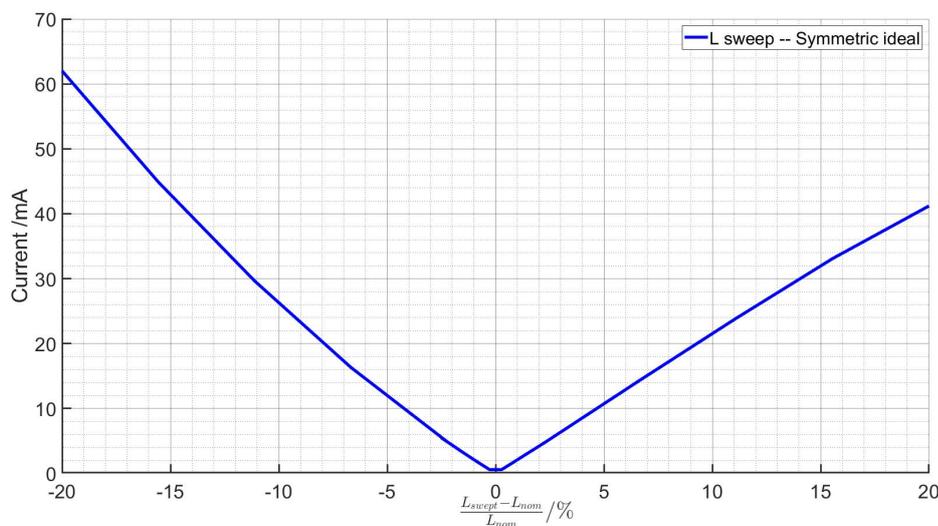


Figura 6.39. Valore picco-picco della corrente di asimmetria I_{as} in funzione del mismatch tra gli induttori nel PFC symmetric ideale

Si nota come la simmetria del circuito sia influenzata notevolmente dal valore effettivo di questo parametro, infatti, se i due componenti sono uguali allora la corrente I_{as} è minimizzata e praticamente nulla mentre all'aumentare del mismatch, senza distinzioni di segno, si ha un aumento del valore di picco della corrente I_{as} . In questo caso risulta quindi di primaria importanza rendere i componenti quanto più simili tra di loro così da massimizzare i benefici ottenuti dalla simmetria del circuito.

Quindi l'andamento di figura 6.38 è causato dalla presenza di asimmetrie nel circuito che venivano compensate se l'induttore L1 aveva un valore superiore a quello di L2. L'origine di tali asimmetrie era stata discussa nella sezione 6.2.1, dove si è notate come le cause di asimmetria fossero principalmente dovute alla capacità tra il source dei transistori ed il riferimento e la capacità input-output dei gatedriver (e delle alimentazioni degli stessi). Se si considerasse la semionda negativa della tensione di ingresso allora i parassiti che insistono sul source dei MOS avrebbero influenza sul nodo ind-neg e quindi l'andamento della corrente di asimmetria in funzione del mismatch sarebbe invertito rispetto a quello di figura 6.38, in particolare si avrebbe un valore superiore della corrente di asimmetria per valori di L1 inferiori rispetto ad L2.

Infine sono presentati in figura i risultati ottenuti considerando le tolleranze di fabbricazione sulle capacità parallele parassite degli induttori.

I risultati sono simili a quanto visto in figura 6.36 per il PFC Reference, ovvero il mismatch tra queste capacità non influenza in modo significativo il comportamento del circuito, anche se rispetto a quest'ultimo si ha una sensibilità maggiore a tale tolleranza.

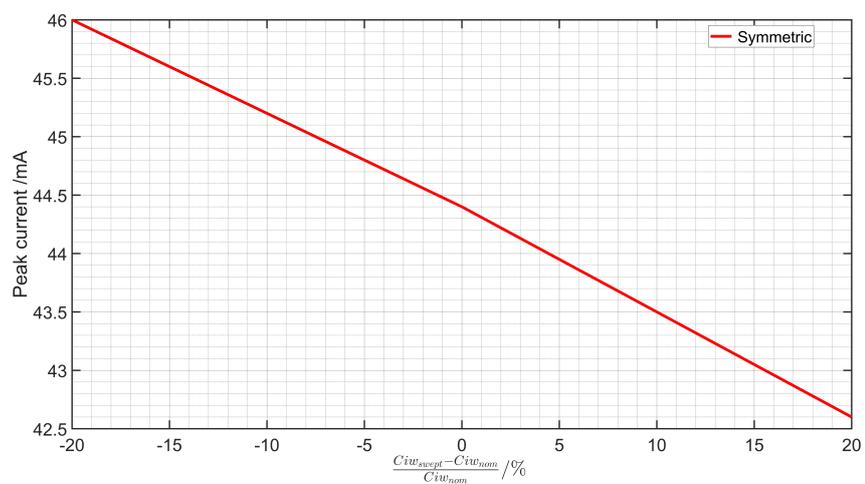


Figura 6.40. Valore picco-picco della corrente di asimmetria I_{as} in funzione del mismatch tra le EPC degli induttori nel PFC Symmetric

6.6 Effetti del parassita Cb: Confronto tra Symmetric ed Improved Symmetric

In questa sezione è approfondito lo studio della corrente di modo comune, I_{as} come fatto precedentemente, come mostrato nelle figure 6.42 6.41 dove sono riportati gli schemi dei PFC Symmetric ed Improved Symmetric con disegnato anche il parassita capacitivo tra il positivo della uscita e il potenziale di riferimento.

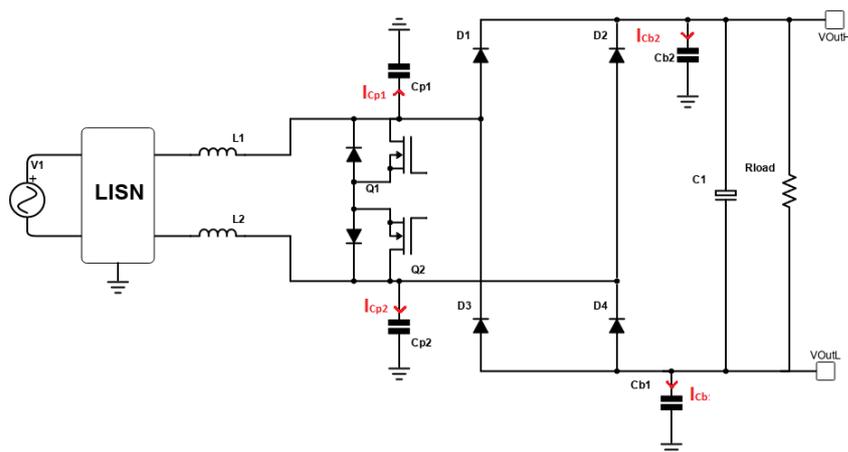


Figura 6.41. Schema completo del PFC Symmetric

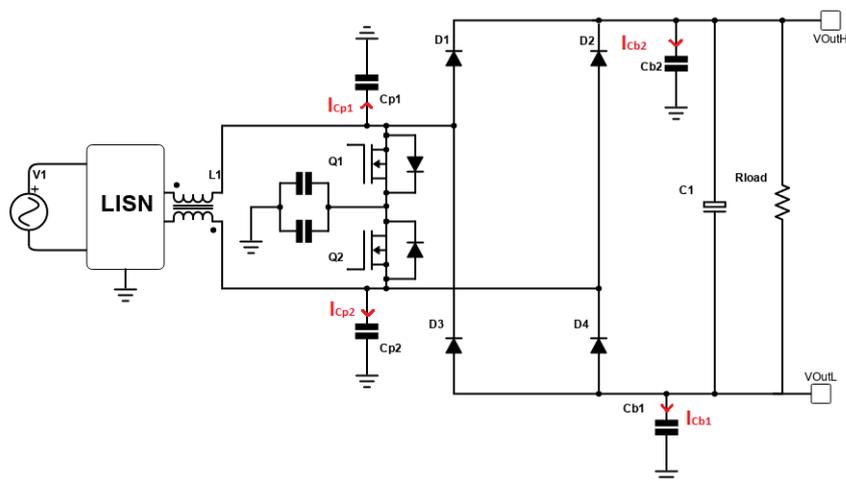


Figura 6.42. Schema completo del PFC Improved Symmetric

In figura 6.43 è riportato il valore di picco della somma delle correnti dei parassiti ottenuti per i PFCs Symmetric ed Improved Symmetric considerando quattro diversi contesti:

- $C_{b1} = 10 \text{ pF}$, $C_{b2} = 10 \text{ pF}$
- $C_{b1} = 100 \text{ pF}$, $C_{b2} = 10 \text{ pF}$
- $C_{b1} = 10 \text{ pF}$, $C_{b2} = 100 \text{ pF}$
- $C_{b1} = 100 \text{ pF}$, $C_{b2} = 100 \text{ pF}$

Quindi si è tenuto conto sia della possibilità che il valore di C_b vari sensibilmente sia che questa possa essere sbilanciata.

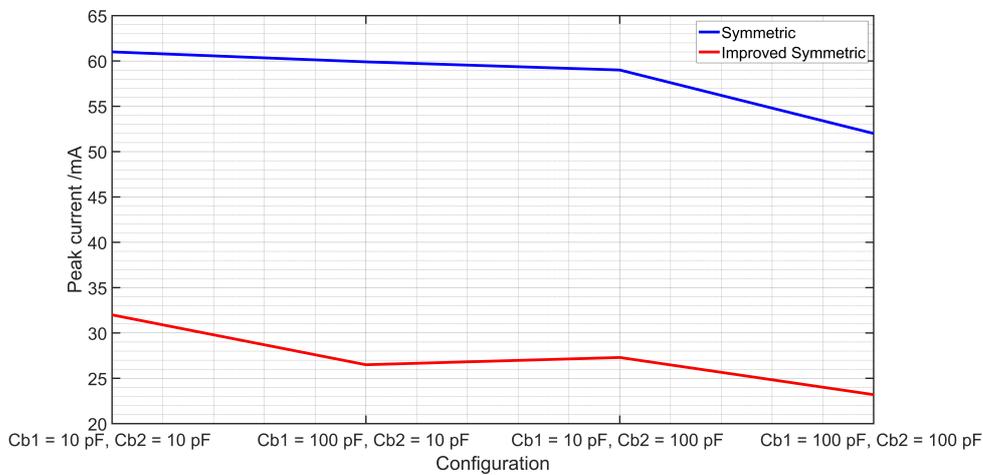


Figura 6.43. Valore picco-picco della Corrente I_{as} in funzione della configurazione di parassiti C_b adottata

Dalla figura è possibile notare che:

- Il PFC Improved symmetric mostra una corrente di modo comune di valore inferiore rispetto a quella ottenuta per il PFC symmetric in ogni caso.
- Per entrambi i circuiti non si presenta una forte dipendenza della corrente di modo comune

Capitolo 7

Progetto del prototipo di PFC Improved Symmetric

In questo capitolo si affronta il progetto del prototipo sperimentale necessario per caratterizzare il PFC Improved Symmetric progettato. In particolare verranno affrontati il progetto dei circuiti di pilotaggio dei transistori, dei circuiti di misura e delle PCB che compongono il PFC. Verrà anche condotta un'analisi termica del circuito così da stimare la temperatura di esercizio del circuito a pieno carico.

7.1 Schema a blocchi del PFC

Il PFC che si intende progettare è composto da tre schede connesse insieme che vengono inserite all'interno di un contenitore metallico. Il filtro EMI viene collocato in un contenitore diverso così da poter essere caratterizzato in modo indipendente dal resto del circuito.

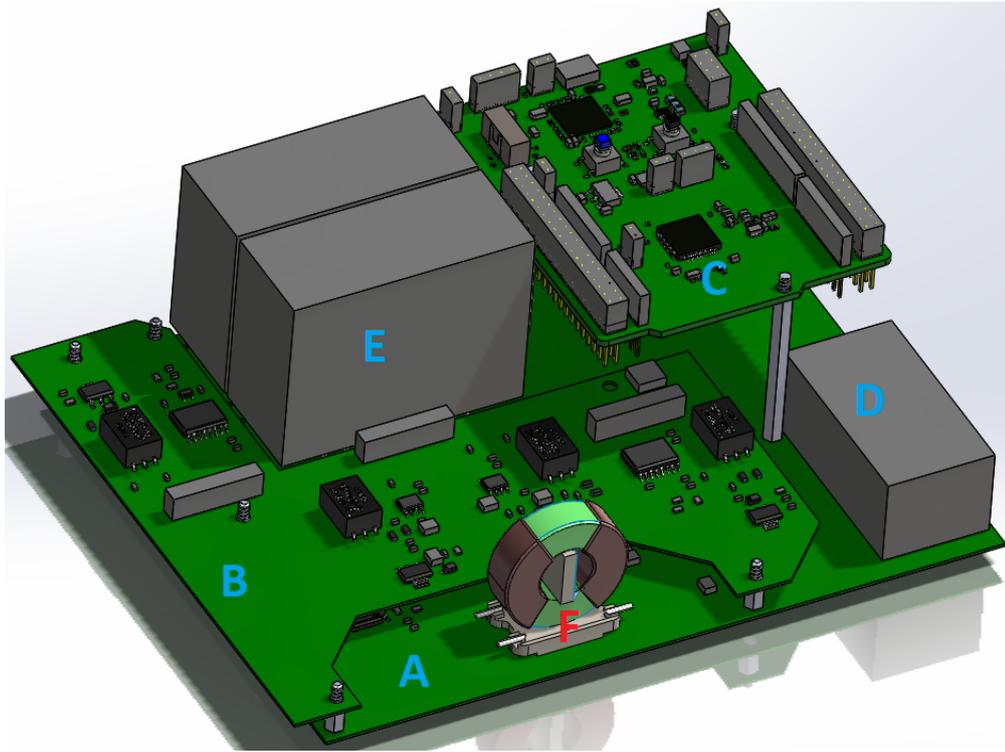


Figura 7.1. Modello 3D del PFC Improved symmetric completo

In questa immagine i principali blocchi del PFC sono contrassegnati da un lettera in modo da poter riconoscere tali elementi, in particolare:

- **A:** Scheda di potenza
- **B:** Scheda di pilotaggio e misura
- **C:** NUCLEO-G474RE
- **D:** AC-DC per alimentazione circuiti di pilotaggio e controllo
- **E:** DC-Link
- **F:** Induttori accoppiati del PFC

La scheda di potenza è la PCB sulla quale sono saldati tutti i componenti di potenza come i transistori SiC, i diodi, gli induttori accoppiati (**F**) ecc.. Su questa scheda è anche presente il blocco **D** ovvero un AC-DC che fornisce la 5 V necessaria per alimentare i circuiti di pilotaggio, di misura e di controllo a partire dalla tensione di rete. Il DC-Link è composto da due condensatori ed è saldato su questa scheda (**E**), si è scelta questa soluzione rispetto a quelle analizzate nella [sezione 5.1.4](#) (DC-Link su una scheda separata) prevalentemente per ragioni di ingombro della soluzione con più condensatori. La scheda di pilotaggio e controllo (**B**) comprende i gate driver isolati ed i circuiti di misura isolati. Essendo presenti diversi domini di tensione all'interno del PFC è necessario equipaggiare ciascun circuito di questa scheda di una alimentazione riferita al dominio a cui appartiene. Per tale ragione sulla scheda di pilotaggio e misura sono presenti 4 alimentatori isolati realizzati con trasformatori a presa centrale. Questa scheda si pone come un'interfaccia tra la parte ad alta tensione della scheda di potenza e quella a bassa della scheda di controllo. Infine la NUCLEO-G474RE della StMicroelectronics, provvista di un microcontrollore, genera i segnali per il controllo a partire dalle misure delle grandezze necessarie al controllo del PFC. Ogni scheda è connessa con le altre attraverso dei sistemi di connessione meglio specificati nel capitolo [7.7](#).

7.2 Progetto del filtro EMI

Solitamente i circuiti di potenza non rientrano nei limiti sulle emissioni elettromagnetiche previste dalle norme come la CISPR25 a meno che non si inserisca tra la rete ed il circuito un opportuno filtro EMI. In questo caso si progetta il filtro EMI per il PFC Improved symmetric. Il primo passo per procedere con il progetto è caratterizzare delle emissioni prodotte dal circuito. Nella seguente figura [7.2](#) è riportato l'andamento delle emissioni in frequenza, sia di modo comune che differenziale per il PFC Improved Symmetric misurato dalla LISN senza filtro EMI.

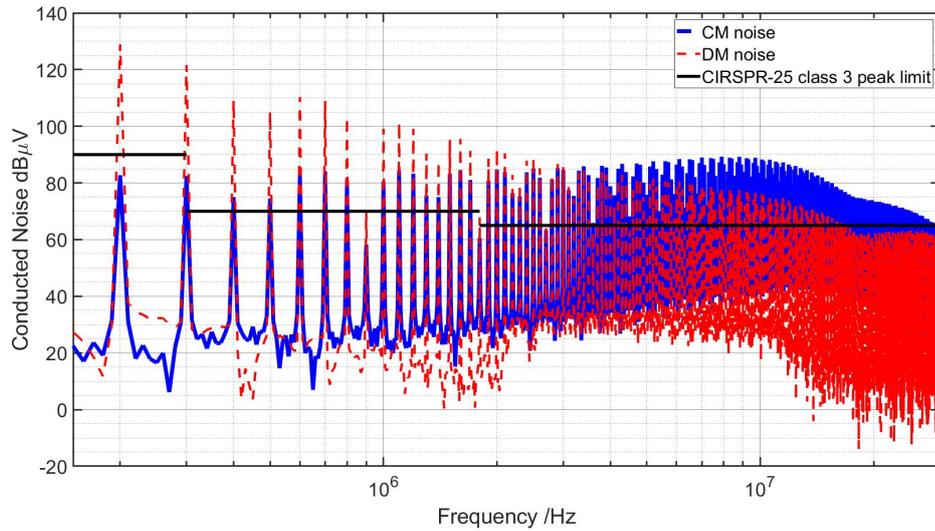


Figura 7.2. Spettri della tensione di modo comune e differenziale misurate dalla LISN per il PFC Improved Symmetric in assenza di filtro EMI

E' possibile notare come per il modo comune le emissioni sono quasi entro i limiti anche senza filtro per basse frequenze mentre intorno ai 10 MHz si ha il picco di emissione, le emissioni di modo differenziale prodotto risulta già fuori dai limiti per basse frequenze. Successivamente si procede calcolando l'insertion loss richiesta, in funzione della frequenza, facendo la sottrazione, in dB, tra le emissioni prodotto dal PFC senza filtro EMI ed i limiti previsti dalla CISPR25, classe 3, tali limiti sono riportati nella seguente figura 7.3 . Essa viene definita come:

$$IL_{dB} = 20 \log \left(\frac{V_{noF}}{V_{withF}} \right)$$

Service / Band	Frequency MHz	Levels in dB(μV)									
		Class 1		Class 2		Class 3		Class 4		Class 5	
		Peak	Quasi-peak	Peak	Quasi-peak	Peak	Quasi-peak	Peak	Quasi-peak	Peak	Quasi-peak
BROADCAST											
LW	0,15 - 0,30	110	97	100	87	90	77	80	67	70	57
MW	0,53 - 1,8	86	73	78	65	70	57	62	49	54	41
SW	5,9 - 6,2	77	64	71	58	65	52	59	46	53	40
FM	76 - 108	62	49	56	43	50	37	44	31	38	25
TV Band I	41 - 88	58	-	52	-	46	-	40	-	34	-

Figura 7.3. Limiti EME CISPR25

La topologia del filtro scelta è quella riportata nella seguente figura 7.4 supponendo di usare un filtro di ordine 1.

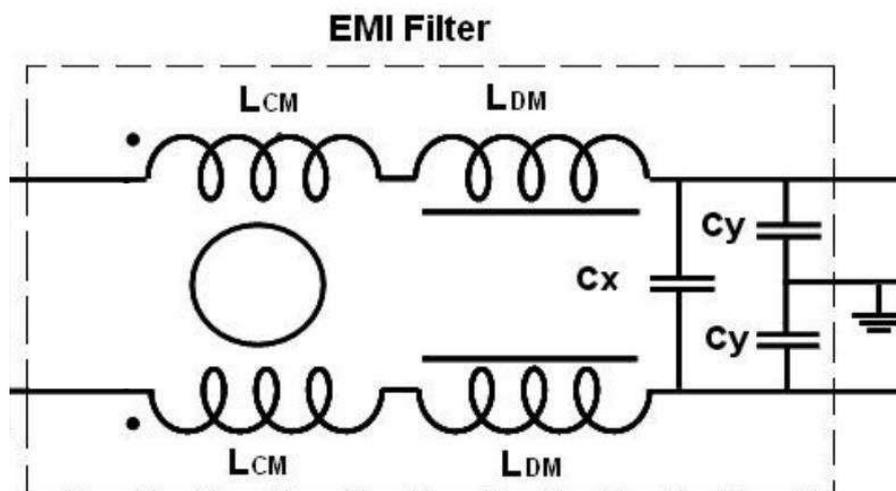


Figura 7.4. Topologia filtro EMI scelta

Nella figura 7.5 sono riportati gli andamenti delle Insertion Loss richieste per il modo comune e per quello differenziale. Esse sono state ottenute sottraendo ai valori di picco permessi dalle CISPR25 (figura 7.3) classe 3 gli spettri (figura 7.2) ottenuti per il modo comune e differenziale senza filtro EMI.

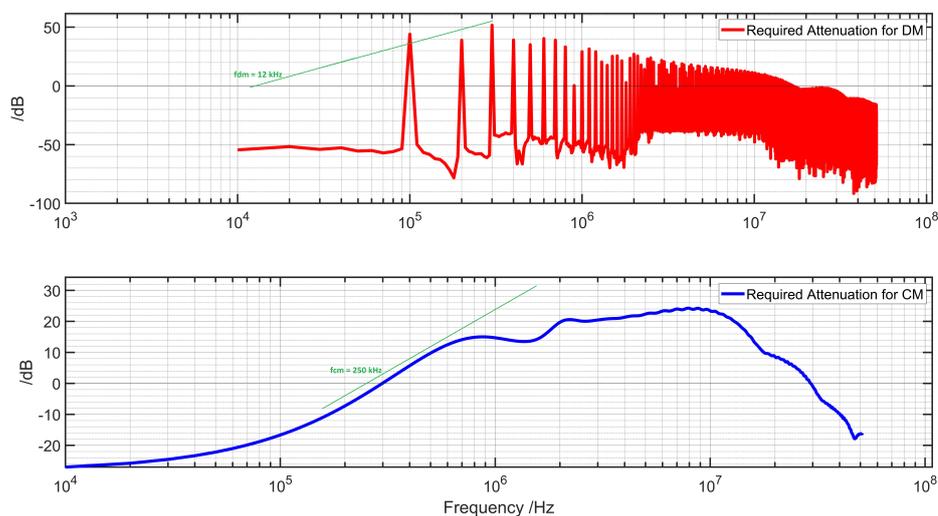


Figura 7.5. Insertion Loss richiesta per il modo comune e differenziale

A partire dallo schema del filtro si possono ricavare i circuiti equivalenti per il modo comune e per quello differenziale. Il circuito equivalente per il modo comune è riportato nella seguente figura 7.6, nel quale la sorgente (il PFC) produce una corrente di modo comune che viene iniettata nel filtro, questa corrente I_{CM} è conosciuta dato che può essere ricavata a partire dalla tensione di modo comune misurata dalla LISN senza il filtro EMI:

$$I_{CM} = \frac{V_{noF}}{R_{CM}} = \frac{V_{noF}}{25 \Omega}$$

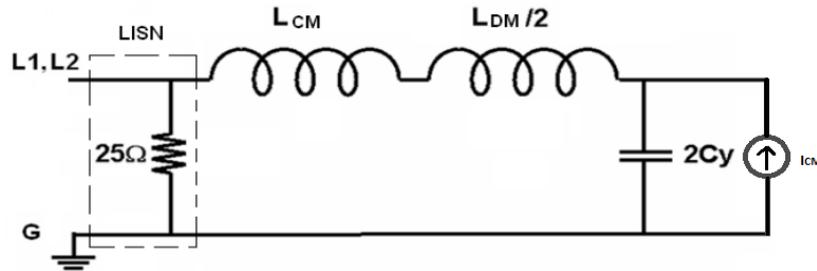


Fig. 3. Common mode filter equivalent circuit

Figura 7.6. Circuito equivalente del filtro EMI e LISN per il modo comune

L'insertion loss introdotta dal filtro per il modo comune viene definita come:

$$IL_{CM} = -20 \log \left(\frac{V_{ac,CM}}{V_{noF}} \right) = -20 \log \left(\frac{V_{ac,CM}}{I_{CM} \cdot 25 \Omega} \right) \text{ con } V_{ac,CM} \text{ tensione tra i nodi } L1, L2 \text{ ed } G$$

Il rapporto $\frac{V_{ac,CM}}{I_{CM}}$ può essere calcolato, ottenendo:

$$\frac{V_{ac,CM}}{I_{CM}} = R_{CM} \cdot \frac{1}{2C_y \left(L_{CM} + \frac{L_{DM}}{2} \right) \cdot \left(s^2 + s \cdot \frac{\omega_0}{Q_{CM}} + \omega_0^2 \right)}$$

$$\omega_0^{CM} = \frac{1}{\sqrt{2C_y \left(L_{CM} + \frac{L_{DM}}{2} \right)}} \quad ; \quad Q_{CM} = \sqrt{\frac{L_{CM} + \frac{L_{DM}}{2}}{2C_y}}$$

Il circuito equivalente per il modo differenziale è di seguito presentato, anche in questo caso la corrente I_{DM} può essere ottenuta a partire dalle misure delle emissioni di modo differenziale prodotte dal circuito in assenza di filtro EMI.

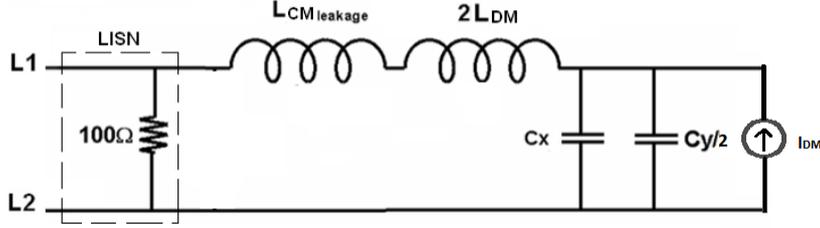


Figura 7.7. Circuito equivalente del filtro EMI e LISN per il modo differenziale

L'insertion loss introdotta dal filtro per il modo differenziale viene definita come:

$$IL_{DM} = -20 \log \left(\frac{V_{ac,DM}}{V_{noF}} \right) = -20 \log \left(\frac{V_{ac,DM}}{I_{DM} \cdot 100 \Omega} \right) \text{ con } V_{ac,DM} \text{ tensione tra i nodi L1 ed L2}$$

Il rapporto $\frac{V_{ac,DM}}{I_{DM}}$ può essere calcolato, ottenendo:

$$\frac{V_{ac,DM}}{I_{DM}} = R_{DM} \cdot \frac{1}{\left(C_x + \frac{C_y}{2} \right) (2L_{DM}) \cdot \left(s^2 + s \cdot \frac{\omega_{DM}}{Q_{DM}} + \omega_{DM}^2 \right)}$$

$$\omega_0^{DM} = \frac{1}{\sqrt{2L_{DM} \left(C_x + \frac{C_y}{2} \right)}} \quad ; \quad Q_{DM} = \sqrt{\frac{2L_{DM}}{C_x + \frac{C_y}{2}}}$$

L'attenuazione introdotta dal filtro per $f \geq f_0^{CM}$ per il modo comune, supposto che non siano presenti parassiti di alcun genere, cresce con una pendenza di $40 \frac{dB}{dec}$ dato che il filtro è caratterizzato da due poli. Lo stesso ragionamento può essere condotto per l'attenuazione del filtro al modo differenziale $f \geq f_0^{DM}$, anche in questo caso ci sono 2 poli quindi la pendenza massima ideale è di 40dB/dec.

Da queste relazioni si ottiene

$$\begin{cases} f_{cmL} \geq f_0^{CM} \\ f_{dmL} \geq f_0^{DM} \end{cases} \text{ con } \begin{cases} f_{cmL} = 250 \text{ kHz} \\ f_{dmL} = 12 \text{ kHz} \end{cases} \text{ (ottenute dai grafici dell'Insertion Loss richiesta(7.5))}$$

Inoltre, bisogna prestare particolare attenzione al fattore di merito del filtro imponendo che esso, sia per il modo comune che per quello differenziale, sia inferiore a 0.5, se tale relazione è soddisfatta si ottiene una risposta in frequenza sovra-smorzata, pertanto non contraddistinta da picchi in corrispondenza della frequenza di risonanza. Si ottiene così un sistema con 4 equazioni:

$$\begin{cases} f_{cmL} \geq f_0^{CM} \\ f_{dmL} \geq f_0^{DM} \\ Q_{CM} \leq 0.5 \\ Q_{DM} \leq 0.5 \end{cases} \text{ con } \begin{cases} f_{cmL} = 250 \text{ kHz} \\ f_{dmL} = 12 \text{ kHz} \end{cases}$$

Dalle precedenti si impongono le uguaglianze:

$$\begin{cases} f_0^{\text{DM}} = 12 \text{ kHz} \\ Q_{\text{DM}} = 0.1 \end{cases} \rightarrow \begin{cases} \frac{1}{2\pi} \sqrt{\frac{1}{2L_{\text{DM}}(C_x + \frac{C_y}{2})}} = 12 \text{ kHz} \\ \frac{1}{R_{\text{DM}}} \cdot \sqrt{\frac{2L_{\text{DM}}}{(C_x + \frac{C_y}{2})}} = 0.1 \end{cases}$$

Il precedente sistema si risolve ottenendo:

$$\begin{cases} L_{\text{DM}} = (Q_{\text{DM}} \cdot R_{\text{DM}})^2 \cdot \frac{C_x + \frac{C_y}{2}}{2} \\ C_x = \frac{1}{(Q_{\text{DM}} \cdot R_{\text{DM}})(2\pi f_{\text{dmL}})} = 1.23 \mu\text{F} \rightarrow C_x = 1.2 \mu\text{F} \rightarrow L_{\text{DM}} = 66 \mu\text{H} \end{cases}$$

Per il modo comune si impongono le seguenti relazioni:

$$f_0^{\text{CM}} = \frac{1}{2\pi} \frac{1}{\sqrt{2C_y(L_{\text{CM}} + \frac{L_{\text{DM}}}{2})}} = 250 \text{ kHz} \quad ; \quad Q_{\text{CM}} = \frac{1}{R_{\text{CM}}} \cdot \sqrt{\frac{L_{\text{CM}} + \frac{L_{\text{DM}}}{2}}{2C_y}} = 0.1$$

Ripetendo gli stessi passaggi fatti per il modo differenziale si ottiene:

- $C_x = 1 \mu\text{F}$
- $C_y = 120 \text{ nF}$
- $L_{\text{CM}} = 2.2 \mu\text{H}$
- $L_{\text{DM}} = 66 \mu\text{H}$

I part number scelti a catalogo sono:

- $C_x = \text{R474W4100(1)A1(2) V057}$
- $C_y = \text{F340Y241030MIM2T0}$
- $L_{\text{CM}} = 744273501$
- $L_{\text{DM}} = \text{PHBC12-1R0A0080V}$

Di seguito in figura 7.8 sono mostrati gli andamenti dell'attenuazione introdotta dal filtro e quella richiesta per rientrare nelle emissioni previste dallo standard sia per il modo differenziale che per il modo comune

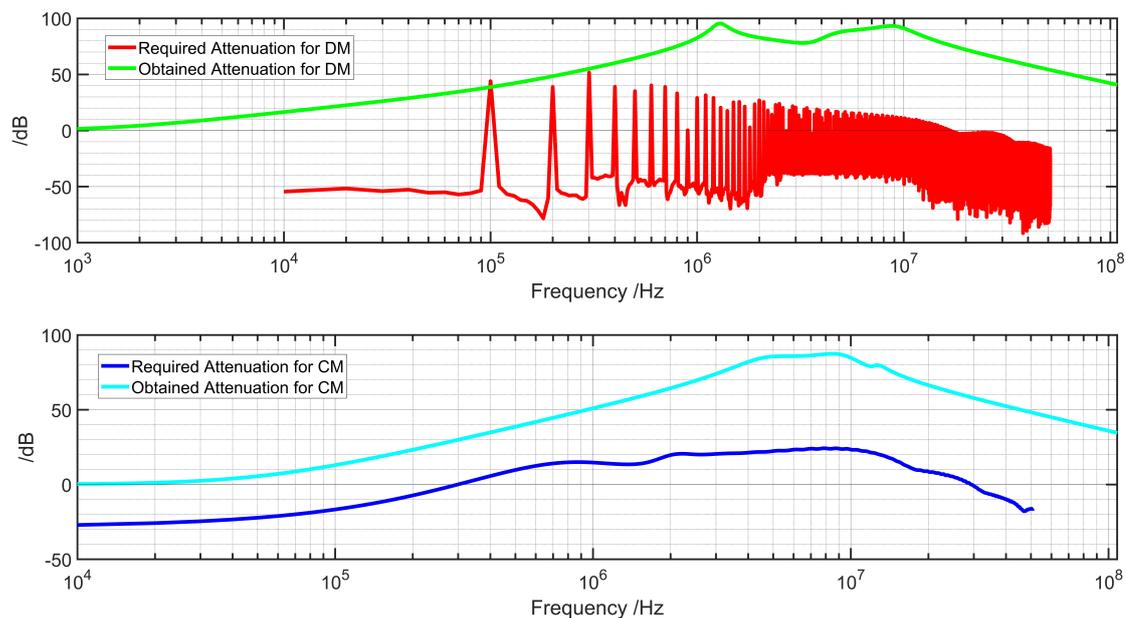


Figura 7.8. Insertion Loss per il modo comune ed il modo differenziale ottenuto dal filtro rispetto a quello necessario

Si può notare come le linee che descrivono i valori ottenuti di attenuazione sono superiori a quelli richiesti, in questo modo ci si assicura che le emissioni prodotte dal PFC siano entro i limiti previsti dallo standard. Particolare attenzione deve essere posta nella valutazione dell'impatto dei parassiti dei componenti scelti, questi deteriorano le prestazioni del filtro in alta frequenza e fanno in modo che l'insertion loss del filtro non cresca sempre all'aumentare della frequenza ma che, dopo un picco, l'attenuazione introdotta dal filtro diminuisca con la frequenza.

Successivamente, per verificare che il funzionamento del filtro progettato esso è stato inserito nella simulazione del circuito per verificare che le emissioni prodotte dal circuito siano entro i limiti prestabiliti. Nelle successive figure sono mostrati gli spettri delle emissioni di modo differenziale e di modo comune per il PFC con il filtro EMI.

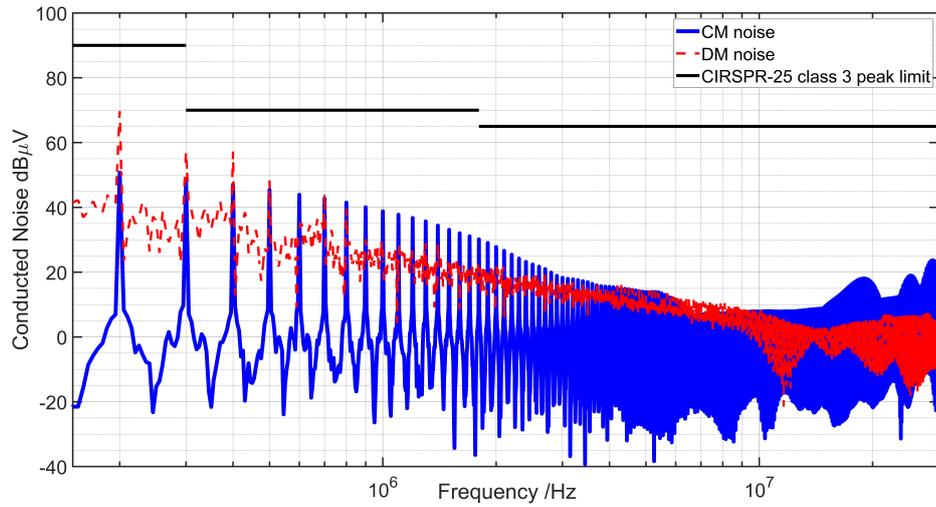


Figura 7.9. Spettri delle emissioni di modo comune differenziale misurati dalla LISN con il filtro EMI progettato

Infine si è anche condotta una simulazione Montecarlo per verificare che il circuito rientri nei limiti considerando una tolleranza del 40% ($\pm 20\%$) su tutti gli elementi parassiti del filtro EMI, ovvero le *EPC* (Equivalent parallel capacitance) degli induttori e le *ESL* (Equivalent Series Inductance) dei condensatori. Si ottiene

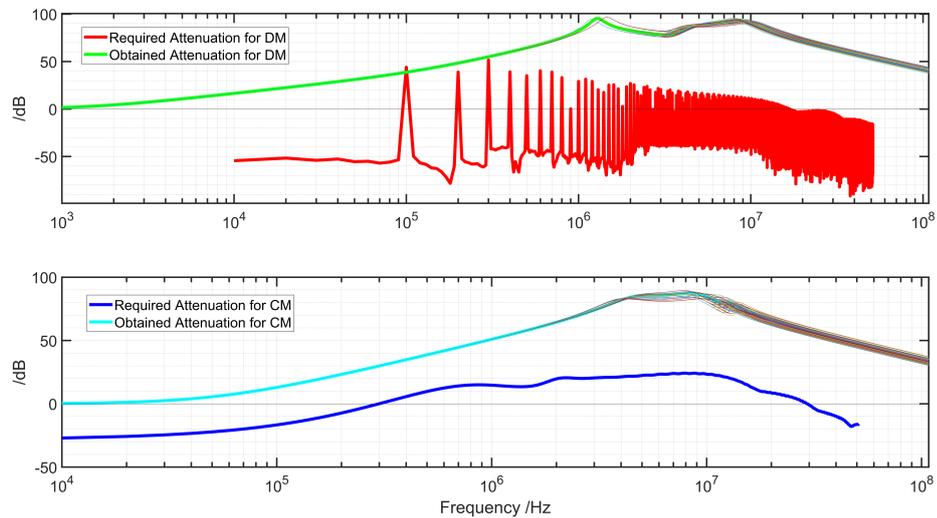


Figura 7.10. Insertion Loss ottenuta dalla simulazione Monte Carlo sui parassiti del filtro EMI

7.3 Progetto alimentazione isolata per gate driver

Il gate driver isolato scelto per comandare i transistori di potenza è un UCC5350S, esso permette il comando di transistori di vario tipo come Si, GaN e SiC. Affinché tale circuito funzioni correttamente necessita di due distinte alimentazioni, una per il lato a bassa tensione ed una seconda che deve essere riferita al source del transistore. La tensione dal lato microcontrollore può variare da 3.3 V a 5 V mentre quella lato comando può salire fino a 30 V. La tensione dell'alimentazione dal lato transistore può essere scelta in funzione della tensione di comando consigliata per il transistore, nel caso in esame pari a 15 V per il SCT3080KW7. La generazione di tale tensione è particolarmente delicata perché è riferita ad un nodo che commuta e quindi è soggetto ad elevati $\frac{\partial V}{\partial t}$. L'introduzione di eventuali capacità parassite legate al circuito di alimentazione può peggiorare sensibilmente le prestazioni EMI del PFC, di conseguenza si deve prestare particolare attenzione a questo aspetto. In figura è mostrato uno schema semplificato per il comando di un IGBT.

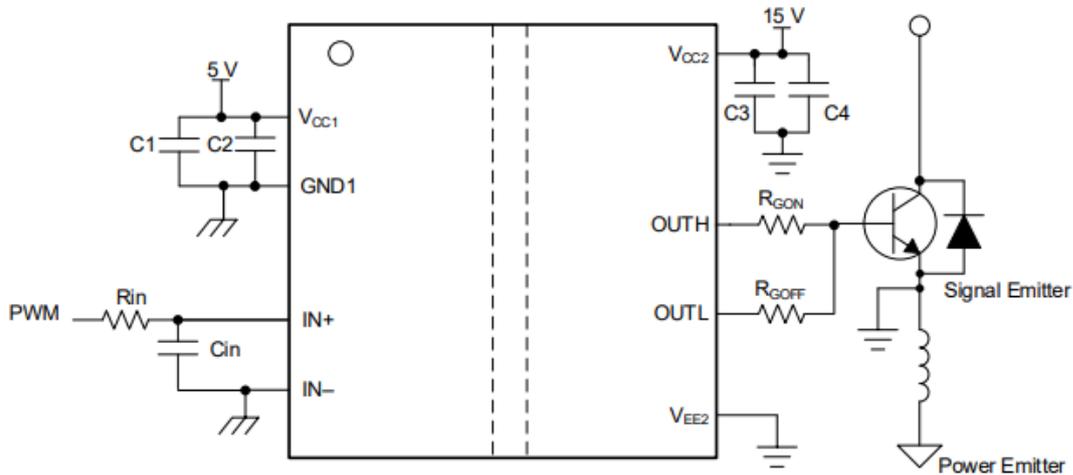


Figura 7.11. Schema semplificato del gate driver UCC5350S

Nella seguente tabella sono riassunte le informazioni che caratterizzano il circuito di pilotaggio del PFC Symmetric.

PARAMETER	VALUE	UNIT
V_{cc1}	3.3	V
V_{cc2}	15	V
IN+	3.3	V
IN-	GND	-
f_s	100	kHz
MOS	SCT3080KW7	-

Tabella 7.1. Principali caratteristiche del circuito di pilotaggio dei transistori

Per limitare eventuali oscillazioni sulla tensione in ingresso al circuito di pilotaggio si progetta un filtro del primo ordine caratterizzato da $f_c = 10 \text{ MHz}$

$$R_{\text{in}} = 50 \Omega; C_{\text{in}} = 330 \text{ pF}$$

La corrente massima di picco che il gate driver è capace di erogare/assorbire in uscita è pari a 5 A, quindi si progettano le due resistenze di uscita del gate driver R_{Gon} e R_{Goff} affinché questo valore non venga superato.

- $R_{\text{nmos}} = 1.54 \Omega$
- $R_{\text{OH}} = 12 \Omega$
- $R_{\text{OL}} = 0.26 \Omega$
- $R_{\text{GFET}} = 12 \Omega$
- $R_{\text{ON}} = [0 - 12] \Omega$

NB: Valori ottenuti dal datasheet del gate driver e del MOSFET

$$I_{\text{OH}} = \min \left\{ 5 \text{ A}, \frac{V_{\text{cc2}}}{R_{\text{NMOS}} \parallel R_{\text{OH}} + R_{\text{ON}} + R_{\text{GFET}}} \right\} = \begin{cases} R_{\text{ON}} = 0 \Omega \rightarrow I_{\text{OH}} = 1.12 \text{ A} \\ R_{\text{ON}} = 6 \Omega \rightarrow I_{\text{OH}} = 0.775 \text{ A} \\ R_{\text{ON}} = 12 \Omega \rightarrow I_{\text{OH}} = 0.6 \text{ A} \end{cases}$$

$$I_{\text{OL}} = \min \left\{ 5 \text{ A}, \frac{V_{\text{cc2}}}{R_{\text{OL}} + R_{\text{OFF}} + R_{\text{GFET}}} \right\} = \begin{cases} R_{\text{OFF}} = 0 \Omega \rightarrow I_{\text{OL}} = 1.22 \text{ A} \\ R_{\text{OFF}} = 6 \Omega \rightarrow I_{\text{OL}} = 0.82 \text{ A} \\ R_{\text{OFF}} = 12 \Omega \rightarrow I_{\text{OL}} = 0.62 \text{ A} \end{cases}$$

Quindi anche se non viene inserita alcuna resistenza i valori di picco di corrente erogata ed assorbita dal gate driver non verrebbero superati. Comunque nel layout della scheda verranno previste delle piazzole per inserire delle resistenze per limitare il ringing e/o rallentare i transistori del MOS.

Dal datasheet del gate driver si ricava la corrente assorbita dall'integrato per ognuna delle due alimentazioni in caso non stia erogando corrente in uscita. Esse sono stimate a $I_{\text{CC2}} = 1.7 \text{ mA}$; $I_{\text{CC1}} = 1.65 \text{ mA}$. Per calcolare la potenza totale assorbita dalle alimentazioni si deve anche considerare il contributo dato dalla corrente fornita in uscita all'integrato.

$$P_{\text{GDQ}} = V_{\text{cc1}} \cdot I_{\text{Vcc1}} + V_{\text{cc2}} \cdot I_{\text{Vcc2}} = 31 \text{ mW (quiescent current)}$$

$$P_{\text{GSW}} = V_{\text{cc2}} \cdot Q_{\text{G}} \cdot f_{\text{SW}} = 15 \text{ V} \cdot 60 \text{ nC} \cdot 100 \text{ kHz} = 90 \text{ mW (switching power)}$$

" Q_{G} represents the total gate charge of the power transistor switching, and is subject to change with different testing conditions. The UCC5350S gate-driver loss on the output

stage, $PGDO$, is part of $PGSW$. $PGDO$ is equal to $PGSW$ if the external gate-driver resistance and power-transistor internal resistance are 0, and all the gate driver-loss will be dissipated inside the UCC5350S. If an external turn-on and turn-off resistance exists, the total loss is distributed between the gate driver pull-up/down resistance, external gate resistance, and power transistor internal resistance."

Possono essere quindi definite le specifiche per l'alimentazione isolata dei gate drivers

Potenza	Corrente	Tensione	Accuratezza
250 mW	16.7 mA	15 V	5 %*

*il valore di accuratezza richiesto è stimato a partire dalla sezione 8.3 del datasheet che raccomanda di usare tensioni di alimentazione (lato HV) superiori a 13.2 V:

$$\frac{15 \text{ V} - 13.2 \text{ V}}{15 \text{ V}} = 12 \% \rightarrow 5 \%$$

7.3.1 Progetto alimentazioni isolate

La soluzione scelta per realizzare le alimentazioni isolate è basata sull'uso di un trasformatore a presa centrale comandato da un integrato che al proprio interno ha due interruttori comandati in configurazione push-pull. Il CI è un SN6505 della Texas Instruments, nella figura 7.12 è mostrato un possibile schematico per realizzare l'alimentazione isolata.

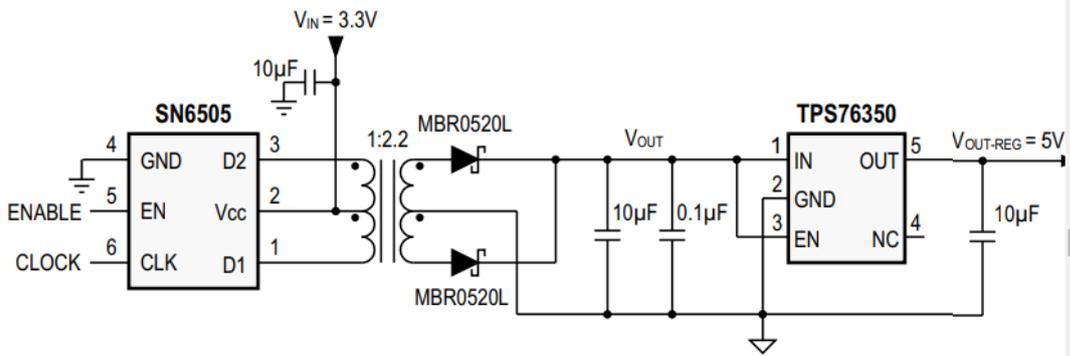


Figura 7.12. Schema semplificato del driver push-pull per trasformatori ad impulsi, SN6505B

Dovendo generare a partire dalla 3.3 V una alimentazione a 15 V è necessario usare una configurazione diversa rispetto a quella di figura 7.12 che permetta di ottenere tensioni di uscita maggiori senza ricorrere a trasformatori con rapporto spire superiore a 2. In particolare si è scelto di utilizzare la seguente configurazione che permette di ottenere una quadruplicazione della tensione di ingresso.

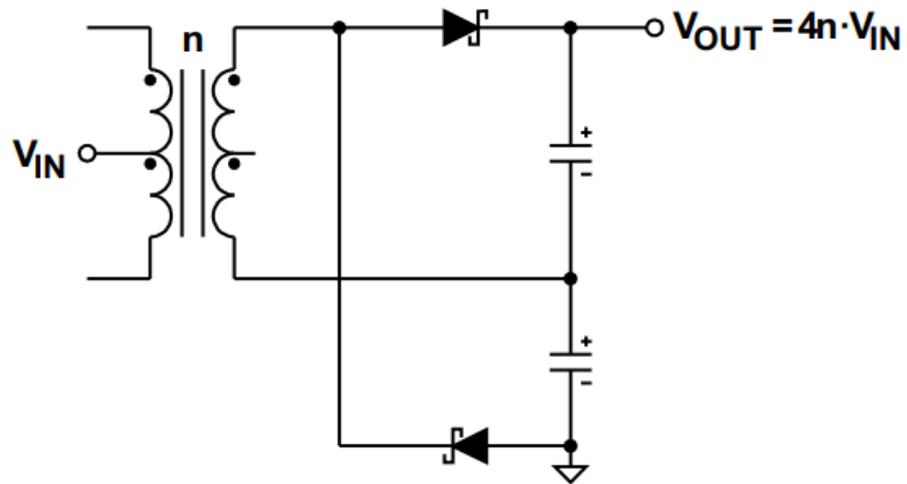


Figura 7.13. Cablaggio per ottenere la quadruplicazione della tensione di ingresso al secondario

L'obiettivo è ottenere un trasformatore con la capacità ingresso-uscita più piccola possibile. La soluzione ottimale scelta è il ZA9368 della Coilcraft con soli 6 pF di capacità parassita tra primario e secondario. Esso ha un $n=1.75$ che porta a

$$V_{out} = 4 \cdot n \cdot V_{in} = 4 \cdot 1.75 \cdot 3.3 = 23.1 \text{ V}$$



- Optimized for Texas instrument SN6505 transformer driver
- Designed to meet UL/CSA/IEC 60950 Reinforced Insulation Class with 8 mm creepage and 4.5 mm clearance
- Low profile and center-tapped push-pull transformers for isolated power supply
- 3500 Vrms, one minute high isolation (hipot) winding to winding

Core material Ferrite
Terminations RoHS tin-silver-copper over tin over nickel over phosph bronze.
Weight 0.9 g
Ambient temperature -40°C to +125°C
Maximum part temperature +155°C (ambient + temp rise)
Storage temperature Component: -40°C to +125°C.
 Tape and reel packaging: -40°C to +80°C
Resistance to soldering heat Max three 40 second reflows at +260°C, parts cooled to room temperature between cycles
Moisture Sensitivity Level (MSL) 1 (unlimited floor life at <30°C / 85% relative humidity)
Packaging 650 per 13" reel Plastic tape: 24 mm wide, 0.4 mm thick, 12 mm pocket spacing, 6.6 mm pocket depth
PCB washing Tested to MIL-STD-202 Method 215 plus an additional aqueous wash. See [Doc787_PCB_Washing.pdf](#).

Part number ¹	Input voltage (V)	L ² at 0 A ±25% (µH)	Leakage L ³ max (µH)	DCR max (Ohms) pri	sec	Turns ratio pri:sec	Volt-time product ⁴ (V-µsec)	Isolation ⁵ (Vrms)	Output ⁶
ZA9368-AED	3.3	256	0.4	0.182	0.395	1 : 1.75	16	3500	5 V, 700 mA

1. **Packaging:** D = 13" machine ready reel. EIA-481 embossed plastic tape. Quantities less than full reel available: in tape (not machine ready) or with leader and trailer (\$25 charge).
 2. Inductance is for primary windings measured at 10 kHz, 0.01 Vrms, 0 Adc.
 3. Leakage inductance measured between pins 1 and 3 at 100 kHz, 0.1 Vrms with secondary pins shorted.
 4. Volt-time product is for the primary, between pin 1 and 3.
 5. One minute isolation (hipot) primary windings to secondary windings.
 6. Maximum output current of 700 mA causes 40°C temperature rise from ambient.
 7. Capacitance is 6 pF ±10%, measured from primary to secondary.
 8. Electrical specifications at 25°C.
- Refer to Doc 362 "Soldering Surface Mount Components" before soldering.

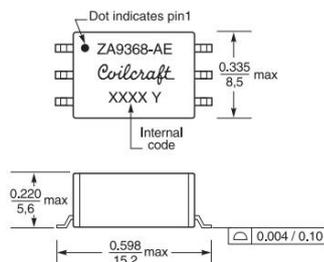


Figura 7.14. Cablaggio per ottenere la quadruplicazione della tensione di ingresso al secondario

La corrente massima per mantenere un $\Delta T = 40 \text{ }^\circ\text{C}$ è di 700 mA, con $V_{\text{Out}} = 5 \text{ V}$ quindi nel caso in esame si ottiene una corrente massima di:

$$I_{\text{max}}^{\text{sec}} |_{V_{\text{out}}=5 \text{ V}} = 700 \text{ mA} \rightarrow I_{\text{max}}^{\text{sec}} |_{V_{\text{out}}=23.1 \text{ V}} = 100 \text{ mA}$$

Come riportato nel datasheet del SN6505 è necessario scegliere un trasformatore che abbia un prodotto Vt superiore a quello applicato dal device (SN6505B).

9.2.2.5 Transformer Selection

9.2.2.5.1 V-t Product Calculation

To prevent a transformer from saturation its V-t product must be greater than the maximum V-t product applied by the device. The maximum voltage delivered by the device is the nominal converter input plus 10%. The maximum time this voltage is applied to the primary is half the period of the lowest frequency at the specified input voltage. Therefore, the transformer's minimum V-t product is determined through:

$$V_{t_{\min}} \geq V_{IN-\max} \times \frac{T_{\max}}{2} = \frac{V_{IN-\max}}{2 \times f_{\min}} \quad (3)$$

Taking an example of f_{\min} as 138 kHz for SN6505A and 363 kHz for SN6505B with a 5 V supply, Equation 3 yields the minimum V-t products of:

$$V_{t_{\min}} \geq \frac{5.5 \text{ V}}{2 \times 138 \text{ kHz}} = 20 \text{ V}\mu\text{s} \quad \text{for SN6505A, and}$$

$$V_{t_{\min}} \geq \frac{5.5 \text{ V}}{2 \times 363 \text{ kHz}} = 7.6 \text{ V}\mu\text{s} \quad \text{for SN6505B applications.} \quad (4)$$

Common V-t values for low-power center-tapped transformers range from 22 V μ s to 150 V μ s with typical footprints of 10 mm x 12 mm. However, transformers specifically designed for PCMCIA applications provide as little as 11 V μ s and come with a significantly reduced footprint of 6 mm x 6 mm only.

While Vt-wise all of these transformers can be driven by the device, other important factors such as isolation voltage, transformer wattage, and turns ratio must be considered before making the final decision.

Figura 7.15. Procedura per selezionare il trasformatore, dal datasheet del SN6505B

I diodi scelti sono dei RB168VWM-60:

- $I_o = 1 \text{ A}$
- $V_r = 60 \text{ V}$
- $V_F(\max) = 0.76 \text{ V}$

L'LDO scelto è un LT3082EST#PBF della analog devices, caratterizzato da:

- $I_{\max} = 200 \text{ mA}$
- $V_O \in [1.2 ; 40] \text{ V}$
- *Initial Set Pin Current Accuracy* : 1%

Bisogna verificare che il componente, anche nel caso peggiore, non raggiunga la temperatura massima di giunzione, stimando una corrente massima assorbita di 10 mA.

$$P_{\text{total}} = (V_{\text{in}} - V_{\text{out}}) I_{\text{out}} \simeq (23.1 - 15) \text{ V} \cdot 10 \text{ mA} = 83 \text{ mW}$$

$$T_J = T_A + P_{\text{total}} \cdot \theta_{JA} = 60 \text{ }^\circ\text{C} + 83 \text{ mW} \cdot 30 \frac{^\circ\text{C}}{\text{W}} = 62.5 \text{ }^\circ\text{C}$$

Il valore di θ_{JA} è stato ottenuto dal datasheet considerando il package SOT-223, la tabella di riferimento è riportata di seguito:

Table 5. ST Package, 3-Lead SOT-223

COPPER AREA		BOARD AREA	THERMAL RESISTANCE (JUNCTION-TO-AMBIENT)
TOPSIDE*	BACKSIDE		
2500mm ²	2500mm ²	2500mm ²	20°C/W
1000mm ²	2500mm ²	2500mm ²	20°C/W
225mm ²	2500mm ²	2500mm ²	24°C/W
100mm ²	2500mm ²	2500mm ²	29°C/W

*Device is mounted on topside

Figura 7.16. Valori di resistenza termica del LT3082 in funzione del layout

La tensione di uscita è regolata dalla caduta su R_{set} che è data dal valore della resistenza moltiplicata per un riferimento di corrente di $10\mu A$.

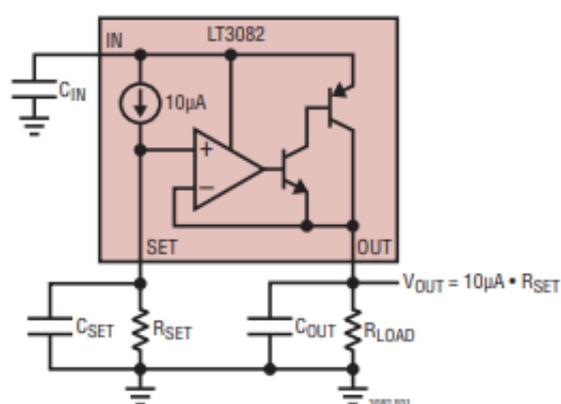


Figura 7.17. Cablaggio per fissare la tensione di uscita del LDO

$$R_{set} = \frac{15V}{10 \mu A} = 1.5 M\Omega, P_{Rset} = 0.15 mW \rightarrow MCU0805MD1504BP500 (200 mW, 0.1 \%)$$

Infine si considera l'inserimento di un condensatore in parallelo ad R_{set} ed un diodo 1N4148, per avere soft-start e protezione del pin set in caso di sovratensioni (durante i transienti).

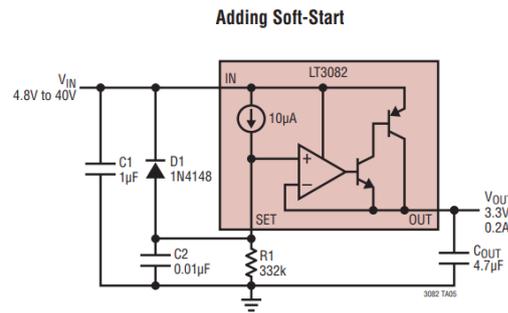


Figura 7.18. Schema per soft start del LDO

7.3.2 Simulazioni del transitorio di accensione

Infine è stata condotta una simulazione per verificare che il circuito risponda alle specifiche definite precedentemente, nelle seguenti figure sono mostrati i risultati ottenuti.

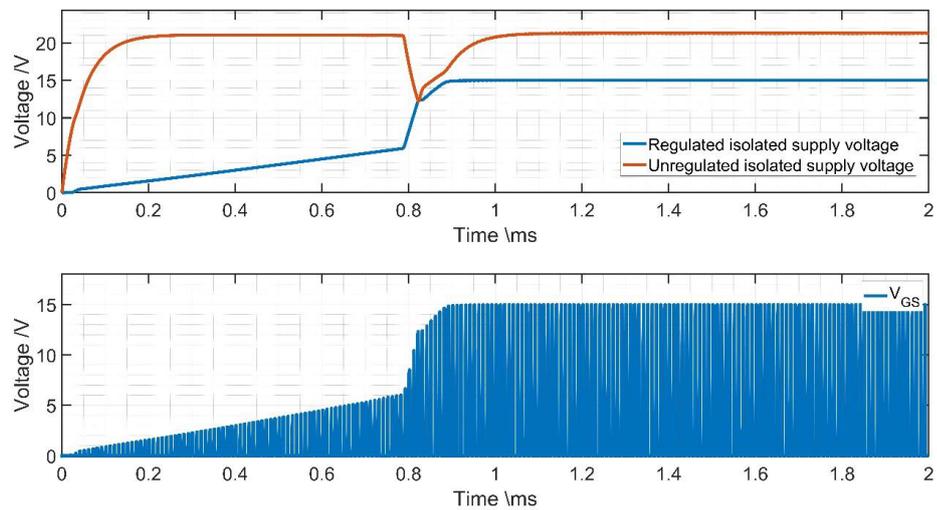


Figura 7.19. Forme d'onda per l'accensione del LDO

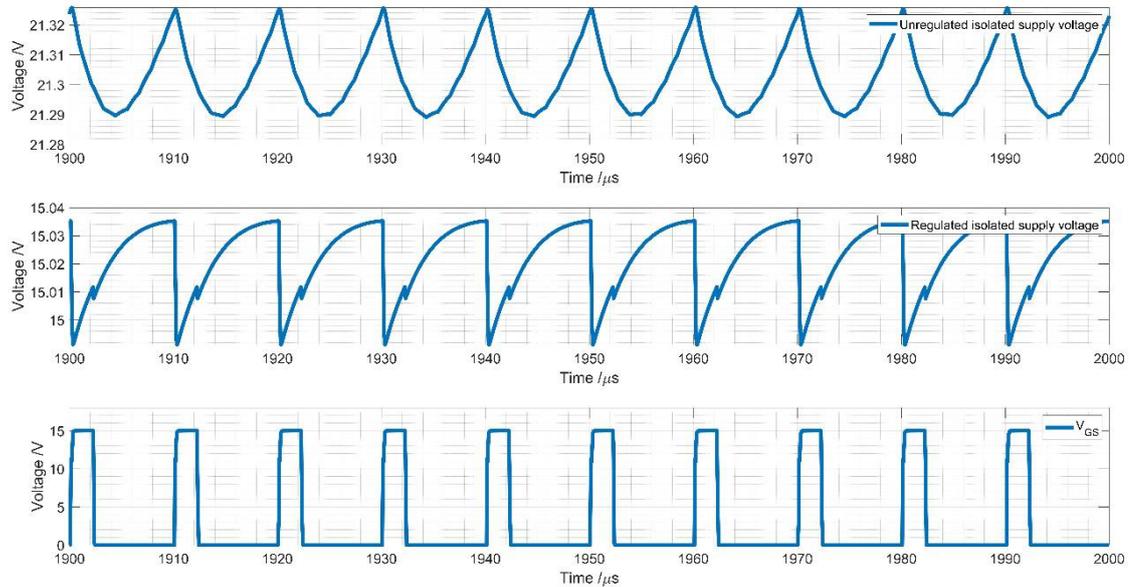


Figura 7.20. Dettaglio ripple di tensione sull'alimentazione isolata a regime

La prima figura presenta il transitorio di accensione del circuito, la seconda è un dettaglio della tensione di alimentazione a regime che mostra come la variazione sulla tensione di alimentazione del gate driver sia limitato a circa 30 mV di ampiezza. Il Ripple sulla tensione di alimentazione è dovuto alla corrente assorbita dal gate driver per far commutare il transistor.

7.4 Circuiti di misura

In questo capitolo si progettano i circuiti di misura del PFC. Dalla sezione 2.2.3 sul controllo ACMC si ricorda come siano necessari tre grandezze per realizzare il controllo del circuito, ovvero:

- Tensione di ingresso AC
- Corrente degli induttori
- Tensione di uscita del PFC

Queste grandezze appartengono a domini di tensione diversi per cui per ogni circuito è necessario realizzare una misura isolata. Per la misura della corrente è già disponibile una tensione di alimentazione riferita al nodo dove si effettua la misura (ind-pos) mentre negli altri due casi non si ha a disposizione tale vantaggio, ciò implica che è necessario anche dotare tali circuiti di misura anche delle tensioni di alimentazioni riferite ai nodi ad alta tensione.

7.4.1 Misura della tensione di ingresso

Per effettuare la misura della tensione di ingresso si è scelto di utilizzare degli amplificatori isolato ovvero un AMC3330 della Texas Instruments. Esso è un circuito integrato che permette la misura isolata di tensioni e correnti mantenendo l'alimentazione solamente dal lato microcontrollore.

L'amplificatore è caratterizzato dai seguenti parametri:

- *Gain fixed* : $G_x = 2$
- $V_{DD2} \in [3.3 - 5]$ V
- $V_{ISO} = 4.25$ kV
- $C_{IO} \simeq 3.5$ pF
- $V_{offset} = 300$ μ V ($T_a = 25$ °C) con $\frac{\Delta V_{offset}}{\Delta T_a} = 4$ $\frac{\mu$ V}{°C} (massimo)
- $I_{offset} = 10$ nA (massimo)
- *Gain error* = ± 0.2 %
- *Gain drift* = ± 45 ppm/°C
- $CMTI = 85$ $\frac{kV}{\mu s}$

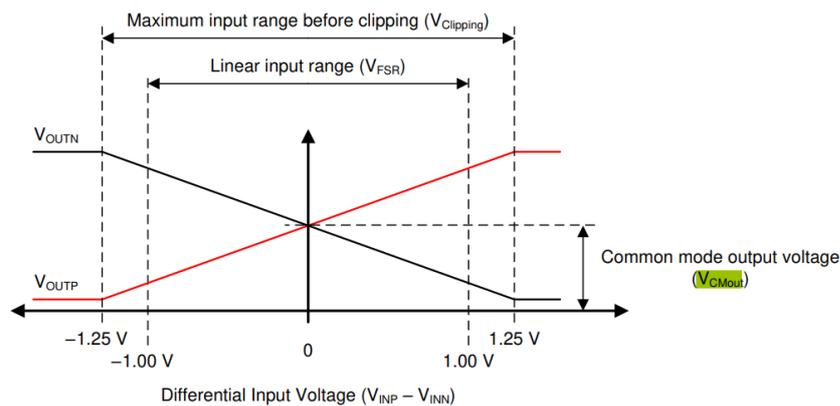


Figura 7.21. Caratteristica di uscita dell'integrato AMC3330

In figura è mostrato il setup di misura che si intende utilizzare

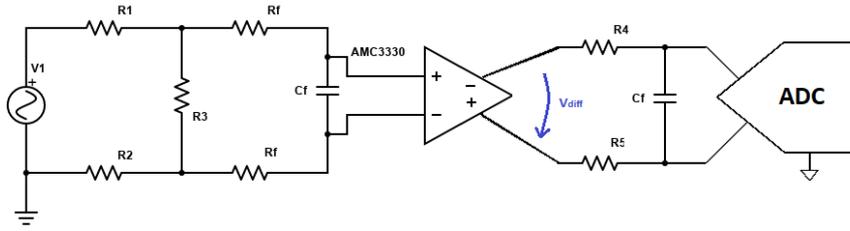


Figura 7.22. Circuito per la misura della tensione di ingresso

Le specifiche di progetto utilizzate sono:

Input range	Output range	Accuracy	Cutoff frequency	P_d
$[-350 - 350] \text{ V}$	$[-2, 2] \text{ V}$	$\frac{\Delta V_{\text{diff}}}{V_{\text{diff}}} \Big _{V_{\text{in}}=300 \text{ V}} \leq 2\%$	$f_p = 1 \text{ kHz}$	0.5 W

La relazione ingresso uscita è pertanto:

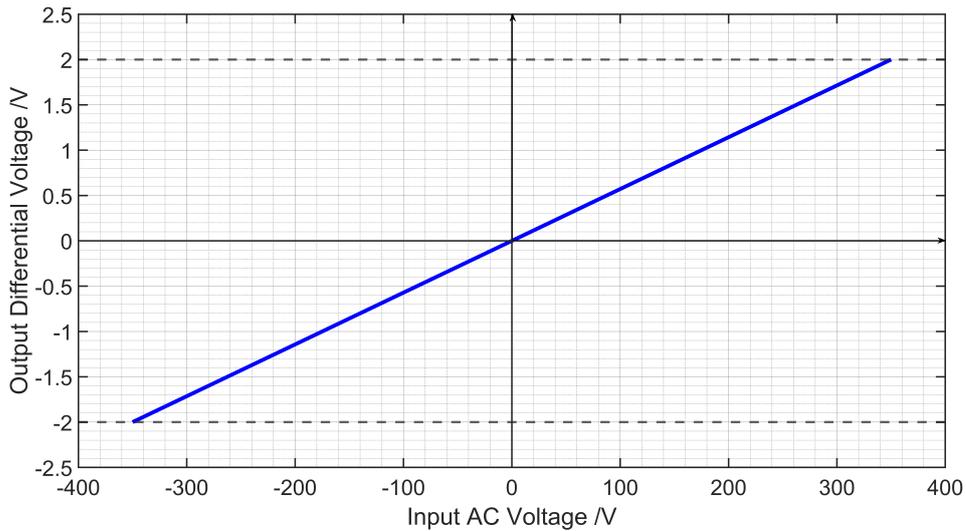


Figura 7.23. Caratteristica ingresso uscita del circuito di misura della tensione di ingresso

L'integrato, per quanto concerne l'immunità ai transienti di modo comune, è sufficiente dato che è caratterizzato da $CMTI_{\text{min}} = 85 \frac{\text{kV}}{\mu\text{s}}$ mentre il transitorio più rapido del circuito (tensione dei nodi che commutano) è caratterizzato da:

$$\frac{\partial V}{\partial t} = \frac{200 \text{ V}}{34 \text{ ns}} = 5.88 \frac{\text{kV}}{\mu\text{s}}. \quad (7.1)$$

Dalle figure 7.22 e 7.23 si nota come i segnali siano tutti di tipo differenziale. In particolare si sceglie di utilizzare il convertitore analogico digitale della NUCLEO in modo differenziale così da rendere il sistema di misura più robusto. Inoltre, si sceglie il range di uscita del circuito di misura sulla base della dinamica di ingresso degli ADC della NUCLEO così da ottenere un adattamento delle dinamiche.

La tensione di uscita differenziale può essere scritta come:

$$V_{\text{diff}} = G_x \cdot G_p = G_x \cdot \frac{R_3}{R_1 + R_2 + R_3} = \frac{4}{700} \rightarrow G_p = \frac{R_3}{R_1 + R_2 + R_3} = \frac{2}{700}$$

con G_x guadagno fisso dell'integrato pari a 2.

Volendo limitare la potenza dissipata dal partitore resistivo e sapendo che la resistenza $R_1, R_2 \gg R_3$ e $V_{\text{OUT}} = 350 \text{ V}$ si impone:

$$R_1 = R_2, \quad P_d^{R_1} + P_d^{R_2} = 0.25 \text{ W} \rightarrow P_d^{R_1} + P_d^{R_2} = \frac{V_{\text{out}}^2}{R_1 + R_2} \rightarrow R_1 = R_2 = 245 \text{ k}\Omega \rightarrow 240 \text{ k}\Omega$$

Avendo R_1 e R_2 [RT1206BRE07240KL] è possibile calcolare $R_3 = \frac{G_p}{1-G_p} \cdot (R_1 + R_2) = 1.40 \text{ k}\Omega$

[ERA-8VPB1401V]

Per progettare il filtro è necessario calcolare $\frac{V_{\text{diff}}(s)}{V_{\text{in}}(s)}$, essa è stata calcolata ed è pari a:

$$\frac{V_{\text{diff}}(s)}{V_{\text{in}}(s)} = \frac{R_3}{R_1 + R_2 + R_3} \cdot \frac{1}{1 + \frac{s}{\omega_p}}$$

Con:

$$\begin{cases} \omega_p = \frac{1}{R_3 C_f} \\ R_f = 0 \text{ }\Omega \end{cases}$$

Si prevede di usare come condensatore di filtro un SMD con package 0805 e classe di tensione 16 VDC; in questo caso si sceglie:

$$f_p = 1 \text{ kHz con } R_3 = 1.4 \text{ k}\Omega \quad ; \quad C_f = \frac{1}{2\pi f_p R_3} = 114 \text{ nF}$$

STIME INCERTEZZA

Infine è necessario stimare l'errore di misura e scegliere la tolleranza dei componenti, l'errore introdotto dalle tolleranze sui valori dei resistore è:

$$\frac{\Delta V_{\text{diff}}}{V_{\text{diff}}} \Big|_{\text{res}} = \left(\frac{\partial V_{\text{diff}}}{\partial R_3} \cdot \Delta R_3 + \frac{\partial V_{\text{diff}}}{\partial R_1} \cdot \Delta R_1 + \frac{\partial V_{\text{diff}}}{\partial R_2} \cdot \Delta R_2 \right)$$

$$\begin{cases} \frac{\partial V_{\text{diff}}}{\partial R_3} = G_x \frac{R_1 + R_2}{(R_1 + R_2 + R_3)^2} = 4.14 \cdot 10^{-3} \\ \frac{\partial V_{\text{diff}}}{\partial R_1} = \frac{\partial V_{\text{diff}}}{\partial R_2} = G_x \frac{R_3}{(R_1 + R_2 + R_3)^2} = 1.21 \cdot 10^{-5} \end{cases}$$

$$\Delta V_{\text{diff}}^{\text{res}} = G_x \left[\frac{R_1 + R_2}{(R_1 + R_2 + R_3)^2} \cdot \Delta R_3 + \frac{R_3}{(R_1 + R_2 + R_3)^2} \cdot \Delta R_1 + \frac{R_3}{(R_1 + R_2 + R_3)^2} \cdot \Delta R_2 \right] \cdot V_{\text{in}}$$

Se R_1 ed R_2 sono resistori all'0.5% e R_3 al 0.1 % si ha:

$$\Delta V_{\text{diff}}^{\text{res}}|_{V_{\text{in}}=350 \text{ V}} \simeq \mathbf{12.5 \text{ mV}}$$

Il contributo all'errore dovuto all'offset di tensione può essere calcolato come

$$V_{\text{diff}}^{\text{Offset}} = G_x \cdot [V_{\text{Offset}}^{\text{initial}} + \Delta T \cdot TCV_{\text{OS}}] = \mathbf{0.54 \text{ mV}} \text{ con } \begin{cases} V_{\text{Offset}}^{\text{initial}} = 300 \mu\text{V} \\ TCV_{\text{OS}} = 4 \frac{\mu\text{V}}{^\circ\text{C}} \\ \Delta T = 60 \text{ } ^\circ\text{C} \end{cases}$$

Bisogna inoltre considerare l'incertezza sul valore del guadagno dell'amplificatore, esso è fornito dal produttore ed è pari a $\frac{\Delta G_x}{G_x}|^{\text{initial}} = \pm 0.2 \% \text{ con Gain drift} = \pm 45 \text{ ppm}/^\circ\text{C}$

$$\Delta V_{\text{diff}}^{\text{gain}} = \frac{\partial \Delta V_{\text{diff}}}{\partial G_x} \cdot \Delta G_x = \frac{R_3}{R_1 + R_2 + R_3} \cdot (\Delta G_x^{\text{initial}} + \text{Gain drift} \cdot \Delta T) = \frac{2}{700} \cdot V_{\text{in}} \cdot (4 \cdot 10^{-3} + 45 \cdot 10^{-6} \cdot 60)$$

$$\Delta V_{\text{diff}}|_{V_{\text{in}}=350 \text{ V}} = 0.54 \text{ mV} + 10.2 \text{ mV} + 6.7 \text{ mV} = 17.44 \text{ mV}$$

$$\frac{\Delta V_{\text{diff}}}{V_{\text{diff}}}|_{V_{\text{in}}=350 \text{ V}} = \frac{17.44 \text{ mV}}{2 \text{ V}} = \mathbf{0.87 \%}$$

7.4.2 Misura della tensione di uscita (HVDC)

Anche per effettuare la misura della tensione di uscita del PFC si sceglie di utilizzare un AMC3330 data la semplicità della misura e le ottime prestazioni dell'integrato. Nella figura 7.24 è mostrato il setup di misura.

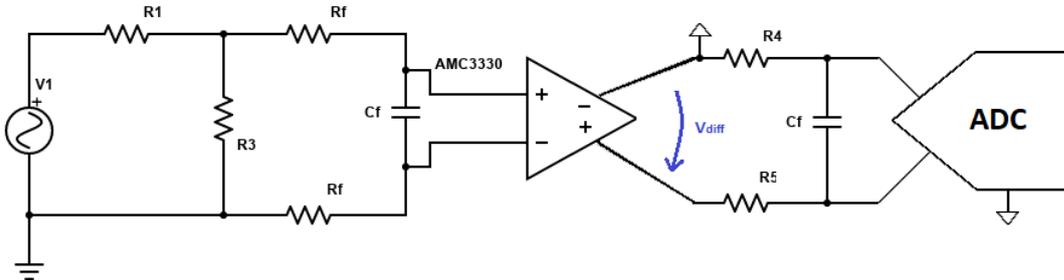


Figura 7.24. Circuito semplificato di misura della tensione di uscita

Si noti come l'ingresso sia usato come un single ended anziché come un differenziale, pertanto la tensione in ingresso sarà sempre positiva o nulla, in questo modo si perde metà della dinamica di ingresso. L'adattamento della dinamica sebbene possibile richiederebbe l'uso di una tensione di riferimento negativa, quindi si preferisce perdere metà della dinamica. L'integrato, per quanto riguarda l'immunità ai transienti di modo comune, è compatibile con il tipo di misura che si vuole realizzare come dimostrato in 7.4.1.

Le specifiche di progetto utilizzate sono:

Input range	Output range	Accuracy	Cutoff frequency	P_d
[0 – 500] V	[0, 2] V	$\frac{\Delta V_{OUT}}{V_{OUT}} \Big _{V_{in}=300 V} \leq 2\%$	$f_p = 100 Hz$	0.5 W

La relazione ingresso uscita è pertanto:

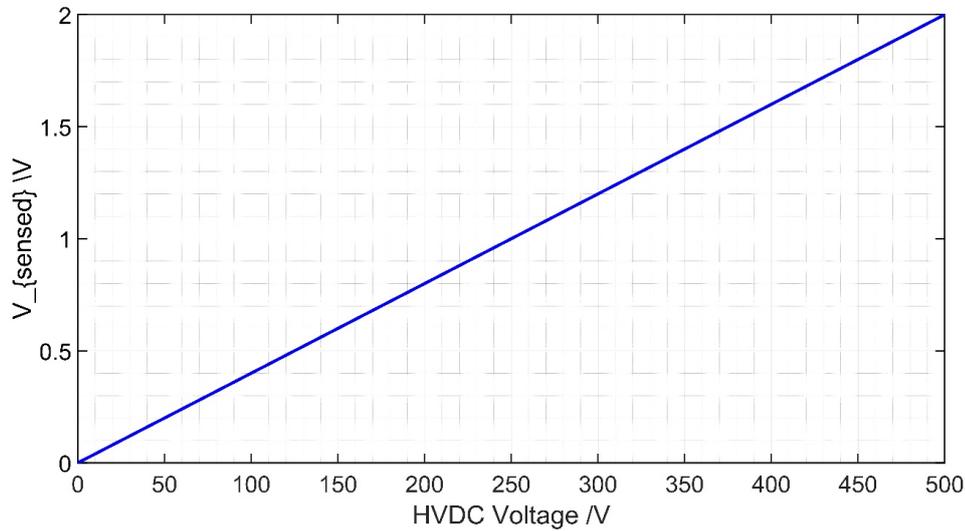


Figura 7.25. Caratteristica ingresso-uscita del circuito di misura della tensione di uscita

$$V_{sensed} = G_x \cdot G_p = G_x \cdot \frac{R_3}{R_1 + R_3} = 4 \cdot 10^{-3} \rightarrow G_p = \frac{R_3}{R_1 + R_3} = 2 \cdot 10^{-3}$$

con G_x guadagno fisso dell'integrato pari a 2. Volendo limitare la potenza dissipata dal partitore resistivo e sapendo che la resistenza $R_1 \gg R_3$ si impone:

$$P_d^{R_1} = 0.25 W \rightarrow P_d^{R_1} = \frac{V_{out}^2}{R_1} \rightarrow R_1 = 1M\Omega \text{ se } V_{OUT} = 500 V$$

Avendo R_1 è possibile calcolare $R_3 = \frac{G_p}{1-G_p} \cdot R_1 = 2.004 k\Omega \rightarrow 2 k\Omega$

Per progettare il filtro è necessario calcolare $\frac{V_{out}(s)}{V_{in}(s)}$, essa è stata calcolata ed è pari a:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{R_3}{R_1 + R_3} \cdot \frac{1 + \frac{s}{\omega_z}}{1 + \frac{s}{\omega_{p2}}}$$

Con:

$$\begin{cases} \omega_{p2} = \frac{R_1 + R_3}{R_1} \cdot \frac{1}{(2R_f + R_3)C_f} \\ \omega_z = \frac{1}{2C_f R_f} \end{cases}$$

Dalle precedenti relazioni si può notare come l'inserimento di R_f comporta la generazione di uno zero. Volendo massimizzare l'attenuazione del filtro anche per frequenze alte non si prevede l'inserimento di R_f .

Si prevede di usare come condensatore di filtro un SMD con package 0805 e classe di tensione 16 VDC; in questo caso si sceglie:

$$C_f = 1 \mu F, f_{p2} = 80 \text{ Hz con } R_3 = 2 \text{ k}\Omega$$

Infine è necessario stimare l'errore di misura e scegliere la tolleranza dei componenti, l'errore introdotto dalle tolleranze sui valori dei resistore è:

$$\Delta V_{OUT}|^{res} = \frac{\partial V_{OUT}}{\partial R_3} \cdot \Delta R_3 + \frac{\partial V_{OUT}}{\partial R_1} \cdot \Delta R_1$$

$$\begin{cases} \frac{\partial V_{OUT}}{\partial R_3} = G_x \frac{R_1}{(R_1 + R_3)^2} V_{in} \\ \frac{\partial V_{OUT}}{\partial R_1} = G_x \frac{R_3}{(R_1 + R_3)^2} V_{in} \end{cases}$$

$$\Delta V_{OUT}|^{res} = G_x \left[\frac{R_1}{(R_1 + R_3)^2} \cdot \Delta R_3 + \frac{R_3}{(R_3 + R_1)^2} \cdot \Delta R_1 \right] V_{in}$$

Se tutti i resistori hanno una tolleranza del $\pm 0.5\%$, tranne R_3 al 0.1% si ottiene:

$$\Delta V_{OUT} = 1.2 \text{ mV} + 6 \text{ mV} = \pm 7.2 \text{ mV} \rightarrow \frac{\Delta V_{OUT}}{V_{OUT}}|^{res} \simeq \pm 0.6 \%$$

PART NUMBER RESISTORE 1 $M\Omega$ 0.5% 500 mW : [ERJ-P06D1004V](#)

PART NUMBER RESISTORE 2 $k\Omega$ 0.1% 100 mW : [RT0603BRD072KL](#)

Il contributo all'errore dovuto all'offset di tensione può essere calcolato come

$$V_{out}^{Offset} = G_x \cdot [V_{Offset}^{initial} + \Delta T \cdot TCV_{OS}] = \pm 0.54 \text{ mV con } \begin{cases} V_{Offset}^{initial} = 300 \mu V \\ TCV_{OS} = 4 \frac{\mu V}{^\circ C} \\ \Delta T = 60 \text{ } ^\circ C \end{cases}$$

Bisogna inoltre considerare l'incertezza sul valore del guadagno dell'amplificatore, esso è fornito dal produttore ed è pari a $\frac{\Delta G_x}{G_x}|^{initial} = \pm 0.2 \%$ con $Gain\ drift = \pm 45 ppm \backslash ^\circ C$

$$\frac{\Delta V_{OUT}}{V_{OUT}}|^{gain} = \frac{\partial V_{OUT}}{\partial G_x} \cdot \Delta G_x = \frac{R_3}{R_1 + R_3} \cdot (\Delta G_x^{initial} + Gain\ drift \cdot \Delta T) \cdot V_{in} = 4.02 \text{ mV}$$

$$\frac{\Delta V_{\text{OUT}}}{V_{\text{OUT}}}\bigg|_{V_{\text{in}}=300\text{ V}} = \frac{7.2\text{ mV} + 0.54\text{ mV} + 4.02\text{ mV}}{V_{\text{OUT}}} = \pm 0.98\% \quad (V_{\text{OUT}} = 1.2\text{ V se } V_{\text{in}} = 300\text{ V})$$

NB: non viene considerato il contributo dell'ADC del microcontrollore perché ancora esso non è stato definito. Una scelta possibile è il STM32G474RE della ST, questo microcontrollore ha 3 ADC con 10.4 bit di ENOB (single ended).

$$\Delta V_{\text{OUT}} = LSB = \frac{V_{\text{FS}}}{2^{\text{ENOB}} - 1} = \frac{2.05\text{ V}}{2^{10.9} - 1} = 2.48\text{ mV} \rightarrow \frac{\Delta V_{\text{OUT}}}{V_{\text{OUT}}}\bigg|_{V_{\text{in}}=300\text{ V}}^{\text{ADC}} = 0.1\%$$

7.4.3 Misura della corrente dell'induttore

La misura della corrente dell'induttore si basa su un amplificatore isolato della Texas Instruments ovvero il AMC1300B, le cui caratteristiche principali sono riassunte di seguito:

- *Gain fixed* : $G_x = 8$
- $V_{DD2} \in [3.3 - 5]\text{ V}$
- $V_{\text{ISO}} = 4.25\text{ kV}$
- $C_{\text{IO}} \simeq 3\text{ pF}$
- $V_{\text{offset}} = \pm 0.2\text{ mV}$ ($T_a = 25\text{ }^\circ\text{C}$) con $\frac{\Delta V_{\text{offset}}}{\Delta T_a} = 0.9\frac{\mu\text{V}}{^\circ\text{C}}$ (massimo)
- $I_{\text{offset}} = 10\text{ nA}$ (massimo)
- *Gain error* = $\pm 0.3\%$
- *Gain drift* = $\pm 30\text{ ppm}/^\circ\text{C}$

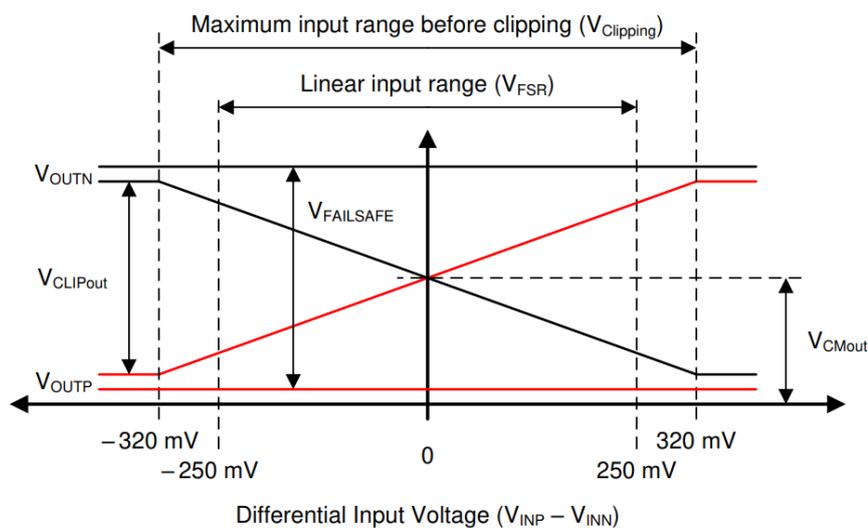


Figura 7.26. Caratteristiche in-out dell'AMC1300B

Le specifiche utilizzate per il progetto del circuito sono riportate di seguito:

Input range	Output range	Accuracy	Cutoff frequency	P_d
$[-5; +5]$ A	$[-2.5; 2.5]$ V	$\frac{\Delta V_{OUT}}{V_{OUT}} \Big _{I_{Ind}=5 A} \leq 2\%$	$f_p = 1 kHz$	0.5 W

Come per la misura della tensione di ingresso anche in questo caso è possibile effettuare delle misure di tipo differenziale, il setup di misura è riportato nella seguente figura:

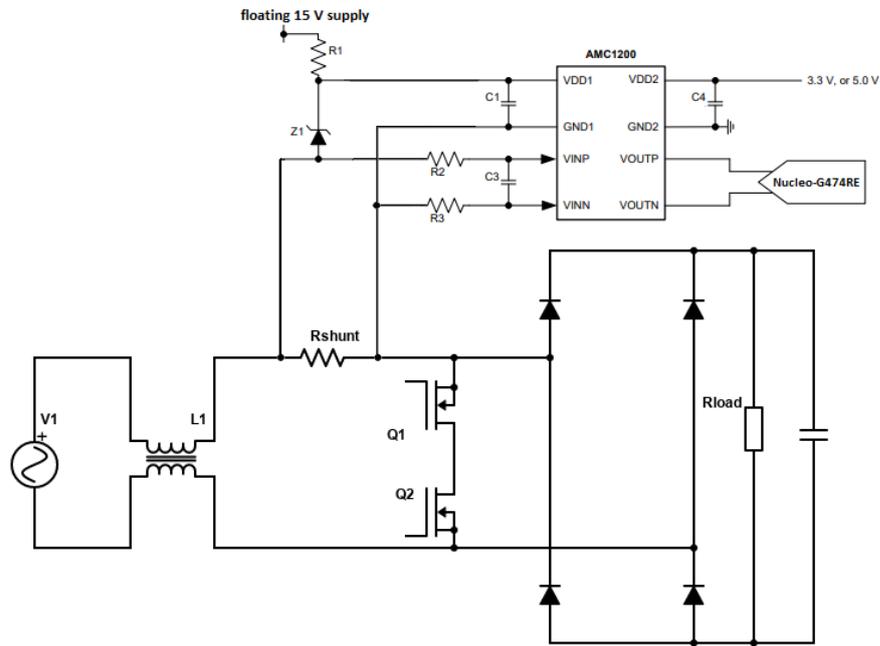


Figura 7.27. Schema del circuito di misura della corrente dell'induttore

Come per il circuito di misura della tensione AC anche in questo caso è possibile adattare le dinamiche di ingresso e di uscita dell'ADC e del circuito di misura, per cui la caratteristica ingresso uscita sarà:

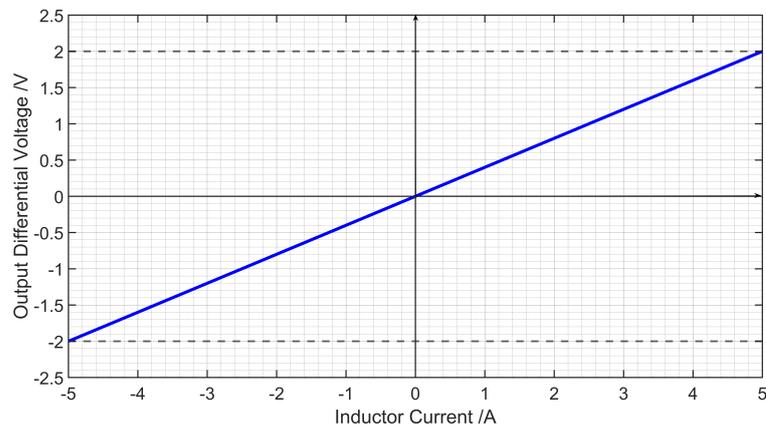


Figura 7.28. Relazione ingresso uscita del circuito di misura della corrente nell'induttore

Considerando che l'intervallo di linearità di ingresso dell'amplificatore isolato è $V_{in}^{AMC1300B} \in$

$[-250mV; 250 mV]$ si impone che per $I_L = 5 A \longrightarrow V_{in} = 250 mV$

$$V_{in}^{AMC1200} = I_L \cdot R_{shunt} \longrightarrow R_3 = \frac{V_{in}^{max}}{I_L^{max}} = \frac{250 mV}{5 A} = 50 m\Omega$$

Imponendo tali condizioni si ottiene automaticamente anche l'adattamento delle dinamiche di uscita del AMC1300B e di ingresso dell'ADC della STM32, infatti si ha

$$V_{diff} = G_x \cdot I_L \cdot R_{shunt}$$

con $G_x = 8.2 \longrightarrow V_{in}^{ADC} \in [-2.05V; 2.05V]$

La potenza dissipata dal resistore di shunt è pari a:

$$P_D^{max} = I_{L,rms}^2 \cdot R_{shunt} = (2.2 A)^2 \cdot 50 m\Omega = 0.242 W$$

Una possibile scelta per un tale resistore di shunt è PCS2512DR0500ET.

Per alimentare il circuito si sceglie di utilizzare la 15 V isolata disponibile dal circuito di pilotaggio del MOS Q1. Da essa sarà necessario ottenere una tensione a 3.3 che alimenti il AMC1300B. Da datasheet si ottiene la massima corrente assorbita dall'integrato che è pari a 8.5 mA. Di conseguenza si progetta il resistore R1 affinché faccia fluire una corrente minima di 10 mA:

$$I_{R1}^{min} = \frac{V_{iso}^{min} - V_Z^{max}}{R_{max}} \longrightarrow R_1 = \frac{13.2 - 3.3 V}{10 mA} = 1 k\Omega$$

con CMDZ3L3 come diodo zener.

STIME INCERTEZZA

Infine è necessario stimare l'errore di misura e scegliere la tolleranza dei componenti, l'errore introdotto dalle tolleranze sui valori dei resistore è:

$$\frac{\Delta V_{diff}}{V_{diff}} \Big|^{res} = \left(\frac{\partial V_{diff}}{\partial R_3} \cdot \Delta R_3 \right)$$

$$\frac{\partial V_{diff}}{\partial R_3} = G_x I_m = \begin{cases} 0.8 A & (I_m = 100 mA) \\ 40 A & (I_m = 5 A) \end{cases}$$

$$\Delta V_{diff} |^{res} = G_x I_m \cdot \Delta R_3 = \begin{cases} 0.20 mV & (I_m = 100 mA) \\ 10 m V & (I_m = 5 A) \end{cases}$$

Il contributo all'errore dovuto all'offset di tensione può essere calcolato come

$$V_{diff}^{Offset} = G_x \cdot \left[V_{Offset}^{initial} + \Delta T \cdot TCV_{OS} \right] = 2.03 mV \text{ con } \begin{cases} V_{Offset}^{initial} = \pm 0.2 mV \\ TCV_{OS} = 0.9 \frac{\mu V}{^\circ C} \\ \Delta T = 60 ^\circ C \end{cases}$$

Bisogna inoltre considerare l'incertezza sul valore del guadagno dell'amplificatore, esso è fornito dal produttore ed è pari a $\left. \frac{\Delta G_x}{G_x} \right|_{\text{initial}} = \pm 0.3\% \text{ con Gain drift} = \pm 30 \text{ ppm}/^\circ\text{C}$

$$\begin{aligned} \Delta V_{\text{diff}}^{\text{gain}} &= \frac{\partial \Delta V_{\text{diff}}}{\partial G_x} \cdot \Delta G_x = R_3 \cdot I_m \cdot \left(\Delta G_x^{\text{initial}} + \text{Gain drift} \cdot \Delta T \right) = \\ &= 50 \text{ m}\Omega \cdot I_m \cdot \left(24 \cdot 10^{-3} + 30 \cdot 10^{-6} \cdot 60 \right) = \begin{cases} 129 \text{ }\mu\text{V} (I_m = 100 \text{ mA}) \\ 6.45 \text{ mV} (I_m = 5 \text{ A}) \end{cases} \end{aligned}$$

$$\Delta V_{\text{diff}} = \begin{cases} 2.36 \text{ mV} (I_m = 100 \text{ mA}) \\ 18.5 \text{ mV} \end{cases}$$

$$\frac{\Delta V_{\text{diff}}}{V_{\text{diff}}} = \begin{cases} \pm 5.9\% (I_m = 100 \text{ mA}) \\ \pm 0.925\% \end{cases}$$

7.5 Progetto del dissipatore e analisi termica dei circuiti

Nel progetto di un circuito di potenza è cruciale la stima del calore prodotto dal circuito ed il progetto di un sistema di dissipazione termica che permetta al sistema di limitare la temperatura raggiunta dal circuito a livelli sicuri. In questo modo si estende la vita utile del circuito e se ne migliora l'affidabilità. Il primo passo da seguire è quello di avere una stima affidabile della potenza termica da dissipare. Successivamente bisogna capire quali sono le resistenze termiche che giocano un ruolo non trascurabile e fornirne una stima. Infine usando le analogie termo-elettriche sulla base di simulazioni SPICE è possibile progettare opportunamente il dissipatore di calore. Nella tabella 7.5 sono riportati i valori di potenza dissipata dal PFC Symmetric, per cui si progetta il dissipatore, nel caso in cui ci si trovi nel picco positivo della tensione di ingresso.

	M1	M2	D1	D2	D3	D4
P /W	3.056	0.102	1.238	47 m	43m	1.239

Tabella 7.7. Potenza dissipata dai dispositivi di potenza durante il picco positivo della tensione di ingresso

In figura 7.29 è mostrato il PFC symmetric.

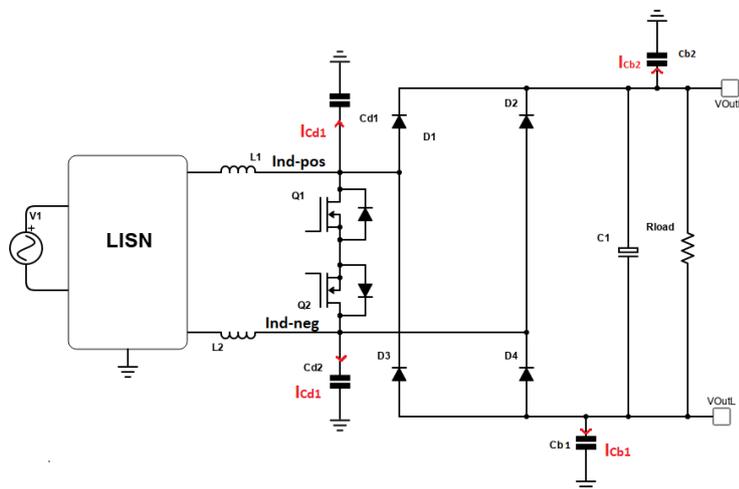


Figura 7.29. Schema del PFC Monofase "Symmetric"

Durante il ciclo AC positivo il MOS Q1 lavora come main switch quindi conduce solamente durante le commutazioni, le perdite a cui è sottoposto sono sia quelle legate alla conduzione che alle commutazioni. Invece il transistor Q2 non commuta ma rimane acceso per l'intero semi-ciclo della tensione di ingresso, segue che le perdite legate a Q2 siano solamente dovute alla conduzione per cui risultano inferiori rispetto a quelle di Q1. Per quanto riguarda i diodi, durante la semi-onda considerata, operano esclusivamente D1 e D4, mentre D2 e D3 rimangono spenti.

Se si lavorasse nel ciclo AC negativo allora il ruolo dei MOS Q1 ed Q2 si invertirebbe come anche delle coppie di diodi (D1,D4) con (D2,D3).

Questa analisi è considerata nel caso peggiore dato che si suppone di lavorare durante il picco del ciclo AC, in questa situazione i transistori sono infatti percorsi dalla massima corrente, inoltre si considera come potenza media dissipata quella massima.

Le principali resistenze termiche sono:

- **Resistenza termica tra giunzione e package**

- **Resistenza tra package e pad isolante**

- **Resistenza termica della pad isolante**

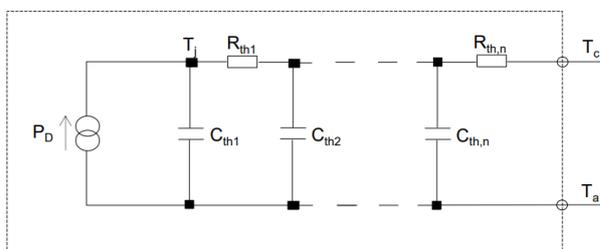
- **Resistenza termica del dissipatore**

Resistenza termica tra giunzione e package

Dal datasheet dei componenti, in formato D2PACK si ottengono i seguenti modelli, rispettivamente per transistori e diodi.

●Typical Transient Thermal Characteristics

Symbol	Value	Unit	Symbol	Value	Unit
R_{th1}	1.14×10^{-1}	K/W	C_{th1}	2.18×10^{-3}	Ws/K
R_{th2}	1.31×10^{-1}		C_{th2}	3.70×10^{-2}	
R_{th3}	4.56×10^{-1}		C_{th3}	1.09×10^{-2}	



●Typical Transient Thermal Characteristics

Symbol	Value	Unit	Symbol	Value	Unit
R_{th1}	1.58E-01	K/W	C_{th1}	2.30E-04	Ws/K
R_{th2}	1.06E+00		C_{th2}	3.55E-03	
R_{th3}	1.01E-03		C_{th3}	3.99E+00	

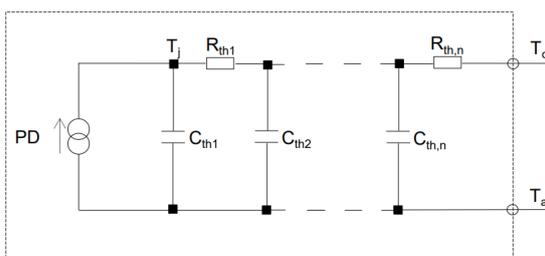


Figura 7.30. Modelli termici dei transistori (sopra) e dei diodi (sotto)

Resistenza tra package e pad isolante

Questa dipende dal numero di via usati e dalle loro caratteristiche geometriche, si ottiene:

Inputs:

Finished Hole Dia	0.711	mm ▼
Plating Thickness	3	oz/ft^2 ▼
Via Length	0.5	mm ▼

Optional Inputs:

Applied Current	5	Amps
Plating Resistivity	1.9E-6	Ohm-cm

Electrical Results:

Resistance	0.000035	Ohms
Voltage Drop	0.000176	Volts
Power Loss	0.000882	Watts
Estimated Ampacity	10.5	Amps

Thermal Results:

Thermal Resistance	4.62	Deg. C/Watt
--------------------	------	-------------

Figura 7.31. Stime della resistenza termica di un via

Dal layout si sono inseriti 24 via per i diodi mentre 25 per i MOS.
Quindi si ha

$$R_{th,via}^{MOS} = \frac{R_{th}^{VIA}}{\#VIA} = \frac{4.62}{25} = 0.185 \frac{K}{W}$$

$$R_{th,via}^{Diode} = \frac{R_{th}^{VIA}}{\#VIA} = \frac{4.62}{24} = 0.193 \frac{K}{W}$$

Resistenza termica della pad isolante

La resistenza termica della pad isolante dipende sia dalle caratteristiche della pad ma anche dall'area di contatto tra questa e il dissipatore, questa differisce tra mos e diodi:

$$A_{diss}^{MOS} = 103 \text{ mm}^2 ; A_{diss}^{Diode} = 82 \text{ mm}^2$$

Avendo una pad caratterizzata da una conduttanza pari a 1.2 W/k/m, uno spessore di 0.23 mm si ottiene

$$R_{th,pad}^{MOS} = \frac{L}{\lambda \cdot A_{diss}^{MOS}} = \frac{0.23 \text{ mm}}{1.2 \frac{W}{mK} \cdot 300 \text{ mm}^2} = 1.86 \frac{K}{W}$$

$$R_{th,pad}^{Diode} = \frac{L}{\lambda \cdot A_{diss}^{Diode}} = \frac{0.23 \text{ mm}}{1.2 \frac{W}{mK} \cdot 180 \text{ mm}^2} = 2.33 \frac{K}{W}$$

Resistenza termica del dissipatore

Questa verrà dimensionata a partire da $\Delta T(\max) = 50\text{ }^\circ\text{C}$, scelta arbitrariamente come specifica di progetto.

Viene quindi effettuata una simulazione SPICE in cui è presente ogni componente considerato. Si noti come per i transistori il generatore di corrente che simula la potenza dissipata sia impostato a 3.056 A, mentre per i diodi lo stesso valga 1.239 A. Tutti i sei componenti sono connessi ad un'unica resistenza termica finale che simula il dissipatore di calore comune a tutta la scheda di potenza.

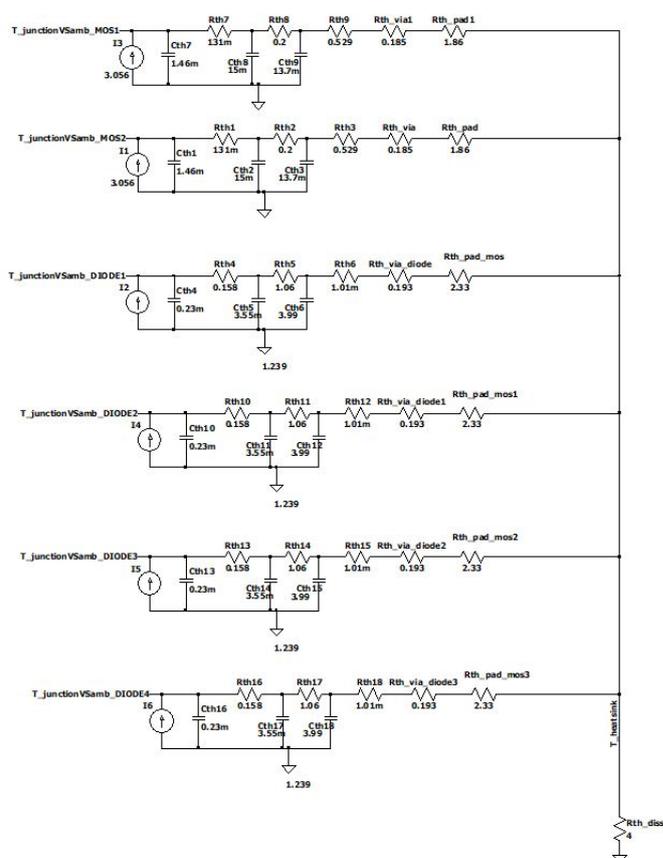


Figura 7.32.

Si suppone si usare un dissipatore con una resistenza termica di 4 K/W si ottengono le seguenti temperature a regime per il worst case (ovvero potenza costante al valore massimo per ogni componente):

	MOS	DIODO	DISSIPATORE
Delta Temperatura /K	53.15 K	48.91 K	44.3 K

Tabella 7.9. Risultati delle simulazioni SPICE effettuate

7.6 Layout delle schede

In questa sezione viene affrontato il progetto, su Altium designer, dei PCB (*Printed Circuit Board*) che compongono il PFC. Un circuito stampato o PCB è uno strumento tramite il quale è possibile interconnettere diversi componenti elettronici tra loro secondo uno schema preciso. Esso è composto da delle piste conduttive incise su di un dielettrico, di norma FR-4. Un circuito stampato può avere un numero di "strati" (*layer*) di materiale conduttivo che può variare da 2 fino a 16. Ovviamente, una PCB con un numero superiore di *layer* viene utilizzata per progetti complessi che richiedono un elevato numero di connessioni. Nel caso delle schede da realizzare per questo progetto il numero di componenti per ogni scheda è limitato e quindi delle semplici schede con 2 strati possono essere sufficienti, inoltre si deve ricordare che il costo di un circuito stampato con più strati è notevolmente superiore ad uno con soli due. Lo strato superiore viene chiamato "top layer", mentre quello inferiore "bottom layer". Per il progetto dei circuiti stampati, in particolare per il piazzamento e l'interconnessione dei componenti, si è fatto riferimento al testo [5][*Fundamentals of Power Electronics*].

7.6.1 Layout scheda di potenza

Nella seguente tabella vengono riportate le caratteristiche della PCB di potenza:

Materiale dielettrico	FR-4
Spessore dielettrico	0.5 mm
Minima distanza tra piste HV	3 mm
Spessore piste	108 μm

Tabella 7.10.

Dalla figura 7.33 si può notare come i componenti siano piazzati in modo che il flusso di potenza sia dall'alto verso il basso. Infatti, nella parte superiore si trovano le due piste da connettere all'ingresso AC della rete (o al filtro EMI), più in basso ci sono i MOS e i diodi ed infine nell'estremità inferiore della scheda è presente il DC-LINK. Nella parte sinistra del circuito stampato, connesso agli ingressi AC, è presente il convertitore AC/DC che genera la 5 V per alimentare i circuiti di pilotaggio, misura e controllo posti nelle altre schede del sistema.

Nel progetto di questa scheda si è prestata la massima attenzione al tracciamento delle piste che sono legate a nodi che commutano del PFC. Per ridurre i parassiti capacitivi ed induttivi delle piste si è cercato di piazzare i componenti di potenza (MOS e Diodi) in modo da ridurre la lunghezza delle interconnessioni. Inoltre per quanto riguarda i nodi "ind-pos" ed "ind-neg" si è fatto in modo da rendere le due piste simmetriche tra loro. In questo modo si può ottenere un buon matching tra i parassiti dei due nodi. Il circuito di misura della corrente è presente in questa scheda ed è collegato ad un nodo che commuta, quindi i parassiti associati ad esso sono fonte di asimmetria nel circuito. Per tale ragione si è cercato di ridurre al minimo l'area occupata da questo circuito. Nella seguente figura 7.33 sono mostrati i due *layer* (bottom e top layer) della scheda.

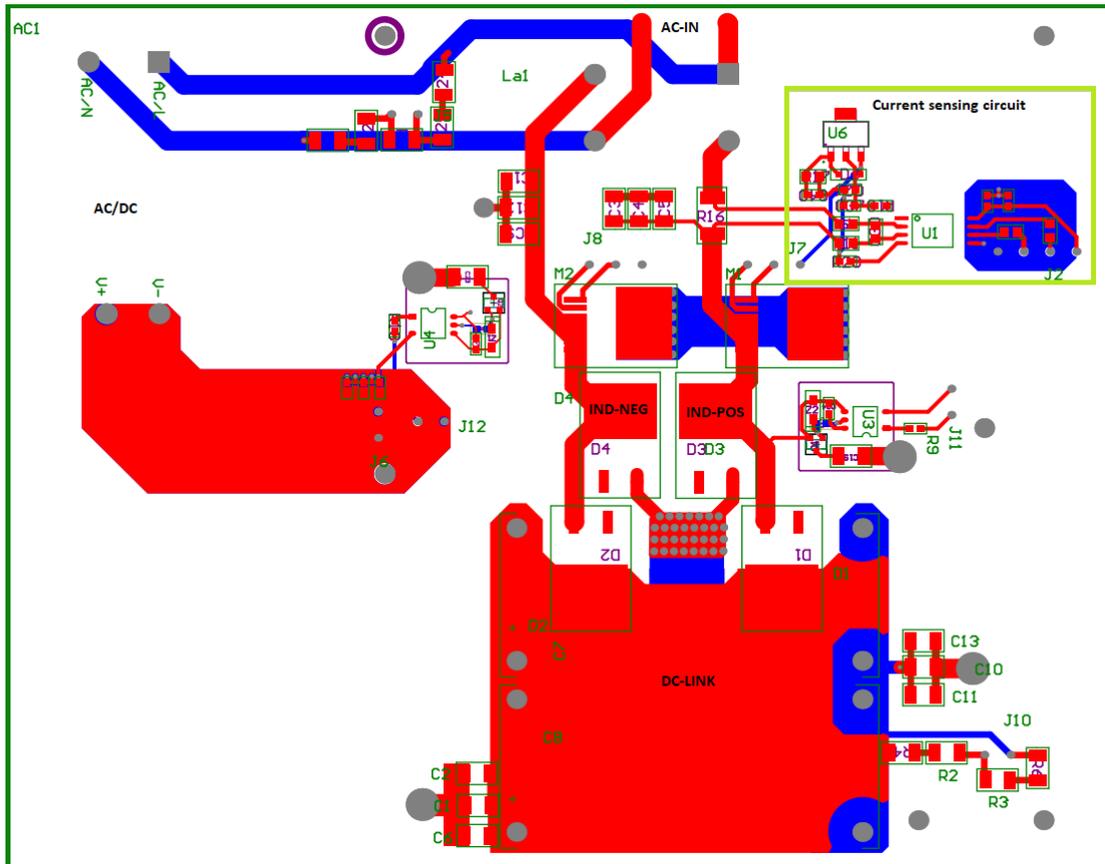


Figura 7.33. Layout del circuito stampato della scheda di potenza

7.6.2 Layout scheda di pilotaggio e misura

Nella seguente tabella vengono riportate le caratteristiche della PCB di pilotaggio e misura:

Materiale dielettrico	FR-4
Spessore dielettrico	0.5 mm
Minima distanza tra piste HV	3 mm
Spessore piste	18 μm

Tabella 7.11.

Questo circuito stampato implementa le funzioni di misura e pilotaggio dei transistori e si pone come un'interfaccia tra la scheda di potenza e la NUCLEO. Di conseguenza in questa PCB si ha la compresenza di diversi domini di tensione che devono rimanere isolati l'uno dall'altro. Possono essere distinti 5 domini di tensione. Quello più vasto è del

microcontrollore, mentre le quattro "isole" sono misura tensione AC, pilotaggio M2, pilotaggio M1 e misura della HVDC, da sinistra a destra e dall'alto in basso, rispettivamente. Per rendere più semplice l'identificazione dei blocchi nella figura 7.34 ogni "isola" è stata contrassegnata con una lettera la quale legenda è riportata di seguito:

- **A:** Dominio di tensione del microcontrollore.
- **B:** Misura della tensione AC di ingresso.
- **C:** Pilotaggio MOS M2 (dominio ind-neg).
- **D:** Pilotaggio MOS M1 (dominio ind-pos).
- **E:** Misura della tensione di uscita HVDC.

Generalmente nella progettazione di un circuito stampato si fa in modo che la strato superiore (top layer) sia quello dove i componenti vengono saldati mentre lo strato inferiore (bottom layer) sia composto da un unico piano di rame connesso al potenziale di riferimento (GND). Si adotta questa tecnica nel progetto dell'isola A ovvero quella riferita al potenziale della NUCLEO. Adottando questa scelta è possibile connettere dei componenti a GND attraverso dei via, delle strutture metalliche che permettono la connessione tra il top layer ed il bottom layer. Per quanto riguarda il positivo dell'alimentazione a 3.3 V si genera un unico poligono di rame sul top layer. Utilizzando queste tecniche si riducono considerevolmente le aree delle spire e l'impedenza caratteristica delle linee di distribuzione dell'alimentazione [5][*Fundamentals of Power Electronics*]. I via possono avere altri utilizzi come il tracciamento di piste che non potrebbero essere poste sul top layer a causa di altre piste che impediscono il passaggio. In questi casi si traccia la pista sul bottom layer e si connettono i componenti alla pista attraverso dei via. Un importante criterio da seguire quando si progetta un circuito stampato è quello di separare, quando possibile, la parte digitale da quella analogica così da ridurre l'entità dei disturbi nei segnali analogici. Tuttavia questo linea guida non è sempre di semplice applicazione data la struttura del circuito. Si pensi ai circuiti di misura delle tensioni, essi necessitano di una alimentazione isolata, basata su dei trasformatori pilotati in push-pull, che dovranno necessariamente essere posti necessariamente nei pressi degli amplificatori isolati.

Come noto nella [sezione 7.4](#) e [sezione 7.3](#), i componenti che permettono la comunicazione tra un dominio ed un altro sono isolati, quindi nessun materiale conduttore può essere posto sotto a questi pena la riduzione dell'efficacia dell'isolamento. La distanza minima tra due conduttori appartenenti a domini di tensione diversi è stata resa sempre superiore ai 4 mm richiesti dallo standard IPC-2221 sezione 6.2 e calcolati nel capitolo 5.1.5. Nelle seguenti figure è mostrata la resa finale del layout.

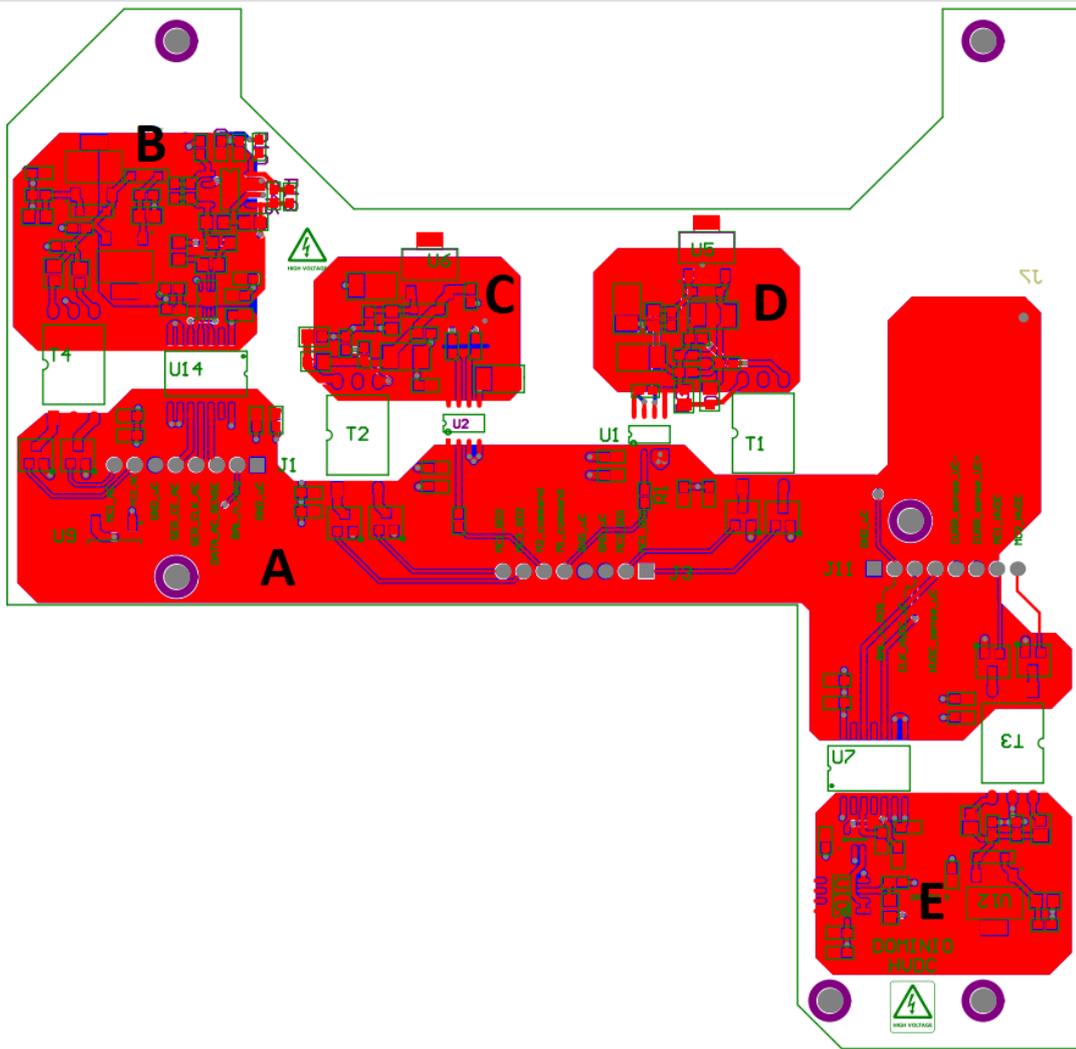


Figura 7.34. Layout del circuito stampato della scheda di pilotaggio e misura

7.7 Connessioni tra le schede

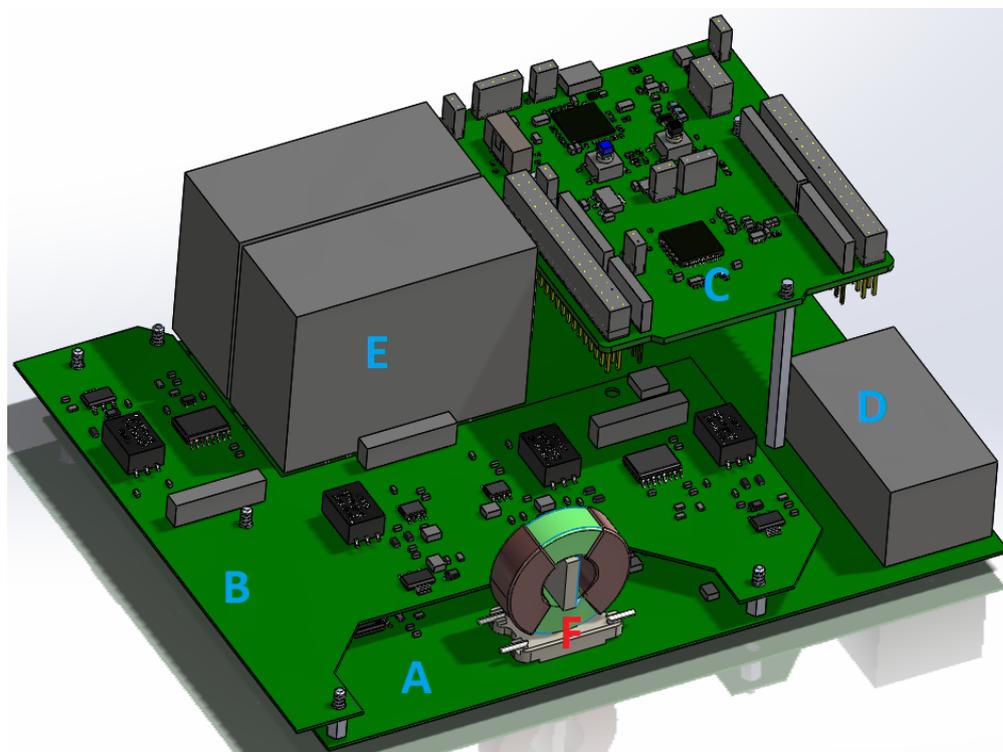


Figura 7.35. Modello 3D del PFC completo

Come già detto nella parte introduttiva di questo capitolo, il PFC completo è composto da tre schede:

- **A:** Scheda di potenza
- **B:** Scheda di pilotaggio e misura
- **C:** NUCLEO-G474RE

Nella seguente tabella sono riassunte le interconnessioni previste tra la scheda di potenza e quella di pilotaggio e misura.

Nome	Descrizione	GRUPPO
AC sense +	Pin per misura tensione ingresso, positivo (partitore)	1
AC sense -	//	1

Balance NMOS pos	Segnale per bilanciamento dei parassiti (semionda neg) insiste su ind_pos	2
GND uC		2
Balance NMOS neg	Segnale per bilanciamento dei parassiti (semionda positiva) insiste su ind_neg	3
GND uC		3
Gate up	Tensione di comando del transistor superiore	4
IND pos	Tensione di source del transistor superiore	4
15V_iso_ind_pos	15V isolata dal controllo alla potenza per il bilanciamento con riferimento ind pos (source m) (VCC2_GD1)	4
Gate down	Tensione di comando del transistor inferiore	5
IND neg	Tensione di source del transistor inferiore	5
15V_iso_ind_neg	Fornisce la 15V isolata dal controllo alla potenza per il bilanciamento con riferimento ind neg (source m)(VCC2_GD2)	5
Current sense+	Segnale in uscita al amplificatore isolato della scheda di potenza	6
Current sense-	Segnale in uscita al amplificatore isolato della scheda di potenza	6
GND uC		6
3.3V ext	3V dalla scheda di controllo al circuito di sensing della corrente	6
HVDC bus sense	Tensione di riferimento per misura HVDC	7
VoutL		7
5V ext	Tensione in uscita al ACDC (5V)	8
GND uC		8

NB: il colore del testo del nome del pin indica a quale dominio di isolamento appartiene il segnale considerato secondo la legenda riportata.

- Azzurro: riferito al neutro di ingresso
- Verde: Riferito al GND del uC
- Magenta: Rif. Interno allo stadio di potenza del PFC
- Rosso: Scheda di potenza, potenziali riferiti ad ind_pos
- Viola: dominio riferito all'uscita del PFC (HVDC)

Il numero totale di pin necessari è pari a 20. Essi sono organizzati in 8 diversi gruppi, nello stesso connettore non possono essere presenti segnali riferiti a domini di tensione differenti, in quanto i connettori non garantiscono l'isolamento. I gruppi 2, 6, 8 appartengono allo stesso dominio di tensione (ground del microcontrollore) ma sono assegnati in gruppi distinti per una questione di posizione nelle schede (es: il sensing della tensione di ingresso è distante da quello di uscita).

Le connessioni tra la nucleo e la scheda di misura sono mostrate nella tabella seguente.

Nome		Descrizione	Nucleo Pin
M2 command		Comando dalla nucleo alla scheda di controllo per M2	PC12
GND uC			
CLOCK GD2	power	Segnale di clock da fornire al trasformatore per generare la 15 V isolata del mos M2	PC11
ENABLE GD2	power	Enable per dirver 15V isolate per Gate driver 2	PC10
GND uC			
M1 command		Comando dalla nucleo alla scheda di controllo per M2	PB7
GND uC			
3.3 V ext		Tensione a 3.3V (rispetto GND uC) per alimentare la nucleo)	
CLOCK GD1	power	Segnale di clock da fornire al trasformatore per generare la 15 V isolata del gate driver di M1	PC14
ENABLE GD1	power	Enable per driver 15V isolate per Gate driver 1	PC13
VAC sense uC +		Uscita differenziale dall'amplificatore isolato per misura tensione ingresso	PA6
VAC sense uC -		//	PA7
HVDC sense uC+		Uscita differenziale dall'amplificatore isolato per misura tensione HVDC	PA0
HVDC sense uC-			PA1
Current uC+	sense	Uscita sensore ad effetto Hall (riscalata a 3.3 V) da inviare alla nucleo	PC0
Current uC+	sense		PC1
Balance UC	ind_pos	Segnale generato dalla nucleo per bilanciamento dei nodi che commutano (ind pos)	PB11
Balance UC	ind_neg	Segnale generato dalla nucleo per bilanciamento dei nodi che commutano (ind neg)	PB6

Capitolo 8

Conclusioni

Durante questo progetto di tesi sono state analizzate e simulate alcune delle più comuni topologie di PFC, sia Bridgeless che non, e le più comuni tecniche di controllo utilizzate nei PFC Boost. Successivamente è stato condotto uno studio approfondito delle topologie Bridgeless Simmetriche, affrontandone il progetto e caratterizzando i componenti dei circuiti in frequenza. E' stato effettuato uno studio sui possibili modi di implementazione di DC-Link, valutandone le prestazioni, si è ricavato un modello dell'induttore di potenza che comprenda le capacità parassite verso il riferimento e si sono stimati i parassiti introdotti dalla PCB. A partire da tali informazioni è stato possibile effettuare delle simulazioni dei PFC dalle quali è emerso che il PFC Improved Symmetric è caratterizzato da un miglior trade-off tra emissioni elettromagnetiche condotte ed efficienza rispetto al PFC Totem-Pole. Inoltre, è stato progettato un prototipo di PFC Improved Symmetric definendo le PCB, i circuiti di misura e le connessioni. A partire da tale prototipo è possibile verificare sperimentalmente i risultati ottenuti in simulazione.

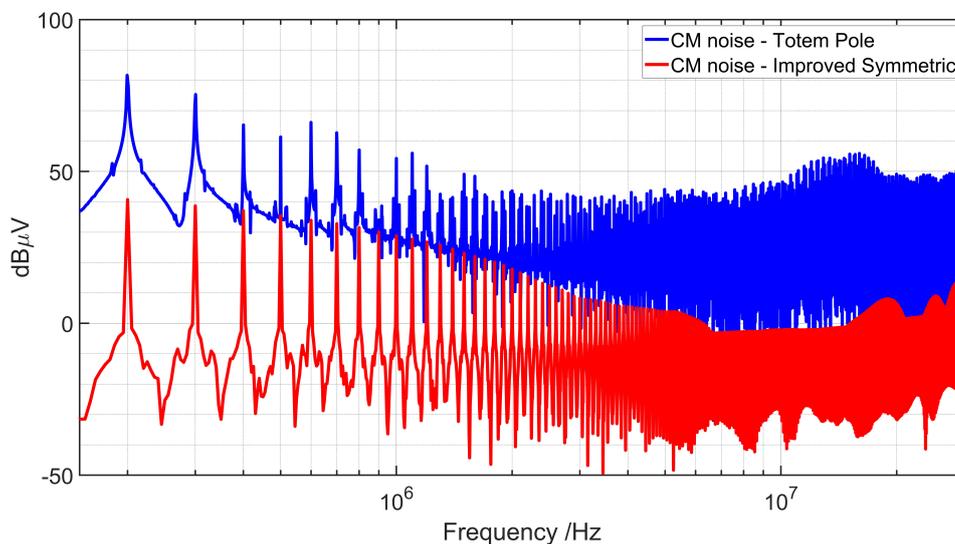


Figura 8.1. Spettri delle emissioni di modo comune per il PFC Totem-Pole e Improved Symmetric a confronto

8.1 Lavori futuri

Sviluppi futuri di questo progetto di tesi potrebbero riguardare alcune modifiche per rendere il PFC ancora più performante. Alcune di queste potrebbero essere l'implementazione del controllo sulla scheda di *pilotaggio e misura* e non sulla NUCLEO, in questo modo si sfrutterebbe il microcontrollore nella maniera più intelligente possibile. Inoltre, si eviterebbe l'utilizzo di cavi per connettere la nucleo alla scheda di pilotaggio. Altre potrebbero essere la modifica del circuito di misura della corrente che potrebbe essere spostato a valle dell'induttore di Boost, sebbene tale modifica comporterebbe un ulteriore incremento di complessità del circuito.

Bibliografia

- [1] *A 800W Bridgeless PFC Stage*. AND8392/D. Semiconducot Components Industries, 2015.
- [2] Oscar Arvering Walldén Amer Mesic. *Investigation of Bridgeless Power Factor Correction Topologies for 3 kW Operation*. Gothenburg, Sweden: Department of Electrical engineering CHALMERS UNIVERSITY OF TECHNOLOGY, 2021.
- [3] Marco Soldano Bing Lu Ron Brown. *Bridgeless PFC Implementation Using One Cycle Control Technique*. 2005.
- [4] Salil Chellappan. *A comparative analysis of topologies for a bridgeless-boost PFC circuit*. Texas Instruments ADJ 3Q 2018. Analog Design Journal, 2018.
- [5] Erickson Robert W.; Maksimovic Dragan. *Fundamentals of Power Electronics*. Kluwer Academic Pub, 2001.
- [6] Pengju Kong, Shuo Wang e Fred C. Lee. «Common Mode EMI Noise Suppression for Bridgeless PFC Converters». In: *IEEE Transactions on Power Electronics* 23.1 (2008), pp. 291–297. DOI: [10.1109/TPEL.2007.911877](https://doi.org/10.1109/TPEL.2007.911877).
- [7] Li Dong Lim Teik Eng Liu Jianwei. *Design Guide for Boost Type CCM PFC with ICE3PCSxx*. AN-PS0052. Infineon Technologies Asia Pacific Pte Ltd, 2010.
- [8] Leopoldo Rossetto. «Control techniques for power factor correction converters». In: 1994.
- [9] Ken Siu Sam Abdel-Rahman Franz Stückler. *PFC boost converter design guide*. 2014-11-01. 81726 Munich Germany: Infineon Technologies AG., 2014.
- [10] Franz Stückler Siu Ken. *Practical design and evaluation of an 800 W PFC boost converter using TO-247 4pin MOSFET*. 2015-11-26. Infineon Technologies AG, 2015.
- [11] Bosheng Sun. *Control challenges in a totem-pole PFC*. Texas Instruments AAJ 2Q 2017. Analog Applications Journal, 2017.
- [12] GaN Systems. *High Efficiency CCM Bridgeless Totem Pole PFC Design using GaN E-HEMT*. GS665BTP-REF rev170411. 2017.
- [13] Frederick E Terman. *Radio Engineers Handbook*. 1943.