

POLITECNICO DI TORINO

DIPARTIMENTO DI INGEGNERIA ELETTRONICA E TELECOMUNICAZIONI Corso di Laurea in Ingegneria Elettronica

Tesi di Laurea in Ingegneria Elettronica

Studio, analisi e progettazione di uno stadio PFC Totem Pole

Relatori

Prof. Ing. Musolino Francesco Ing. Mori Antonio

> Candidato Francesco Gualtieri



Sommario

Le normative che definiscono la qualità d'assorbimento dalla rete diventano sempre più stringenti e importanti. Per questa ragione la realizzazione efficace di convertitori AC/DC innovativi è diventata fondamentale per essere competitivi sul mercato. In questa tesi, ho analizzato, studiato e progettato una scheda PFC Totem Pole Bridgeless la quale può erogare una potenza massima di 2500W.

Dopo una breve introduzione teorica del concetto di Power Factor e dei concetti principali a riguardo , ho analizzato e confrontato le varie topologie di PFC attualmente sul mercato. Una introduzione teorica al controllo CCM chiude la parte introduttiva.

Nella seconda parte della tesi progetto e dimensiono 2 differenti possibili circuiti per la realizzazione del controllo.

A seguire ho dimensionato i dispositivi di potenza, progettato il circuito magnetico e il circuito stampato.

Indice

1	\mathbf{Intr}	roduzione	1				
	1.1	La distribuzione dell'energia	1				
	1.2	Obiettivo	2				
	1.3	Struttura della tesi	2				
2	Principi Teorici						
	2.1	Power Factor Correction	3				
	2.2	Convertitori AC/DC passivi	6				
	2.3	Convertitori AC/DC attivi	8				
		2.3.1 Principio di funzionamento del PFC Boost	8				
3	Cor	ntrollo	16				
•	3.1	Average Current Control	16				
	3.2	Anello di controllo della corrente	18				
	3.3	Anello di controllo della tensione	20				
	3.4	Borderline Current Control	22				
	0.1						
4	Topologie per la realizzazione di uno stadio PFC di 2.5 KW 24						
	4.1	Boost Convenzionale	24				
		4.1.1 Principio di Funzionamento	24				
		4.1.2 Considerazioni realizzative	25				
	4.2	Interleaved Boost	26				
		4.2.1 Principio di funzionamento	26				
		4.2.2 Considerazioni progettuali	28				
	4.3	Bridgeless Boost	29				
		4.3.1 Principio di funzionamento	29				
		4.3.2 Considerazioni realizzative	30				
	4.4	Totem Pole Boost	31				
		4.4.1 Principio di funzionamento	31				
		4.4.2 Considerazioni realizzative	33				
	4.5	Back to Back Bridgeless BOOST	35				
		4.5.1 Principio di funzionamento	35				
		4.5.2 Considerazioni realizzative	37				
5	Pro	getto	38				
-	5.1		39				
		5.1.1 Dimensionamento	51				

		5.1.2	Stadio di potenza
		5.1.3	Soft start
		5.1.4	Moltiplicatore
		5.1.5	Anello di retroazione della tensione
		5.1.6	Anello di retroazione della corrente
		5.1.7	Limitazione della corrente
		5.1.8	Frequenza di funzionamento
		5.1.9	Misurazione della tensione d'uscita
	5.2	NCP1	$681 \dots \dots \dots 62$
		5.2.1	Dimensionamento
		5.2.2	Misurazione della tensione di rete
		5.2.3	Riconoscimento della polarità
		5.2.4	Stadio di potenza
		5.2.5	Misurazione della corrente e protezioni alle sovracorrenti 68
		5.2.6	Dispositivi di potenza
		5.2.7	NCP51561
		5.2.8	Alimentazioni
		5.2.9	Circuito Magnetico
	5.3	Calcol	o del rendimento
	5.4	PCB	
6	Con	clusio	ni e lavori futuri 102
	6.1	Conclu	asioni
	6.2	Lavori	futuri

Capitolo 1

Introduzione

1.1 La distribuzione dell'energia

La distribuzione di energia elettrica avviene sfruttanto corrente alternata AC ad alta tensione, in quanto questa modalità porta con sè diversi benefici rispetto a una distribuzione di tipo DC, tra i quali i costi della linea di trasmissione e il ridotto valore delle perdite.

Attualmente molti dispositivi funzionano attraverso corrente continua, come ad esempio qualsiasi dispositivo dotato di batteria, come cellulari o computer portatili, e molti atri dispositivi non dotati di batteria che però richiedono per il corretto funzionamento, un'alimentazione di tipo DC.

I convertitori AC/DC sono quindi elementi fondamentali nella distribuzione e utilizzo di energia elettrica, infatti sono presenti ogni qual volta si necessita di una conversione energetica efficiente da tensione alternata a tensione continua.

Questo tipo di convertitori vengono anche chiamati raddrizzatori e ne esistono di diversi tipi : attivi e passivi. I convertitori attivi, chiamati anche Power Factor Correctors utilizzano dispositivi di commutazione di potenza, come ad esempio transistori di tipo MOS o transistori bipolari e elementi reattivi, nello specifico induttanze migliorando le prestazioni per quanto rigurda l'efficienza e la qualità d'assorbimento di questo tipo di convertitori.

La qualità della tensione di rete, in particolare, è determinata essenzialmente da due parametri : il PF, acronimo di Power Factor e il THD acronimo di Total Harmonic Distorsion. Questi due parametri dipendono principalmente dalla modalità di controllo del sistema e dalla topologia del circuito utilizzato.

Un'altro parametro importante da considerare è l'efficienza del processo di conversione energetica. Questa descrive la capacità del sistema di gestire l'energia fornita dalla rete senza introdurre perdite di energia durante il processo di conversione. Anche in questo caso dipende dalla topologia circuitale utilizzata e dal tipo di controllo effettuato.

1.2 Objectivo

L'obiettivo della tesi è l'analisi e il progetto di un circuito PFC di tipo monofase da utilizzare come stadio preregolatore per circuiti carica batterie o/e per la realizzazione di alimentatori.

Il circuito, inoltre, deve essere progettato in modo tale da essere conforme alle normative europee che regolamentano la qualità della tensione di rete e deve essere competitivo in termini di prestazioni (efficienza, architettura del controllo) con strutture allo stato dell'arte.

In particolare, dato che è raro trovare raddrizzatori attivi ad alta efficienza (>96%), lo studio di circuiti PFC caratterizzati da questi livelli di prestazioni è importante per rimanere competitivi sul mercato.

Per raggiungere tale obiettivo, dapprima si sono valutate e selezione le topologie più adatte di convertitore e, successivamente, si è proceduto con il progetto di due possibili prototipi.

La tesi è stata svolta per intero negli uffici e sotto la supervisione della Mori Raddrizzatori S.r.l., azienda che si occupa della progettazione e realizzazione di carica batterie automatici ad alta e a bassa frequenza per uso industriale e nautica.

Le specifiche da rispettare nella progettazione del prototipo sono le seguenti:

Tensione di ingresso	da 195 a 265 V_{rms} a 50 Hz	
Tensione d'uscita	385 V	
Potenza massima	2500W	
Ripple di corrente sull'induttore	25% della corrente massima	
Hold up time	8 ms alla tensione minima 340 V	

Tabella 1.2.1: Specifiche di progetto

1.3 Struttura della tesi

L'attivià di tesi è descritta in 5 capitoli, in particolare nel capitolo 2 verrà introdotto il concetto di Power Factor e le ragioni per cui i circuiti raddrizzatori attivi PFC ricoprono un ruolo fondamentale nella conversione dell'energia.

Segue una descrizione dettagliata del principio di funzionamento della topologia PFC Boost.

Nel capitolo 3 è discussa la teoria del controllo per quanto rigurda la tecnica "Average Current Control" nonchè i concetti di stabilità. Nel capitolo 4 verrano mostrati e descritti diversi circuiti PFC adatti ad applicazioni di alta potenza, identificando le peculiarità e gli svantaggi di ciascuno di essi.

Nel capitolo 5 verranno effettuate due dimensionamenti del circuito di controllo, attraverso l'utilizzo di due diversi integrati.

Segue la progettazione completa di uno di questi, con annesso dimensionamento dei dispositivi di potenza e delle alimentazioni. Infine è mostrato il dimensionamento del circuti magnetico, ovvero dell'induttanza e la progettazione del circuito stampato. Nelle conclusioni viene calcolata e analizzata l'efficienza teorica ottenuta.

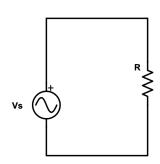
Capitolo 2

Principi Teorici

2.1 Power Factor Correction

Molti tipi di dispositivi elettronici prelevano l'energia necessaria al proprio funionamento dalla rete, la quale funge da sorgente.

Generalemente dispositivi di natura diversa sono caratterizzati da differenti profili di assorbimento, dovuti sia alla quantità di carica prelevata, quindi al modulo della corrente, che dalla forma.



- Voltage
- Current

Figura 2.1.1: Carico puramente resistivo

Figura 2.1.2: Grafico tensione-corrente

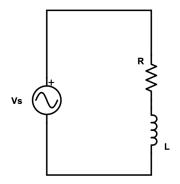
Se si prende in esempio il semplice sistema composto da una sorgente sinusoidale, che rappresenta la rete, e un carico resistivo, come rappresentato in figura 2.1.1, la corrente vale :

$$i(t) = \frac{v_s(t)}{R} = \frac{\hat{V}_s}{R} cos(w_s \cdot t)$$
 (2.1.1)

La corrente è in fase con la tensione, come mostrato in figura 2.1.2. Se si calcola la potenza media trasmessa al carico resistivo :

$$P = \frac{1}{2\pi} \int_0^{2\pi} v_s(t) \cdot i(t) dt = V_{rms} \cdot I_{rms}$$
 (2.1.2)

La potenza media è quindi pari al prodotto dei valori efficaci di corrente e tensione. Se invece adesso si prende in considerazione un carico ohmico-induttivo come in figura 2.1.3, la corrente assorbita è sempre una sinusoide come nel caso precedente, ma sfasata rispetto alla tensione ai capi della sorgente, come mostrato in figura 2.1.4.



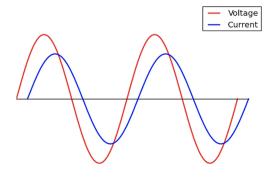


Figura 2.1.3: Carico puramente induttivo

Figura 2.1.4: Grafico tensione-corrente

La corrente assorbita può essere descritta in generale come :

$$i(t) = \frac{\hat{V}_s}{R}cos(\omega_s t + \Phi)$$
 (2.1.3)

Dove Φ rappresenta lo sfasamento angolare rispetto alla tensione. La potenza media erogata dalla rete vale :

$$P = \frac{1}{2\pi} \int_0^{2\pi} v_s(t) \cdot i(t)dt = V_{rms} \cdot I_{rms} \cdot \cos(\Phi)$$
 (2.1.4)

Il Power Factor (PF) è un parametro che rappresenta il rapporto tra la potenza reale media erogata dalla sorgente e il prodotto tra i valori efficaci della corrente assorbita dal carico e della tensione ai capi di quest'ultimo.

Nel caso di un carico ohmico-induttivo, come quello appena descritto, vale:

$$PF = \frac{P}{|S|} = \frac{P}{V_{s,rms} \cdot I_{rms}} = \cos(\Phi)$$
 (2.1.5)

Se si prende esempio un caso più generale, come un carico composto da un ponte di Graetz seguito da una capacità d'uscita e una resistenza, il profilo della corrente è molto diverso da quello della tensione, essendo impulsivo, come raffigurato in figura 2.1.5.

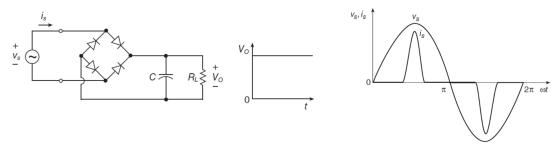


Figura 2.1.5: Circuito raddrizzatore a doppia semionda - [1]

Essendo che la corrente è caratterizzata dallo stesso periodo della rete [1], può essere descritta come :

$$i_s(t) = \sum_{i=1}^{+\infty} I_{si} cos(i\omega_s t + \phi_n)$$
 (2.1.6)

A questo punto, si calcola la potenza media e reattiva erogata dalla sorgente :

$$P = \frac{\int_0^{+2\pi} v_s(t)\dot{i}_s(t)dt}{2\pi} = V_{rms}I_{rms_1}cos(\phi_1)$$
 (2.1.7)

$$|S| = I_{rms} V_{rms} \tag{2.1.8}$$

Il Power Factor quindi vale:

$$PF = \frac{\sum_{i=1}^{+\infty} I_{irms} V_{rms} cos(\omega i + \phi_i)}{I_{rms} V_{rms}} = \frac{V_{rms} I_{rms_1} cos(\phi_1)}{V_{rms} I_{rms}} = \frac{I_{rms_1} cos(\phi_1)}{I_{rms}} = K_{\phi} K_d$$
(2.1.9)

Dove:

- V_{rms} è il valore efficace della tensione di ingresso;
- I_{rms} è il valore efficace della corrente di ingresso;
- V_{irms} è il valore efficace della i-esima armonica della tensione in ingresso;
- I_{irms} è il valore efficace della i-esima armonica della corrente assorbita;
- I_{1rms} è il valore efficace della armonica fondamentale della corrente assorbita;
- ϕ_1 è la differenza di fase tra la tensione di rete e l'armonica fondamentale della corrente;

Inoltre, sono importanti anche il Displacement Factor (DPF), definito come:

$$K_{\Phi} = \cos(\Phi_1) \tag{2.1.10}$$

e il Distortion Factor (DF):

$$K_d = \frac{I_{rms_1}}{I_{rms}} (2.1.11)$$

Un'altro parametro significativo per quanto riguarda la conversione AC/DC è il THD, acronimo di Total Harmonic Distortion:

$$THD = \frac{\sqrt{1 - K_d^2}}{K_d} = \frac{\sqrt{\sum_{k=2}^{+\infty} I_i rms^2}}{I_1 rms}$$
 (2.1.12)

il quale indica il livello di distorsione di un segnale, rispetto alla sinusoide alla frequenza fondamentale della rete di alimentazione, in questo caso. Utilizzando le (2.1.11) e (2.1.12) il fattore di potenza in (2.1.9) diventa:

$$PF = K_d K_\phi = \frac{K_\phi}{\sqrt{1 + THD^2}}$$
 (2.1.13)

Il Power Factor è quindi un indice di come effettivamente un sistema utilizza la potenza disponibile e del livello di distorsione della corrente.

Riprendendo il caso esempio del ponte a diodi in figura 2.1.5, la sorgente eroga una certa quantità di armoniche, le quali però non trasmettono potenza al carico. La potenza reale media trasmessa al carico è solo funzione dell'armonica fondamentale e dello sfasamento che esiste tra quest'ultima e la tensione sinusoidale.

La generazione di armoniche è quindi un problema in quanto anche esse si propagano sulle linee di trasmissione che compongono il sistema di distribuzione energetico, causando perdite aggiuntive .

Questo rende il sistema meno efficiente e a causa di queste dissipazioni, a parità di potenza utilizzata, si necessitano cavi di dimensione maggiore.

Nell'ambito dell'Unione Europea vigono diverse norme sulla qualità degli assorbimenti connessi alla rete, che determinao il numero e l'entità delle armoniche iniettate in rete, come la normativa EN 61000-3-2 [2].

I dispositivi Power Factor Corrector (PFC) sono quindi essenziali per interfacciare il reale utilizzatore alla rete, mandenendo il livello di disturbi in rete al di sotto delle soglie imposte dalle normative.

2.2 Convertitori AC/DC passivi

Il più semplice convertitore AC/DC è basato su un raddrizzatore a diodi seguito da un filtro del primo o del secondo secondo ordine, quindi una capacità e/o una induttanza e il relativo carico, come mostrato in figura 2.2.1.

Molto spesso per migliorarne le prestazioni, il raddrizzatore è composto da una serie di filtri LC progettati in modo accurato o attraverso l'utilizzo di trasformatori e diodi, trasformatori con due secondari o tiristori [3] [4].

Il principale problema di questo tipo di raddrizzatori è che generano un'importante quantità di armoniche e uno sfasamento non trascurabile tra corrente e tensione di linea .

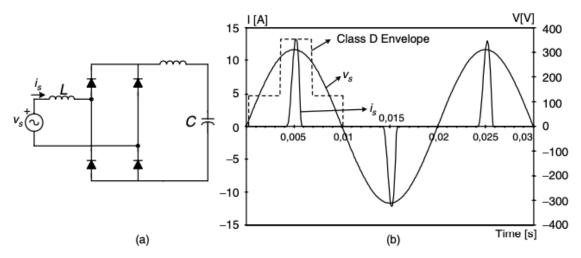


Figura 2.2.1: Convertitore ac/dc passivo [4]

Per questo motivo attraverso circuiti raddrizzatori passivi non è possible raggiungere alti valori di PF. Sono oltrettutto caratterizzati da THD elevato, la tensione di uscita non è regolata e la densità di potenza è relativamente bassa. Risultano anche pesanti e costosi, a causa delle dimensioni delle bobine e delle capacità.

I circuiti AC/DC realizzati con circuiti a diodi non sono utilizzabili in quanto non è possibile raggiungere prestazioni che rispettino le normative europee sulla generazione di armoniche.

Come si può notare dalla figura 2.2.1, la corrente è di natura impulsiva. A causa di essa, il THD sarà elevato, e le armoniche superiori sono generalmente un problema per assicurarsi il rispetto delle normative, come rappresentato in figura 2.2.2:

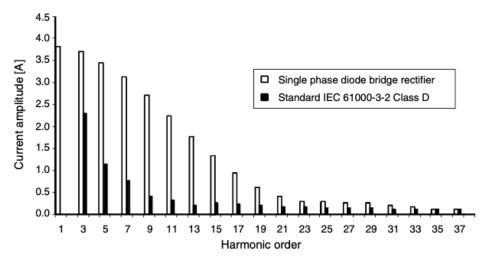


Figura 2.2.2: Armoniche generate da un convertitore ac/dc passivo LC - [4]

Uno dei maggiori vantaggi intrinseci di questo tipo di circuito è la semplicità e la robustezza. I convertitori AC/DC passivi sono adatti dove non vi sono limitazioni per quanto riguarda la generazione di armoniche o per applicazioni caratterizzate da bassi livelli di potenza.

2.3 Convertitori AC/DC attivi

I convertitori AC/DC attivi sono circuiti con i quali si impone una corrente di ingresso ad avere un profilo sinusoidale attraverso diverse tecniche. In questo caso il valore del Power Factor, o PF si aggira intorno allo 0.99 mantendo la generazione di armoniche sotto i livelli richiesti dalla normative europee.

Il raggiungimento di queste prestazioni è possibile tramite l'utilizzo di dispositivi attivi come transistori MOS e passivi come diodi e induttanze. Ovviamente tutto ciò è garantito da appropriate tecniche di controllo, basate sulla modulazione PWM (Pulse Width Modulation), si pilota, o pilotano i vari dispositivi di potenza garantendo l'assorbimento desiderato in ingresso.

La realizzazione dei PFC attivi avviene generalmente sfruttando la topologia di circuitale dei convertitori DC/DC Boost, Buck-Boost, Sepic ,Cuk pilotati in modo appropriato. E' però necessario evidenziare che il mercato dell'alta potenza vede come protagonista, almeno per ciò che riguarda l'ambito PFC la topologia Boost e derivati, implementati per migliorarne le performance.

Gli aspetti critici per quanto riguarda un convertitore AC/DC sono l'efficienza, a cui è legata la quantità di potenza dissipata sotto forma di calore dal convertitore e il livello di distorsione introdotto in rete. La capacità della dispersione del calore è molto importante per l'affidabilità del prodotto, in quanto mantenere il sistema ad una temperatura relativamente fredda garantisce un'aspettativa di vita del prodotto maggiore, indice di qualità del prodotto. Un sistema efficiente inoltre necessita di un sistema di raffreddamernto minore, facendo diminuire i costi complessivi del sistema.

Nel prossimo capitolo verrà analizzato il principio di funzionamento in dettaglio del convertire DC/DC Boost, e successivamente della medesima tipologia circuitale utilizzata come Power Factor Corrector.

2.3.1 Principio di funzionamento del PFC Boost

Il principio di funzionamento della maggior parte dei PFC in commercio può essere derivato dal circuito Boost.

Facendo riferimento alla figura 2.3.1, applicando la corretta modulazione, ovvero il pilotaggio dell'interruttore, che può avvenire a frequenza costante, o variabile, si può ottenere grazie alla presenza dell' induttanza un assorbimento di corrente sinusoidale in fase con la rete.

Quests topologia prevede che la tensione di uscita sia sempre maggiore della tensione di ingresso. Nel caso in qui il Boost sia utilizzato come raddrizzatore è quindi necessario che la tensione d'uscita sia maggiore della tensione di picco di linea.

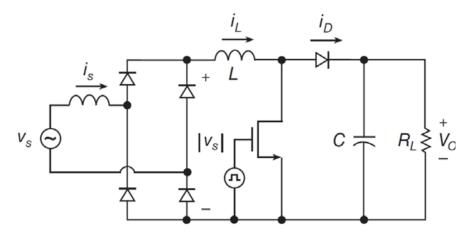


Figura 2.3.1: Convertitore ac/dc di tipo boost classico

Prima di analizzare il principio di funzionamento del circuto Boost come Power Factor Corrector è necessario discutere il suo funzionamento come convertitore DC/DC.

Per un analisi semplificata del funzionamento [1], in condizioni di CCM, acronimo di continous conduction mode, ovvero che la corrente nella induttanza non è mai nulla, è necessario introdurre delle ipotesi :

- Situazione ciclostazionaria;
- Diodi e Interruttori ideali : caduta di tensione in conduzione su di essi nulla;
- Tensione d'uscita stabile ;
- Tensione d'ingresso variabile;
- Corrente d'uscita variabile ;
- Costante di tempo dei compontenti reattivi molto più grande rispetto al periodo di commutazione;
- La tensione d'uscita è maggiore della tensione d'ingresso.
- Approssimazione del ripple d'uscita $|\Delta v_o(t)| \ll V_o$, quindi $V_o(t) \approx V_o$.

Per il tempo t=0, come mostrato in figura 2.3.2, l'interruttore viene chiuso, così favendo la tensione ai capi dell'induttore v_L è pari alla tensione di ingresso V_{IN} mentre la tensione ai capi del diodo v_D , che è interdetto, è pari a - V_o [1].

La corrente che scorre attraverso lo switch è uguale a quella che scorre nell'induttore, quindi i_{SW} = i_L .

Durante questo intervallo di tempo, pari a T_{ON} l'energia è trasferita dalla sorgente DC all'induttore, mentre la capacità d'uscita mantiene la tensione d'uscita costante e pari a V_o .

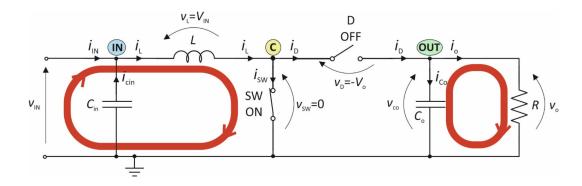


Figura 2.3.2: Carica dell'induttanza del convertitore DC-DC Boost durante T_{ON} -[1]

Dall'istante di tempo $t = T_{ON}$, lo switch viene aperto, come mostrato in figura 2.3.3. L'induttore è attraversato da una corrente non nulla quando l'interruttore viene aperto. Essendo che la corrente che scorre nell'avvoglimento è caratterizzata da un profilo continuo, questa continua a scorrere nella stessa direzione anche dopo lo spegnimento dell'interruttore [1].

Quindi l'interruttore si comporta come un generatore di corrente, il quale forza il diodo D allo stato di conduzione. La corrente che scorre attraverso il diodo è quindi pari alla corrente che scorre nell'avvolgimento, $i_D = i_L$.

La tensione ai capi dell'induttore v_L , è quindi pari a V_{IN} - V_o , mentre la tensione ai capi dello switch V_{SW} è pari a V_o .

Durante questo intervallo di tempo, pari a T_{OFF} , l'energia è trasferita dalla sorgente DC e dall'induttanza alla capacità d'uscita e al carico.

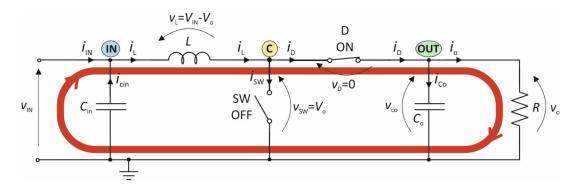


Figura 2.3.3: Scarica dell'induttanza del convertitore DC-DC Boost durante T_{OFF} - [1]

In una situazione ciclostazionaria è necessario che la tensione media, quindi che la componente DC sull'induttanza sia nulla.

E' quindi necessario che, come rappresentato in figura 2.3.4:

$$D \times V_{IN} = (1 - D) \times (V_o - V_{IN})$$
 (2.3.1)

Dove D è il valore del duty cicle, che rappresenta il rapporto tra T_{ON} e T_{SW} , ovvero rispettivamente il periodo in cui l'interruttore rimane chiuso e il periodo di commutazione del sistema. A questo punto è molto semplice manipolare l'equazione, risolvendola per il rapporto di conversione V_o/V_{IN} :

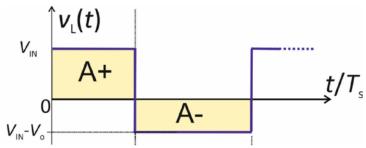


Figura 2.3.4: Second Voltage Balance on Inductor - [1]

$$\frac{V_o}{V_{IN}} = \frac{1}{1 - D} \tag{2.3.2}$$

Un'analisi qualitativa della corrente che scorre nell'induttore è la seguente : durante il periodo T_{ON} , la tendione ai capi dell'avvolgimento è positivo, ed è pari a V_{IN} . Essendo che la costante di tempo dei componenti reattivi è molto più grande rispetto al tempo di commutazione, la corrente cresce con un tasso :

$$\frac{di_l}{dt} = \frac{V_{IN}}{L} \tag{2.3.3}$$

D'altro canto, durante il periodo T_{OFF} , la tensione ai capi dell'induttore è negativo e pari a V_{IN} - V_o , in quanto la tensione d'uscita è maggiore della tensione di ingresso. La corrente decresce, come mostrato in figura 2.3.5, con un tasso :

$$\frac{di_L}{dt} = \frac{V_{IN} - V_o}{L} \tag{2.3.4}$$

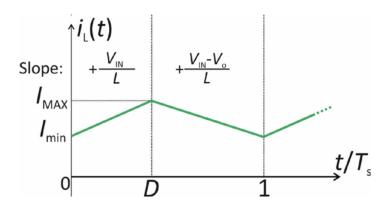


Figura 2.3.5: Pendenze della corrente nell'induttore durante il periodo [1]

Una volta calcolata la caratteristica d'uscita del convertitore de-de boost si può analizzare il suo comportamento come Power Factor Corrector. Innanzitutto si predilige questa topologia circuitale piuttosto che altre topologie innalzatrice, come la topologia Buck-Boost. Lo svantaggio di quest'ultima è che è caratterizzata da una forte corrente impulsiva all'ingresso, ma la capacità d'ingresso non può essere

molto grande in quanto la corrente sul ponte di Graetz andrebbe a stressare i diodi e generare rumore. La topologia Buck-Boost è comunque utilizzata ma solo per bassi livelli di potenza.

La topologia Boost può mantenere la costante per grandi variazioni della tensione di ingresso, e quindi può essere utilizzata come PFC se anticipata da un ponte di Graetz, come raffigurato in figura 2.3.1, il quale non è caratterizzato da una capacità di filtro in modo tale da ridurre il ripple alla frequenza di rete [1].

Un circuito di controllo, come verrà spiegato nel capitolo successivo, forza la corrente dell'induttore i_L a seguire il profilo della tensione di rete, come mostrato in figura 2.3.6.

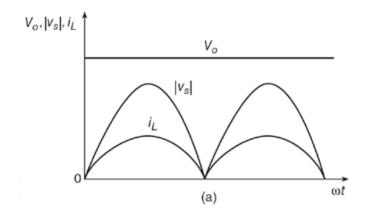


Figura 2.3.6: Corrente e tensione in ingresso allo stadio PFC Boost - [1]

Il circuito Boost utilizzato come PFC deve far fronte alla variabilità della tensione di ingresso. Il rapporto di conversione è quindi pari a :

$$\frac{V_o(t)}{V_{in}(t)} = \frac{1}{1 - d(t)} \tag{2.3.5}$$

Dove d(t) rappresenta il duty cycle, ovvero il valore medio del segnale di pilotaggio di valore unitario dell'interruttore, calcolato come media mobile su un periodo pari a $T_s = 1/f_s$, dove f_s è la frequenza di commutazione del sistema.

Nel nostro caso la tensione di ingresso è la tensione di linea, quindi una sinusoide a $50~{\rm Hz}$. Sostituendo e risolvendo per d(t):

$$d(t) = 1 - \frac{V_s|\sin(\omega_s t)|}{V_o(t)}$$
(2.3.6)

 V_s è la tensione di picco della rete, mentre $V_o(t)$ rappresenta la tensione d'uscita. Di seguito, in figura 2.3.7 è mostrato graficamente la variazione del duty cyrcle durante un semiperiodo.

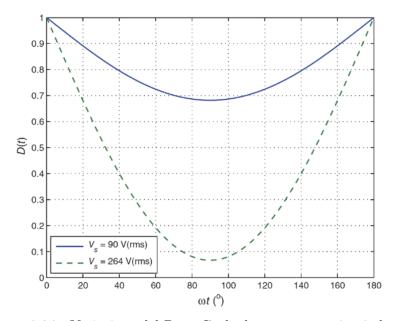


Figura 2.3.7: Variazione del Duty Cycle durante un semiperiodo - [1]

Se si assume un'assorbimento di potenza costante in uscita dallo stadio, per esempio dovuto, la potenza istantanea di ingresso oscilla con frequenza doppia rispetto alla rete:

$$P_s(t) = i_s(t)V_s(t) = V_s \cdot I_s \sin(\omega_s \cdot t)^2 = V_s \cdot I_s \frac{1 - \cos(2\omega_s t)}{2}$$
(2.3.7)

Durante la prima metà perido la potenza assorbita è maggiore rispetto alla potenza media, ed è minore durante la seconda metà, come mostrato in figura 2.3.8 La potenza media assorbita in ingresso $\overline{Ps(t)}$ è pari a P_o .

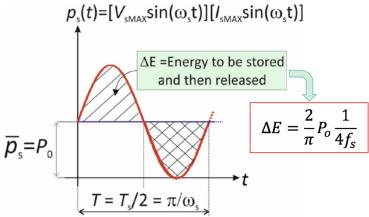


Figura 2.3.8: Potenza istantanea in ingresso a uno stadio PFC Boost- [1]

La capacità d'uscita è necessaria per immagazzinare energia durante la prima fase del periodo, e rilasciarne la stessa entità, nel secondo. Questo variazione di energia accumulata dal condensatore implica una variazione della tensione ai suoi capi, da $V_{O,min}$ a $V_{O,MAX}$, come mostrato in figura 2.3.9. La sua entità dipende dal valore della capacità, dalla tensione d'uscita e dalla potenza erogata dallo stadio. Una volta impostato il massimo ripple ammissibile dallo stadio, la capacità è dimensionabile nel seguente modo:

$$C_o = \frac{P_o}{2\pi f_s V_o \Delta V} \tag{2.3.8}$$

Dove f_s rappresenta la frequenza della tensione di ingresso.

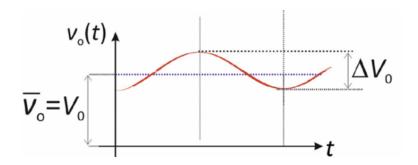


Figura 2.3.9: Ripple di tensione ai capi del condensatore - [1]

La corrente che scorre nel diodo è pari a :

$$i_D(t) = (1 - D(t)) i_L(t) = \left(1 - 1 - \frac{V_s|\sin(\omega_s t)|}{V_o}\right) I_L|\sin(\omega_s t)|$$
 (2.3.9)

$$i_D(t) = \frac{V_s I_s}{V_o} \sin(\omega_s t)^2 = \frac{1}{2} \frac{V_s}{V_o} I_L - \frac{1}{2} \frac{V_s}{V_o} I_L \cos(2\omega_s t) = I_D + i_d(t)$$
 (2.3.10)

Quindi la corrente in uscita di uno stadio PFC è composta da una componente DC, I_D che scorre attraverso il carico e una componente AC, i_d a frequenza doppia di quella in ingresso che scorre attraverso la capacità d'uscita.

La componente AC determina un certo ripple di seconda armonica, pari a :

$$v_c(t) = v_o(t) = \frac{1}{\omega_s C} \int_0^{\omega_s t} i_d(t) d(\omega t) = -\frac{V_s I_L}{2 \omega_s C V_o} \int_0^{\omega_s t} \cos(2\omega_s t)$$
(2.3.11)

$$v_c(t) = -\frac{V_s I_L}{4 \omega_s C V_o} sin(2\omega_s t)$$
(2.3.12)

Il ripple picco-picco vale quindi:

$$V_{ripple} = \frac{I_L}{4\omega_s C} \frac{V_s}{V_o} \tag{2.3.13}$$

Al fine di rispettare le specifiche di ripple consentito è possibile dimensionare la capacità d'uscita nel seguente modo, ma non è l'unico :

$$C = \frac{I_L}{4\omega_s V_{ripple}} \frac{V_s}{V_o} = \frac{P_o}{2\pi f_{SW} V_o V_{ripple}}$$
 (2.3.14)

Capitolo 3

Controllo

Esistono diverse tecniche di controllo, nello studio si andrà ad analizzare quella che è la tecnica più utilizzata per quanto riguarda le applicazioni in alta potenza in quanto caratterizzata da numerosi aspetti vantaggiosi. Dopodichè sarà brevemente introdotta un'altra tecnica meno utilizzata, ma pur sempre molto presente sul mercato esplicitandone vantaggi e svantaggi.

3.1 Average Current Control

La tecnica più popolare per le applicazioni di alta potenza è la tecnica chiamata "Average current control", di seguito uno schema circuitale, figura 3.1.1

Questa tecnica prevede una frequenza di commutazione costante. Il controllo è assicurato tramite l'iterazione tra due anelli di retroazione, uno interno per controllare la corrente assorbita dallo stadio e uno più esterno per la regolazione della tensione d'uscita.

La misura della corrente avviena tramite un sensore resistivo, mentre quella della tensione d'uscita attraverso un partitore.

A questo punto è necessario ricordare che lo scopo di un raddrizzatore AC/DC di tipo PFC è quello di ottenere una corrente assorbita puramente sinusoidale , in fase con la tensione di rete in modo tale da massimizzare il PF e minimizzare la propagazione di armoniche in rete. Il Power Factor Corrector quindi emula il comportamento di un carico puramente resistivo.

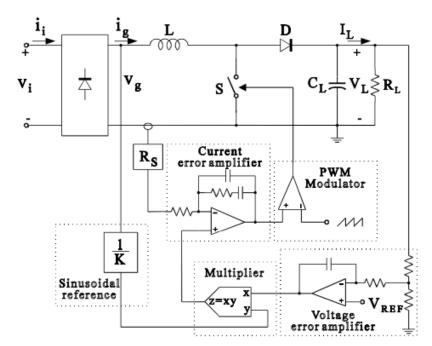


Figura 3.1.1: Schema dell'architettura di controllo di tipo Average Current Control - [5]

Il secondo compito del circuito raddrizzatore PFC è invece quello di regolare la tensione d'uscita. Generalmente i livelli di tensione ottenuti da questa topologia di circuiti non sono molto precisi, a causa del profilo della corrente assorbita, come visto nel capitolo precedente.

A questo scopo il circuito è seguito da un convertitore DC/DC, generalmente isolato per questieni di sicurezza, in modo tale che effettui una regolazione più accurata sul carico, nel caso sia necessario.

Lo schema base di controllo della tecnica Average Current Control è la seguente, come raffigurato in figura 3.1.2 : un'anello interno , il quale assicura che la corrente assorbita sia una sinusoide in fase con la tensione di linea, attraverso l'opportuno pilotaggio dell'interruttore di potenza.

E un anello di tensione più esterno, il quale è necessario per regolare la tensione sul carico. L'anello esterno è inoltre necessario per determinare il valore di ampiezza della corrente di riferimento utilizzato nell'anello in corrente.

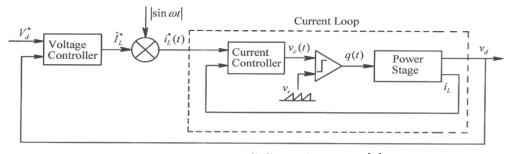


Figura 3.1.2: PFC Control Loops - [6]

Il segnale di riferimento dell'anello interno è quindi una sinusoide caratterizzata da ampiezza variabile.

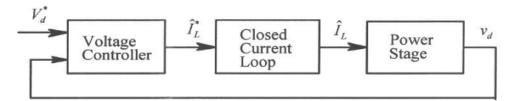


Figura 3.1.3: Anello di controllo esterno della tensione - [6]

La tensione di riferimento dell'anello in tensione è un segnale stabile, fisso, il quale verrà confrontato con la tensione d'uscita. Il segnale d'errore allora andrà moltiplicato con la sinusoide raddrizzata e data in ingresso come segnale di riferimento all'anello in corrente.

In questo modo, se la tensione d'uscita si abbbassa rispetto al valore di tensione nominale, il sistema reagisce, aumentando il valore dell'ampiezza della corrente assorbita, ristabilendo il valore dell'uscita.

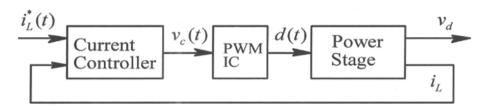


Figura 3.1.4: Anello di controllo interno della corrente - [6]

A questo punto, per effettuare un controllo efficace bisogna determinare un modello accurato di ogni singolo componente del sistema. Vi sono diverse tecniche per ottenerli [7], [8], la dimostrazione dei modelli è esclusa dallo studio.

3.2 Anello di controllo della corrente

Il progetto del controllo parte ovviamente dal dimensionamento del loop di corrente interno. Innanzi tutto si definiscono le funzioni di trasferimento dei blocchi funzionali, in figura 3.1.4:

• G_i rappresenta la funzione di trasferimento dello stadio di potenza boost ed è definito in prima approssimazione [6] come :

$$G_i(s) = \frac{\widetilde{i}_L(s)}{\widetilde{d}(s)} = \frac{Vo}{sL}$$
(3.2.1)

dove $\widetilde{i}_L(s)$ rappresenta la trasformata di Laplace della corrente dell'induttore, mente $\widetilde{d}(s)$ la trasformata del duty cyrcle;

• PWM rappresenta la funzione di trasferimento del modulatore , ed è definito come :

$$PWM(s) = \frac{\tilde{d}(s)}{\tilde{v}_c(s)} = \frac{1}{\hat{V}_r}$$
(3.2.2)

dove $v_c(s)$ è la trasformata di Laplace del segnale di controllo, ovvero l'uscita del controllore, mentre $\hat{V_r}$ è il valore di picco della rampa necessaria alla generazione del segnale PWM.

 \bullet G_s rappresenta la funzione di trasferimento del controllore .

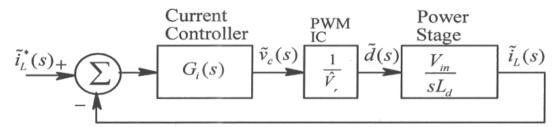


Figura 3.2.1: Anello interno in corrente - [6]

Calcolando il guadagno d'anello $T_i(s)$, si ottiene :

$$T(s) = G_i(s)\dot{P}WM(s)\dot{G}_s(s)$$
(3.2.3)

Per garantire la stabilità si richiede che T(s) abbia una pendenza di -20 dB/dec all'attraversamento degli 0 dB e una fase tra 0 e -180°.

Un'altra considerazione importante sul guadagno d'anello è che deve avere guadagno infinito per frequenza nulla, in modo tale da ottenere un errore a regime stazionario nullo.

La funzione di trasferimento $G_i(s)$ descrive una buona approssimazione lo stadio di potenza a frequenze elevate, è quindi necessario che il controllo, o compensazione abbia un polo nell'origine in modo tale da assicurare guadagno d'anello infinito in DC, e quindi un errore a regime nullo. Per ottenere un margine di fase appropiato il compensatore necessita anche di una coppia polo zero. La funzione di trasferimento del controllore è quindi :

$$G_i(s) = \frac{K_c}{s} \frac{1 + s/\omega_z}{1 + s/\omega_p} \tag{3.2.4}$$

3.3 Anello di controllo della tensione

Per quanto riguarda l'anello di controllo esterno , si identificano i blocchi che lo costituiscono con le analoghe funzioni di trasferimento :

• G_i^c rappresenta la funzione di trasferimento dell'anello interno, ovvero l'anello chiuso che controlla la corrente.

L'anello interno è molto più veloce e reattivo dell'anello esterno. Lavora infatti alla frequenza di commutazione f_s , con frequenza di taglio dell'ordine dei kHz. Ovviamente la frequenza di taglio dipende dalla scelta di f_s da parte del progettista. L'anello esterno invece è molto più lento, generalmente viene progettato in modo tale che abbia una frequenza di taglio dell'ordine della decine di Hz, per minimizzare il ripple dovuto alla seconda armonica della corrente che scorre attraverso lo stadio d'uscita i_d [9].

Si può quindi considerare il guadagno dell'anello interno reatroazionato di valore unitario, quindi pari a 1. Questo è verosimile per frequenze minori della frequenza di taglio dell'anello interno.

$$G_i^c(s) \approx 1 \tag{3.3.1}$$

ullet G_p rappresenta la funzione di trasferimento del modulo di potenza , ed è definito come :

$$G_p(s) = \frac{\widetilde{V}_o(s)}{\widetilde{I}_L(t)} = \frac{1}{2} \frac{V_s}{V_o} \frac{R}{1 + sRC}$$
(3.3.2)

dove R indica la resistenza del carico e C la capacità d'uscita. V_s indica il valore di picco della tensione sinusoidale in ingresso

 \bullet G_v rappresenta la funzione di trasferimento del controllore.

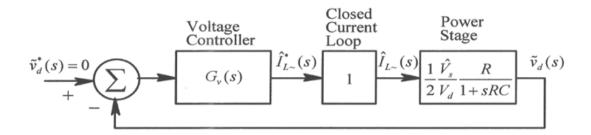


Figura 3.3.1: Anello esterno in tensione - [6]

A questo punto si può calcolare il guadagno d'anello T(s):

$$T(s) = G_i^c(s)\dot{G}_p(s)\dot{G}_v(s)$$
(3.3.3)

Per ottenere un errore a regime stazionario nullo , il controllore deve iniettare un polo nell'origine. Dopodichè è necessaria una coppia di polo-zero per localizzare in modo corretto la frequenza di crossover del sistema ad anello aperto. Frequeza che deve essere sicuramente molto minore della frequenza di crossover dell'anello in corrente. Un'altra considerazione importate per il posizionamento della frequenza dell'attraversamento degli 0 dB sono le armoniche. Infatti molto spesso la frequenza di crossover viene fissata a valori molto bassi, ad esempio 10 Hz, in modo tale da minimizzare il ripple di seconda armonica di linea a 100 Hz.

La funzione di trasferimento del controllo è quindi la seguente :

$$G_i^c(s) = \frac{K_v}{s} \frac{1 + s/\omega_z}{1 + s/\omega_p}$$
 (3.3.4)

Quindi anche in questo caso viene utilizzato un compensatore di tipo 2 poichè attraverso di essi è possibile minimizzare la propagazione delle armoniche all'interno dell'anello, e ottenere un errore a regime teoricamente nullo.

I maggiori vantaggi di questa tecnica di controllo, come descritto in [5], sono : frequenza di commutazione costante, non necessita di rampa di compensazione, il controllo intrinsecamente ha una buona immunità al rumore di commutazione.

D'altro canto gli svantaggi sono : necessita il sensing della corrente dell'induttore, un amplificatore di corrente è necessario per effetturare la compensazione.

Questa tecnica inoltre prevede due sottocategorie, o meglio modalità di funzionamento, la modalità CCM e DCM. Il fattore che le contraddistingue è essenzialmente il valore della corrente che scorre nell'elemento reattivo, ovvero l'induttanza. Infatti nella modalità CCM, la corrente che scorre nell'induttore non è mai nullo per un periodo prolungato (Fig,3.3.2). Al contrario, nella modalità DCM che sta per Discontinuous conduction mode, la bobina si scarica completamente ad ogni pediodo di commutazione (Fig.3.3.3). Ovviamente ciascuna delle due modalità portano con sè diverse considerazioni, analizzate nel prossimo capitolo.



Figura 3.3.2: Modalità CCM

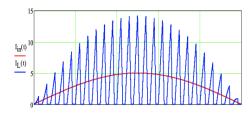


Figura 3.3.3: Modalità DCM

Il fatto che il controllo sia in modalità DCM o CCM dipende dalla corrente assorbita dal carico. Generalmente in situazione di light load, ovvero per carichi caratterizzati da alti valori di resistenza, la corrente assorbita diminuisce, di conseguenza il circuito lavorerà in modalità DCM.

D'altro canto, in situazione di hard load, ovvero per carichi caratterizzati da valori di resistenza relativamente bassi, la corrente assorbita aumenta, e il circuito lavorerà in modalita CCM.

E' anche giusto sottolineare che le condizioni di stabilità cambiano a seconda delle due modalià di funzionamento.

3.4 Borderline Current Control

A questo punto si vuole brevemente introdurre una differente tecnica di controllo, utilizzata soptrattutto per medie-basse potenze, chiamata Borderline Current Control, a volte chiamata anche Critical Conduction Mode. Questa tecnica utilizza come nel caso precedente, due anelli di retroazione. Uno esterno in tensione, utilizzato per il controllo della tensione del bus, e un anello in corrente interno, composto da due comparatori e un flip flop set-reset, come è possibile vedere in figura 3.4.1.

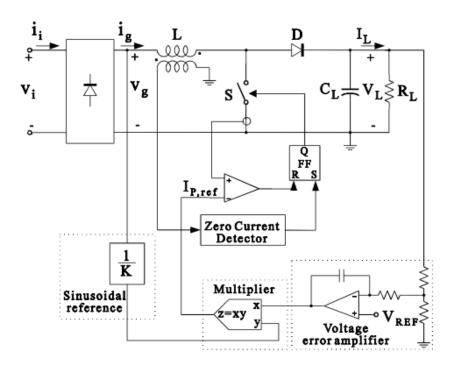


Figura 3.4.1: Schema dell'architettura di controllo di tipo Borderline Current Control - [5]

L'anello esterno lavora nella stessa maniera descritta per l'Average Current Control. Quindi genera una segnale proporzionale alla differenza tra il segnale di riferimento e la tensione d'uscita. Questo segnale viene poi moltiplicato per la tensione rettificata e scalata di rete, per poi essere utilizzato come segnale di riferimento per l'anello in corrente.

Un comparatore confronta il segnale con la corrente che scorre nell'induttanza. L'interruttore è chiuso, la corrente dell'induttore cresce con una pendenza pari a V_{in}/L . La corrente cresce fino a che raggiunge il valore di riferimento . Il comparatore fa resettare il valore del flip-flop aprendo l'interruttore di potenza. La corrente dell'induttore ricircola nel diodo e nello stadio d'uscita.

L'induttanza si scarica quindi completamente, un rilevatore di corrente nulla sulla bobina riattiva il set del flip flop nel momento in cui rileva che la corrente assorbita è

nulla. Cosi facendo il controllo chiude l'interuttore, caricando la bobina e iniziando un nuovo ciclo.

Come si può vedere in figura 3.4.2 la corrente assorbita dallo stadio è di natura triangolare, con il proprio inviluppo di natura sinusoidale. Ovviamente questo tipo di controllo va a stressare in modo maggiore i componenti a causa degli alti valori rms e di picco delle correnti, aumentando oltretutto i valori delle perdite di conduzione. Le perdite di commutazione in chiusura sono nulle, in quanto avvengono per valore di corrente nulla (ZCS, zero current switch).

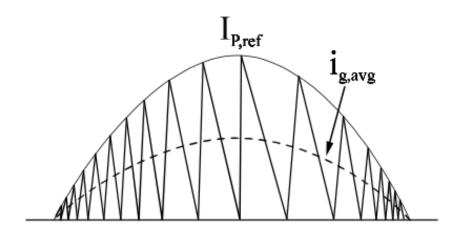


Figura 3.4.2: Borderline currents - [5]

Questa tecnica non prevede compensatore nell'anello in corrente, nè rampa di compensazione e il controllo della corrente di picco del sistema risulta abbastanza semplice.

I maggiori svantaggi di questa topologia di controllo sono : frequenza di commutazione variabile e necessita la misurazione della tensione della bobina per misurare che effettivamente sia scarica.

La variabilità della frequenza di commutazione è un problema serio in quanto anche la frequenza delle armoniche sarà variabile, compromettendo il rispetto delle normative.

Capitolo 4

Topologie per la realizzazione di uno stadio PFC di 2.5 KW

Esistono molteplici topologie di PFC monofase, la maggior parte di queste sono derivate dal circuito convertitore convenzionale Boost. Attualmente il mercato di alta potenza è governato da quest'ultima, e dalla topologia di tipo Buck-Boost per basse potenze.

Ovviamente sono presenti altre topologie, ad esempio PFC risonanti, ma molto poco utilizzate poichè presentano degli svantaggi, sia a livello realizzativo, che a livello progettuale, a causa della complessità del controllo [10].

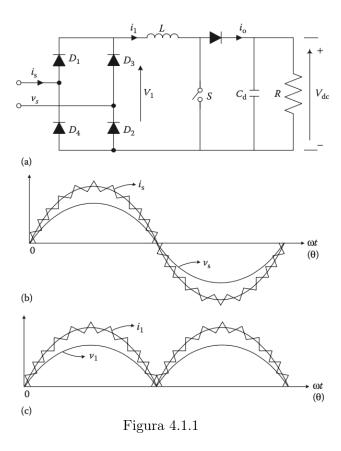
Affidabilità e costi fanno da padrone nelle scelte progettuali. Queste ultime sono funzioni degli stress dei componenti, è quindi molto importante capire lo stress che ogni topologia ripercuote sui dispositivi che compongono il circuito.

Generalmente maggiore sarà lo stress sui componenti, minore sarà l'affidabilità del prodotto e maggiori saranno i costi.

4.1 Boost Convenzionale

4.1.1 Principio di Funzionamento

Come già esplicitato nel capitolo 2 e 3 di questo studio, il funzionamento da PFC del convertitore AC/DC boost si basa sulla iterazione di due anelli di controllo.



A valle del ponte di Graetz vi è la tensione di rete raddrizzata. L'anello interno del controllo la misura, forzando la corrente assorbita dello stadio al medesimo profilo sinusoidale.

Ovviamente è da considerare che l'effettivo assorbimento dipende dalla tecnica di controllo utilizzata, in figura 4.1.1 l'Average Current Control in CCM.

L'anello esterno invece, provvede attraverso un moltiplicatore ad assegnare il giusto valore di ampiezza al segnale di riferimento dell'anello in corrente, assicurando il corretto livello di assorbimento e il valore nominale della tensione d'uscita.

4.1.2 Considerazioni realizzative

La topologia Boost è relativamente semplice e tramite il suo utilizzo è possibile ottenere una corrente di ingresso poco disturbata, con PF di valore praticamente unitario utilizzando diverse tecniche di controllo, come l'Average Current Control o Borderline Current Control enunciate precedentemente.

I convertitori di questo tipo sono caratterizzati da una rilevante perdita di conduzione in quanto la corrente scorre sempre attraverso tre dispositivi a semiconduttore, nello specifico due diodi in serie, a causa della presenza del ponte e il diodo di ricircolo o l'interruttore di potenza, in funzione dello stato di conduzione di quest'ultimo.

Tutto ciò implica un'abbassamento delle performance per quanto rigurda l'efficienza del sistema soprattutto per bassi valori di tensioni di ingresso [11].

Per ottenere alte densità di potenza, ovvero un elevato rapporto tra potenza erogabile e dimensioni dello stampato, ottimizzando la velocità di riposta nei transitori, il convertitore necessita di operare a elevate frequenze di commutazione.

All'aumentare della frequenza di commutazione però, aumentano le perdite di commutazione in hard-switching dell'interrutore di potenza nonchè le perdite delle correnti di recupero del diodo d'uscita [11].

Questa topologia circuitale è inoltre caratterizzata da un'elevato ripple in uscita, e al fine di minizzarlo, la capacità d'uscita è generalmente sovradimensionata, aumentando il volume totale del circuito.

Per applicazioni di alta potenza anche le dimensioni dell'induttore diventano un problema, limitando anche in questo caso la densità di potenza del prodotto [12].

Per livelli di potenza maggiori di 1 kW, tipicamente i dispositivi semiconduttori vengono sostituiti da più semiconduttori in parallelo in modo tale da aumentarne la portata.

Il Boost convenzionale è la topologia più comune oggigiorno [12] per livelli di potenza medi, per alti livelli di potenza le perdite dovute al ponte a diodi di ingresso vanno a degradare quelle che sono le perfomance di efficienza del sistema, è quindi importante la ricerca di soluzioni alternative.

4.2 Interleaved Boost

4.2.1 Principio di funzionamento

La configurazione Boost Interleaved è semplicemente la replica di due o più stadi stadi innalzatori di tipo Boost in parallelo, come mostrato in figura 4.2.1.

Gli stadi lavorano a fasi alternate cosí che le correnti di ciascuno stadio vengano sommate in uscita.

Il valore del duty cycle applicato a ciascun interruttore è il medesimo e non dipende dal numero di rami dell'applicazione ma solo dalla tensione di rete e dalla tensione d'uscita.

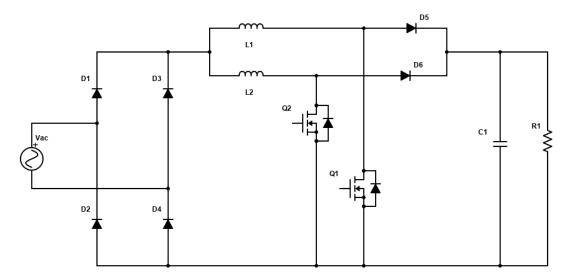
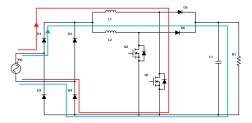
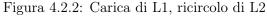


Figura 4.2.1: Schema circuitale PFC Boost Interleaved

Di seguito viene descritto il funzionamento del circuito Interleaved a due rami, come mostrato in figura 4.2.1, per la semionda positiva. In questo caso, la presenza di due stadi determina lo sfasamento tra i due convertitori di 180° , quindi i relativi MOS vengono pilotati con uno sfasamento temporale pari a metà del tempo di commutazione T_{SW} .

Si possono quindi identificare 4 configurazioni circuitali. Due di queste sono caratterizzate da uno dei due MOS chiuso, mentre l'altro è interdetto. Cosi facendo uno stadio carica la relativa induttanza mentre il secondo ricircola la corrente nello stadio d'uscita, come rappresentato rispettivamente nelle figure 4.2.2 e 4.2.3.





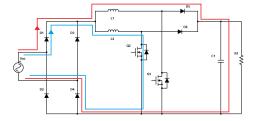
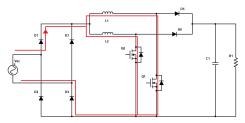


Figura 4.2.3: Carica di L2, ricircolo di L1

Le rimanenti configurazioni accadono quando entrambi i MOS conducono, o quando sono contemporaneamente interdetti. Cosi facendo entrambi gli stadi, rispettivamente, caricano le proprie induttanze come mostrato in figura 4.2.4, o ricircolano la corrente nello stadio d'uscita in figura 4.2.5.

La prima configurazione si ha solo per valori di duty cycle maggiori di 0.5, mentre la seconda è possibile solo per valori di duty cycle minori di 0.5.



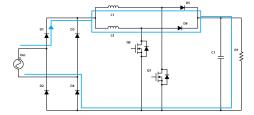


Figura 4.2.4: Carica di L1 e L2

Figura 4.2.5: Ricircolo di L1 e L2

Il principio di funzionamento è il medesimo durante la semionda negativa, la quale verrà raddrizzata grazie alla presenza del ponte a diodi in ingresso.

La corrente d'uscita che ricircola nello stadio d'uscita quindi non è più caratterizzata da un profilo simile a un'onda quadra con inviluppo di una sinuosoide raddrizzata ma ha un profilo più continuo a cui è sovrapposto il ripple derivante dai singoli stadi.

4.2.2 Considerazioni progettuali

Nella topologia interleaved, il singolo convertitore è sostitito da 2 o più convertitori in parallelo. Questi ultimi lavorano con un determinato sfasamento in modo tale che i ripple di corrente, una volta sommati in uscita, si compensino.

Questo fa si che lo stadio necessiti di un filtro più semplice, riducendo così le dimensioni della capacità d'uscita [13].

Per applicazioni di alta potenza è molto utilizzato in quanto la corrente su ciascuno stadio è una frazione della corrente di ingresso [11].

Tutto ciò permette di ridurre le dimensioni delle induttanza, dei diodi e degli interruttori, in quanto gli stress, in termini di correnti efficaci e termici sono ridotti. La configurazione Interleaved intrinsicamente aumenta la frequenza di commutazione in modo proporzionale al numero di convertitori in parallelo.

Questo garantice una riduzione del ripple di ingresso, il quale porta a sua volta a una riduzione dei disturbi di modo differenziale semplificando la realizzazione del filtro EMI.

Vi sono però anche degli svantaggi. Poichè la corrente necessita di essere controllata al fine di evitare situazioni di sovraccarico, il pilotaggio e il circuito di controllo si complicano[11].

In situazione di light load invece, il sistema rischia di essere pilotato in modalità DCM, facendo aumentare le perdite del sistema.

Le perdite sul ponte a diodi rappresentano una parte importante delle perdite totali dello stadio : complessivamente le performance di efficienza dello stadio sono molto simili a quelle della topologia Boost convenzionale [12].

4.3 Bridgeless Boost

4.3.1 Principio di funzionamento

A differenza della topologia classica, la topologia di tipo Bridgeless Totem Pole Boost non presenta nessun ponte raddrizzatore in ingresso. Il circuito è composto da due switching cell, o celle di commutazione [13].

Ogni cella è composta da una coppia interruttore-diodo, per un totale di 4 dispositivi di potenza, come mostrato in figura 4.3.1.

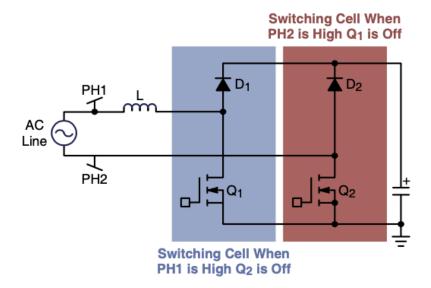


Figura 4.3.1: Bridgless Boost PFC - [13]

Ogni switching cell lavora per un semiperiodo, mentre per metà del tempo rimane "inattiva". Durante la semionda positiva, la switching cell di sinistra, composta dal diodo D1 e l'interruttore Q1 sarà attiva, ovvero la modulazione PWM verrà effettuata sull'interruttore Q1 in figura 4.3.2. Il Mosfet Q2 rimane inattivo.

Durante il periodo T_{on} la corrente percorre il mosfet Q1 e il body diode del Mosfet Q2, al fine di caricare l'induttanza.

Durante il perido T_{off} la corrente ricircola nel diodo D1 passando sempre per il body diode del Mosfet Q2, trasferendo energia al carico.

Per minimizzare le perdite quest'ultimo può essere mantenuto in conduzione per tutta la durata della semionda positiva, permettendo la corrente di scorrere dal source al drain, se pilotato correttamente.

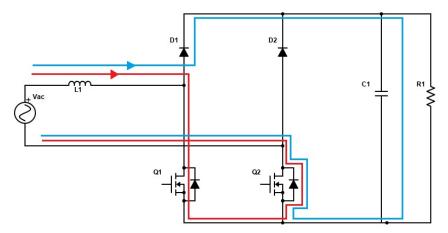


Figura 4.3.2: Bridgless Boost PFC durante la semionda positiva

Nella seconda metà del semiperiodo invece, ovvero durante la semionda negativa, la switching cell di destra, composta da D2 e Q2 sarà attiva, e la modulazione PWM avverrà proprio su quest'ultimo, mentre l'interruttore Q1 rimarrà aperto, in figura 4.3.3. Durnate la fase di carica dell'induttore la corrente scorrerà attraverso Q2 e il body diode di Q1. Durante la scarica della bobina invece la corrente ricircola attraverso il diodo D2 e il body diode di Q1. Anche in questo caso vi è la possibilità di mantere in conduzione il Mosfet Q1 per tutta la durata della semionda negativa al fine di minimizzare le perdite.

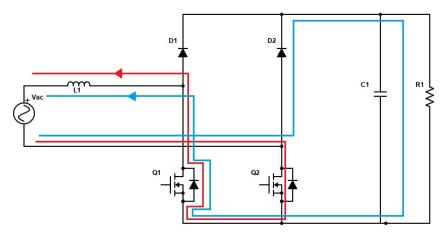


Figura 4.3.3: Bridgless Boost PFC durante la semionda negativa

4.3.2 Considerazioni realizzative

La topoglia Bridgeless evita la necessità del ponte a diodi in ingresso, rendendola una interessante soluzione per applicazioni di qualche kW, dove la densità di potenza e l'efficienza del sistema sono parametri particolarmente importanti [12].

L'eliminazione del ponte risolve anche il problema della gestione termica sui diodi che lo caratterizzano, semplificando il sistema di raffreddamento. Le perdite di conduzione sono quindi minimizzate poichè ridotto è il numero dei dispositivi semiconduttori che trasferiscono potenza dalla sorgente al carico.

Un'importante svantaggio di questo circuito è la tensione di ingresso flottante rispetto al nodo di riferimento del PFC, la quale rende complicato la misurazione della corrente che scorre nell'induttanza, generalmente effettuata attraverso un trasformatore o un'optoisolatore [12]. Se il carico invece è connesso a terra, il neutro della rete oscilla tra la terra e il valore di tensione d'uscita dello stadio, come mostrato in figura 4.3.3. Questa variazione "dV/dt" è relativamente importante e può determinare la generazione disturbi di natura di modo comune [13]. Lo stadio quindi potrebbe necessitare di un filtro EMI in ingresso più complicato al fine di rispettare le normative europee sulla generazione dei disturbi elettromagnetici.

I diodi d'uscita, inoltre, sono caratterizzati da importanti problemi, causati dalla limitatezza della corrente di recupero inversa che, per alte frequenze di commutazione, possono generare perdite di accensione e spegnimento addizzionali agli interruttori nonchè disturbi elettromagnetici aggiuntivi [14]. Questo tipo di soluzione è sicuramente più complessa ma l'assenza del ponte a diodi porta grandi benefici in termini di efficienza.

4.4 Totem Pole Boost

4.4.1 Principio di funzionamento

La topologia Bridgeless Totem Pole sostituisce al ponte 4 dispositivi di potenza, posizionati a coppie su due rami.

Un ramo lavora a frequenza pari a quella di rete, nel nostro caso 50 Hz nominali, composto da S4 e S3, in figura 4.4.1. Per semplicità possiamo riferirci a questo ramo denominandolo ramo SINCH.

Mentre l'altro ramo lavora alla frequenza di commutazione opportunamente selezionata, composto da S1 e S2. Per semplicità possiamo riferirci a quest'altro ramo denominandolo ramo PWM.

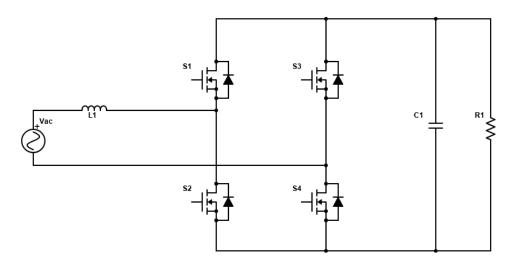


Figura 4.4.1: Bridgless totem pole scheme

A questo punto si può descrivere il comportamento del circuito andando ad analizzare la configurazione al variare della polarità tensione di ingresso.

Durante tutta la semionda positiva, per quanto riguarda il ramo SINCH, il MOS S4 è mantenuto in conduzione mentre la controparte high-side S3 sarà mantenuta in uno stato di interdizione.

Per quanto riguarda il ramo PWM, la modulazione ad impulsi verrà applicata al gate del MOS S2, caricando l'induttanza durante il periodo T_{on} . La corrente durante questo intervallo scorre attraverso i MOS S2 e S4, in particolare quest'ultimo condurrà corrente dal source al drain, come mostrato in rosso in figura 4.4.2.

Durante il periodo T_{off} il MOS S2 si apre e la corrente ricircola attraverso il Mosfet S1 opportunamente pilotato dalla controparte del segnale PWM, conducendo anch'esso corrente dal source al drain.

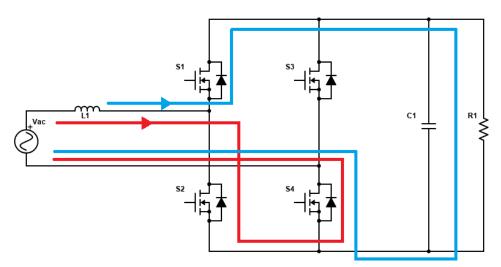


Figura 4.4.2: Bridgless totem pole durante la semionda positiva

Durante la semionda negativa i ruoli dei transistor "lenti" del ramo SINCH, che lavorano a 50 Hz saranno invertiti, quindi S3 condurrà mentre S4 sarà interdetto. Durante questo secondo semiperiodo la modulazione avverà al gate del MOS highside S1, mentre il transistor S2 verrà utilizzato per il ricircolo della corrente nello stadio di uscita, conducendo nel quarto quadrante, come mostrato in figura 4.4.3.

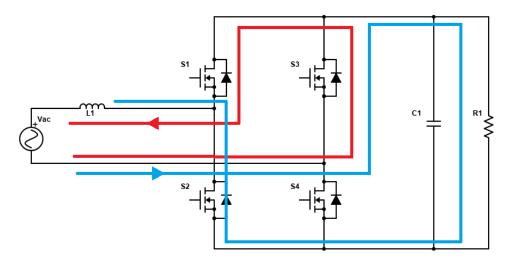


Figura 4.4.3: Bridgless totem pole durante la semionda negativa

4.4.2 Considerazioni realizzative

Questa topologia minimizza il numero di dispositivi a semiconduttore, eliminando il ponte d'ingresso. Vengono massimizzate efficienza e densità di potenza. Ovviamente il tutto si paga in termini di complessità del controllo, a partire dalla misurazione della corrente, al corretto pilotaggio dei MOS [15].

Non è caratterizzato da distinte performance per quanto riguarda i disturbi di modo comune rispetto alle altre topologie.

Infatti, se il carico è connesso a terra, come nel caso della topologia Bridgless, il neutro della rete oscilla tra la terra e il valore di tensione d'uscita dello stadio. Questa variazione "dV/dt" è relativamente importante e potrebbe generare ground loop degradando le performance di compatibilità elettromagnetica. Un'altro svantaggio importante di questa topologia circuitale è rappresentato dagli spike di corrente generati nel momento in cui si passa dalla cofigurazione circuitale della semionda positiva alla negativa e viceversa. Questi sono dovuti alla carica residua sui body diode. Per semplificare, riferendosi alla figura 4.4.4, nel momento in cui si commuta dalla configurazione circuitale della semionda negativa alla semionda positiva il duty cycle del mosfet Q3 passa dal 100 % allo 0 %. Viceversa il Mosfet Q4 che passa da un duty cycle nullo , al valore unitario [16].

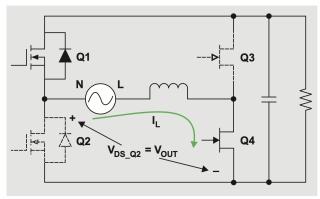


Figura 4.4.4: Current spike - [16]

Il duty cycle pari al 100% è giustificato dal fatto che la tensione di ingresso, ovvero la tensione di rete è praticamente nulla. A causa della lenta corrente di recupero inversa , o meglio reverse recovery current del body diode del Mosfet Q1, e della capacità C_{oss} del Mosfet Q2 la tensione ai capi di quest'ultimo è pari alla tensione d'uscita [16]. In altre parole, a causa del lento spegimento del MOS Q2, o meglio del body diode, e della capacità parassita tra drain e source del MOS Q2, ai quali vi è una tensione residua pari alla tensione d'uscita. Così facendo la tensione ai capi dell'induttanza è pari V_o . Poichè si sta applicando una tensione molto elevata all'induttore quando Q4 entra in conduzione si va a generare uno spike di corrente relativamente importante come spiegato nel dettaglio in [17]. Questo problema viene affrontanto attraverso un soft switching del mosfet Q4 al passaggio della semionda positiva e di Q3 per quella negativa. Inoltre, ogni volta che la rete cambia la polarità, vengono disabilitati tutti i dispositivi [18].

L'utilizzo di Mosfet di tipo GaN caratterizzati da reverse recovery charge nulla, è un'altra possibile solouzione al problema.

4.5 Back to Back Bridgeless BOOST

4.5.1 Principio di funzionamento

Il BTBBL (Back to back Bridgeless) [19] è una nuova topologia composta da un interruttore bidirezionale, una bobina e un ponte di Graezt, che però è collocato sullo stadio di uscita, in figura 4.5.1.

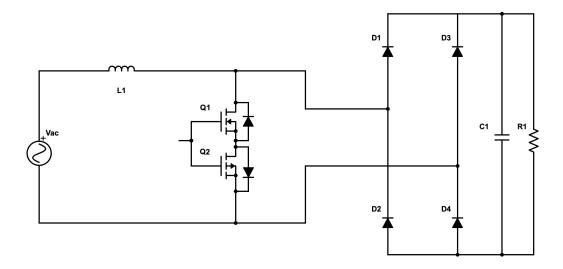


Figura 4.5.1: Back to Back Bridgeless Scheme

Il suo funzionamento è relativamente semplice. Il segnale PWM è applicato all'interruttore, il quale permette la carica e la scarica dell'induttanza. Durante la fase di carica la corrente cresce o decresce, in funzione della semionda, se positiva o negativa. Nella seconda fase, quando l'interruttore si apre la corrente ricircola nello stadio d'uscita.

A seconda del verso della corrente, che dipende dal semiperiodo, questa ricircolerà attraverso il ponte di Graezt che la raddrizzerà caricando la capacità d'uscita [19].

In figura 4.5.2 si può osservare come la corrente circola durante la fase di carica dell'induttanza, in rosso. La corrente scorre attraverso il MOS Q1 e il body diode del MOS Q2 per chiudere il circuito. Durante la fase di ricircolo il MOS Q1 viene aperto e la corrente ricircola nello stadio d'uscita.

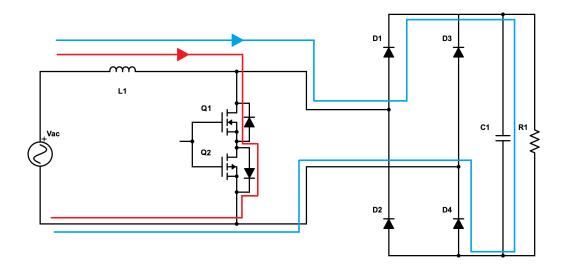


Figura 4.5.2: Ricircolo correnti durante semionda positiva

Per la semionda negativa, il comportamento dei MOS è complementare, figura 4.5.3. Per chiudere il circuito e caricare l'avvolgimento il Mosfet Q2 è chiuso mentre il MOS Q1 permette la conduzione della corrente tramite il proprio body diode. Analogamente durante la fase di ricircolo la bobina si scarica sul filtro d'uscita attraverso il ponte.

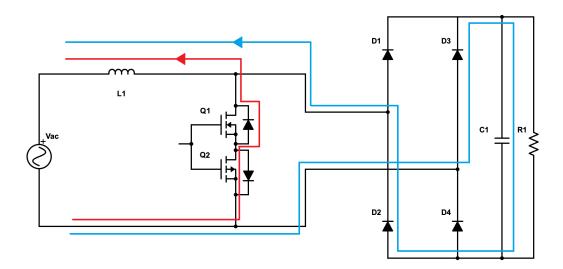


Figura 4.5.3: Ricircolo correnti durante semionda positiva

4.5.2 Considerazioni realizzative

Questa topologia non minimizza il numero di disposivi a semiconduttore, infatti presenta 4 diodi connessi in configurazione ponte che precedono la capacità d'uscita. Spostando il ponte le perdite su di esso sono approssimativamente dimezzate, rispetto alla topologia Boost tradizionale, in quanto in questo caso il ponte di Graetz conduce soltanto durante ogni fase di ricircolo e non per tutto il periodo.

Il circuito è caratterizzato da un interruttore bidirezionale che opera per entrambe le semionde, e offre una bilanciata impedenza di ingresso la quale aumenta le prestazioni per quanto riguarda la generazione di disturbi [15].

L'interruttore bidirezionale può essere controllato attraverso un unico segnale, usato per il pilotaggio di entrambi i MOS Q1 e Q2 (Fig.4.5.1).

E' importante menzionare anche il fatto che Q1 e Q2 devono essere installati invertiti, al fine di evitare corrente di recupero inverse quando entrambi gli interruttori sono aperti [14].

Questo tipo di convertitore è consigliato per applicazioni a bassa tensione e potenza poichè l'interruttore bidirezionale aumenta le perdite e necessita di un robusto circuito di soft switch al fine di gestire elevati valori di corrente [14].

Capitolo 5

Progetto

Dato il potenziale del circuito Bridgeless Totem Pole Boost, per quanto riguarda i livelli di efficienza, è stata scelta questa tipologia circuitale per l'avanzamento del progetto.

Questa topologia assicura una efficienza di picco all'incirca del 99%, come descritto in [20] e [21], con costi di produzione relativamente ridotti [22].

Performance di efficienza elevate e costi ridotti sono due fattori importanti per la realizzazione di un prodotto di questo genere, il quale potrebbe essere utilizzato per applicazioni come caricabatterie ermetici o alimentatori da server.

Questa topologia è inoltre utilizzabile nei sistemi trifase, e anche in questo caso i livelli di rendimento sono molto elevati [23]. È quindi ragionevole la scelta di questa tipologia circuitale in quanto da essa si può beneficiare l'esperienza per un futuro studio e realizzazione di un dispositivo PFC Totem Pole trifase.

Nella prima fase è stato necessario eseguire una ricerca dei circuiti integrati appropriati, basata anche sulla disponibilità, in quanto lo scopo della tesi è la progettazione di un prototipo, il perfezionamento di questo al fine di ingegnerizzarlo e renderlo disponibile sul mercato.

In seguito sono presenti due possibili realizzazioni, in quanto, in fase di progettazione del primo campione, il mercato ha reso disponibile un'altro integrato che per diversi motivi, tra cui affidabilità del costruttore, minor numero di dispositivi, quindi minor costi e maggior affidabilità ha deviato il progetto in corso d'opera su una diversa realizzazione del prototipo.

Le specifice di progetto, come introdotte nel primo capitolo, sono :

Tensione di ingresso	da 195 a 265 V_{rms} a 50 Hz
Tensione d'uscita	385 V
Potenza massima	2500W
Ripple di corrente sull'induttore	25% della corrente massima
Hold up time	8 ms alla tensione minima 340 V

Tabella 5.0.1: Specifiche di progetto

5.1 UCC2818

La ricerca ha portato alla selezione del circuito integrato chiave per la realizzazione del prototipo : l'IC UCC2818 della Texas Instruments.

Quest'ultimo è nato per la realizzazione di PFC di tipo BOOST tradizionale, ma tramite le opportune modifiche è possibile renderlo adatto alla prototipazione di un PFC Bridgeless Totem Pole [24] [25].

L'integrato UCC2818 provvede alla generazione di tutte le funzioni e segnali necessari alla realizzazione di uno stadio raddrizzatore preregolatore. Attraverso questo controllore si possono raggiungere livelli di PF pressochè unitari monitorando la tensione di rete. Il controllo di tipo Average Current Control permette di ottenere bassi livelli di distorsione sulla linea, mantenendo i valori delle correnti efficaci nel circuito realtivamente bassi.

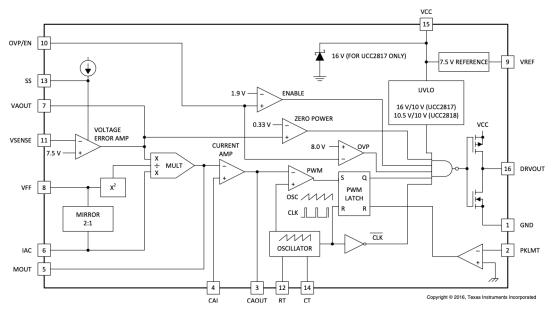


Figura 5.1.1: Schema di principio UCC2818 - [25]

La descrizione delle funzionalità di ogni singolo terminale del circuito è lasciata al lettore, attraverso la lettura del datasheet [26], ma di seguito saranno descritti i blocchi funzionali e le funzionalità dei terminali principali per il corretto funzionamento del controllore.

Innanzi tutto, l'integrato UCC2818 necessita della tensione di rete raddrizzata al pin IAC in figura 5.1.1 al fine di assorbire una corrente sinusoidale in fase con la rete. Il circuito PFC Totem Pole Bridgeless però non genera nessuna tensione raddrizzata, è quindi necessario aggiungere uno stadio raddrizzattore e attenuatore.

Ovviamente per il corretto funzionamento il controllore deve poter misurare la tensione d'uscita, attreverso il pin VSENSE.

La compensazione degli anelli di tensione e corrente avviene tramite l'inserimento di una rete RC tra i pin MOUT e COUT per l'anello in corrente e VAOUT e COUT per l'anello esterno in tensione, come poi verrà descritto nel dettaglio.

Il controllore è dotato di altre funzionalità, come la soft start, la quale permette di limitare i valori in inrush current. Vi è possibilità di abilitare o meno l'integrato, ed è caratterizzato da una protezione alle sovraccorrenti. La descrizione dettagliata delle varie funzionalità è reperibile sul datasheet del componente [26].

Di seguito uno schema di principio di utilizzo dell'integrato nella configurazione canonica Boost, in figura 5.1.2.

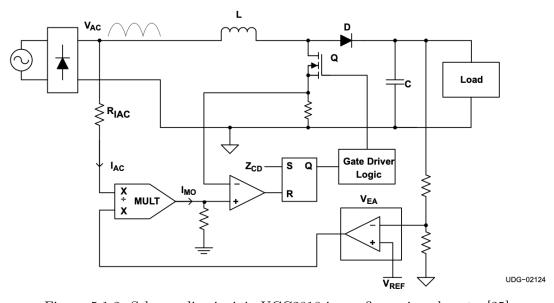


Figura 5.1.2: Schema di principio UCC2818 in configurazione boost - [25]

Per analizzare il funzionamento del circuito possiamo considerare il comportamento per le due semionde e durante l'attraversamento per lo 0. E' però vantaggioso, per una corretta comprensione del controllo una prima analisi dei vari blocchi che compongono il circuito.

Rilevazione della semionda

Il circuito di rilevazione della semionda è composto da un comparatore Schmitt Trigger, come è possibile vedere in figura 5.1.3, in quanto la retroazione avviene sul pin non invertente dell'amplificatore operazionale. E' necessario per il riconoscimento delle semionde, quindi rileva la fase del periodo. L'isteresi è necessaria per filtrare eventuale rumore sulla rete.

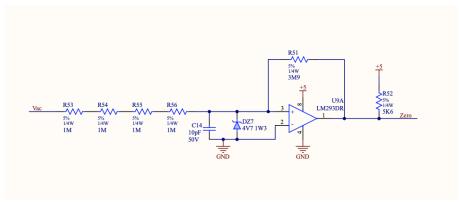


Figura 5.1.3: Circuito di rilavazione di semionda

La resistenza di ingresso dello stadio è stata selezionata molto elevata per minimizzare la potenza dissipata. La capacità tra i morsetti del comparatore è utilizzata per effettuare un ulteriore filtraggio di eventuali rumori sulla linea. Il diodo zener invece è necessario per salvaguardare l'integrato da sovratensioni che andrebbero a compromettere l'integrità del circuito, limitando quindi la dinamica ai morsetti dell'integrato. Infatti per durante la semionda positiva la tensione ai suoi capi è limitata a 4.7V, mentre durante la semionda negativa è limitata al valore di tensione di soglia V_{γ} .

Le tensioni di soglia del comparatore di Schmitt Trigger sono $V_{-} = -5.12$ V e $V_{+} = 0$ V. Il loro valore non è critico, in quanto il segnale servirà si per la commutazione dei mosfet SINCH, come verrà spiegato nel seguito dello studio, ma questa avviene a tensione di rete praticamente nulla e con i dovuti accorgimenti.

L'uscita, "Zero", assumerà un valore logico alto, pari a 1 durante la semionda positiva e un valore logico basso, pari a 0 durante la semionda negativa.

Finestra d'attraversamento

La prima parte del circuito lavora da raddrizzatore/attenuatore, preleva la tensione di rete e la rende compatibile con la logica di controllo, in figura 5.1.4.

Anche in questo caso la resistenza di ingresso dello stadio è di valore molto elevato in modo da minimizzare le perdite.

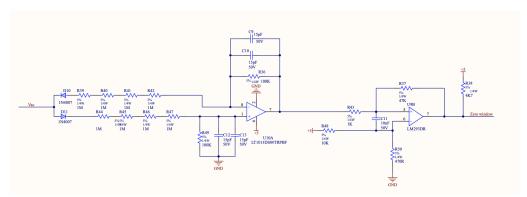


Figura 5.1.4: Circuito per la generazione finestra d'attraversamento

Il guadagno dello stadio raddrizzatore/attenuatore è stato scelto pari a 1/40. Delle capacità di filtro ripuliscono il segnale proveniente dalla rete da eventuale rumore ad alta frequenza, nello schematico in figura 5.1.4: C9 e C10 collegate tra uscita e morsetto invertente, C12 e C13 collegate tra morsetto non invertente e la tensione di riferimento.

Il segnale raddrizzato entra poi in ingresso ad un comparatore Schmitt Trigger necessario alla generazione di una segnale a finestra, nei pressi dell'attraversamento, o meglio, nel cambio di polarità delle fasi. La durata di questa finestra ovviamente dipende dalla valore di picco della tensione di rete.

In ingresso al comparatore Schmitt Trigger è stata inserita una capacità di filtro C11, tra i morsetti dell'integrato, in modo da aumentarne ulteriormente l'immunità. Lo stadio prevede due tensioni di soglia, $V_+=229\mathrm{mV}$ e $V_-=133~\mathrm{mV}$. Il segnale d'uscita "Zero window" è portato a 0 logico quando la tensione di rete scende sotto i 5.32 V e a livello 1 logico quando sale oltre 9.16V.

Il comparatore quindi generara un segnale a finestra, attivo basso, durante il cambio di polarità delle fasi.

Il valore delle due tensioni di soglia non è critico, in quanto la generazione del segnale a finestra impone l'apertura dei MOS SINCH, come verrà esplicitato in seguito. Se questi MOS vengono aperti, la corrente potrà comunque ricircolare attraverso i body diode dei medesimi, permettendo al circuito di funzionare correttamente.

L'unica restrizione è la durata della finestra temporale. Infatti deve garantire un dead-time tra lo spegimento e l'accensione dei MOS SINCH, al fine di evitare perdite di cross-conduzione e nel peggiore dei casi la rottura dei MOS.

Il pediodo minimo della finestra temporale è stato calcolato per la massima tensione di rete, ovvero 265 V_{rms} , pari a 123 μs , un tempo più che sufficiente per garantire il corretto dei MOS in configurazione Totem Pole.

Riconoscimento DCM

Questo blocco circuitale è composto da un comparatore veloce, il quale è necessario per prevenire che la corrente scorra dallo stadio d'uscita alla rete. Nel momento in cui il segnale CS raggiunge tensioni maggiori di 0V, in via teorica, il segnale "Current Component", in figura 5.1.5 diventa di valore logico 0, si propaga nella logica combinatoria disabilitando i segnali ai MOS di ricircolo. Così facendo il circuito implicitamente non può far scorrere corrente dal carico alla rete, come verrà spiegato dettagliatamente in seguito.

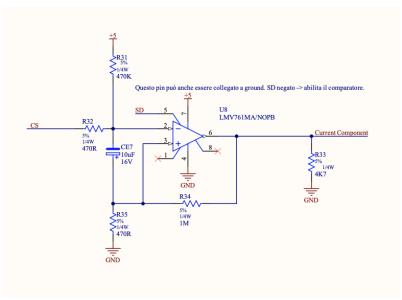


Figura 5.1.5: Circuito riconoscimento DCM

Le tensioni di soglia dello stadio comparativo sono $V_{+}=-5 \mathrm{mV}$ e $V_{-}=-2.6 \mathrm{mV}$.

Logica PWM & SINCH

La logica sequeziale è composta interamente da porte logiche AND e OR, come mostrato in figura 5.1.6. E' necessaria per il corretto pilotaggio dei MOS che compongo il circuito di potenza nelle varie fasi.

Il segnale PWM passa per un level shifter in modo da rendere compatibile l'uscita del controller con i livelli di tensione della logica.

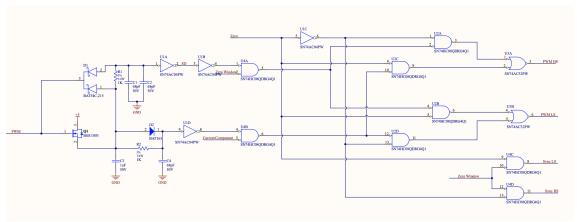


Figura 5.1.6: Logica combinatoria PWM SINCH

Di seguito la tabella della verità della logica :

Zero Window	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
Zero	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
Current comp	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
PWM	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
PWM HS	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1	1
PWM LS	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1
SINCH HS	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
SINC LS	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

Tabella 5.1.1: Tabella della verità della logica combinatoria PWM & SINCH

Misurazione della corrente

Una particolarità di questo circuito, è l'approccio alla misurazione della corrente che scorre nell'induttanza. Infatti il controllore UCC2818, omologato per la topologia convenzionale, non è adatto per la topologia Totem Pole, ma attraverso le dovute modifiche è stato possibile omologarlo per la nuova topologia.

Sono quindi presenti due resitenze di sensing sul ramo SINCH, le quali lavorano in modo alternato.

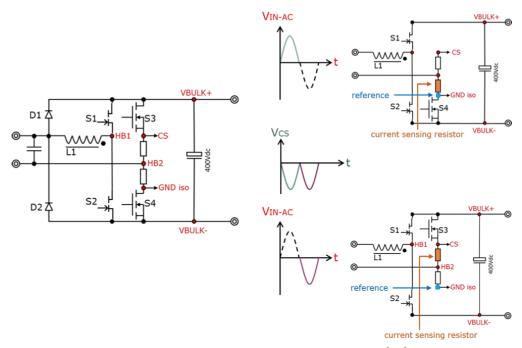


Figura 5.1.7: Misurazione della corrente - [25]

Durante la semioda positiva, come già accennato in precedenza il circuito si comporta come un boost convenzionale, come visibile in figura 5.1.7. La tensione ai capi della prima resistenza di sensing, posizionata tra il nodo HB2 e GND iso è negativa al passaggio della corrente.

La seconda resistenza, tra il nodo CS e il nodo HB2 è flottante, il potenziale ai capi di essa è nullo.

Il circuito di controllo quindi non ha nessun problema nella gestione del circuito durante questo semiperiodo.

Durante la semionda negativa invece, la configurazione circuitale cambia, ma il concetto però rimane il medesimo. Infatti la tensione sulla resistenza di sensing tra CS e HB2 è negativa al passaggio della corrente, mentre sulla seconda resistenza il potenziale è nullo. Cosi facendo il controllo dell'integrato risulta efficace.

Il concetto è analogo per quanto riguarda il pin PKLIMIT per entrambe le semionde, il quale funge da protezione da sovracorrenti, misurando la corrente assorbita dal sistema sempre attravero il pin CS.

Lo svantaggio principale di questo tipo di soluzione sono le alimentazioni. Infatti, come è possibile vedere in figura 5.1.7, il riferimento di tensione del circuito di controllo, chiamata GND iso è collegata a una delle due fasi, attraverso i MOS SINCH durante i due semiperiodi.

Stadio raddrizzatore

Per la realizzazione dello stadio realizzatore si è utilizzato il circuito in figura 5.1.8, replicando il primo stadio del blocco Zero current turn off and zero window. E' necessario per il corretto funzionamento del controllore assicurando la tensione di rete scalata. Il guadagno dello stadio non è critico, in quanto il controllore è caratterizzato da un sensing in corrente. Il pin del controllore che effettua questo monitoraggio è il pin Iac, il quale può assorbire una corrente al massimo di 500 μA in condizione di high line, ovvero la tensione massima di rete.

Lo stadio deve essere quindi in grado di erogare in uscita questa corrente per 265 V_{rms} in ingresso. Il guadagno pari a 1/40, determina una tensione d'uscita massima è pari a 9.37V.

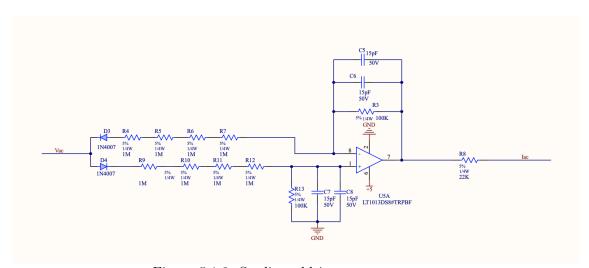


Figura 5.1.8: Stadio raddrizatore attenuatore

Di seguito lo schematico delle interconnessioni per quanto riguarda il controllore (Fig. 5.1.9).

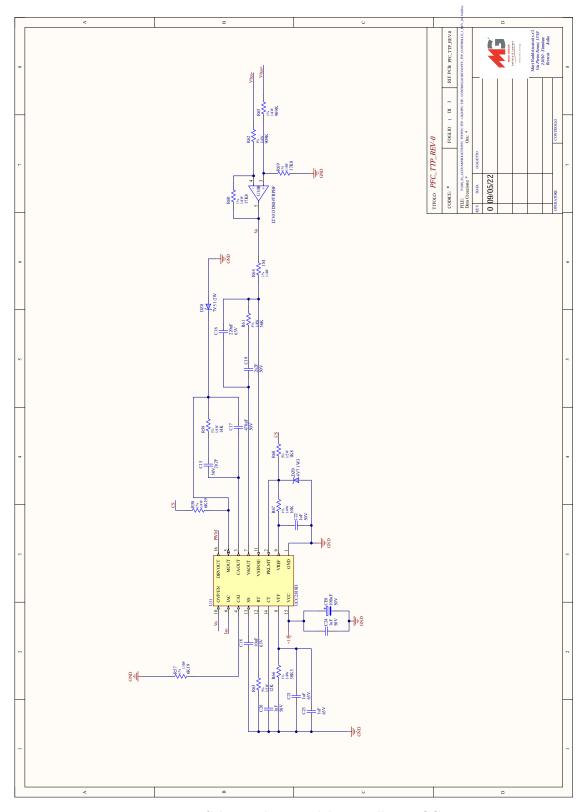


Figura 5.1.9: Schema elettrico del controllore UCC2818

Principio di funzionamento

Una volta definiti i principali blocchi logici necessari al corretto funzionamento si può descrivere come il circuito, nella sua interezza, lavora.

Per semplicità si andrà a suddividere il funzionamento in tre fasi.

La prima fase è rappresentata dalla semionda positiva, durante la quale il blocco di Rilevazione di semionda pone il segnale "Zero" a 1 logico.

Quest'ultimo si propaga all'interno della logica combinatoria PWM & SINCH, la quale pone attivo il MOS low side del ramo sincrono S4 per tutta la durata del semiperiodo. Inoltre abilita il MOS low side del ramo PWM S2 alla modulazione d'impulso.

La generazione del PWM è affidata quindi all'integrato UCC2818 il quale, misura la tensione del BUS, ovvero d'uscita, la corrente che scorre nell'induttore e la tensione di rete.

Il segnale PWM inoltre è utilizzato, una volta negato, per pilotare il MOS di ricircolo. Per riassumere, il MOS S4 lavora da interconnessione per tutto il semiperiodo positivo, il controllore effettua la modulazione ad impulsi al gate del MOS S2, come mostrato in figura 5.1.10. Il MOS S1 viene abilitato alla conduzione, interdicendo S2 durante la fase di ricircolo T_{OFF} (Fig.5.1.11).

Il tutto avviene grazie alla logica combinatoria che rileva la semionda positiva e indirizza correttamente i pilotaggi.

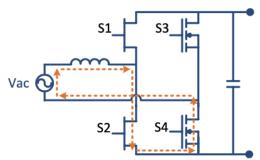


Figura 5.1.10: Carica dell'induttanza durante T_{ON} - [25]

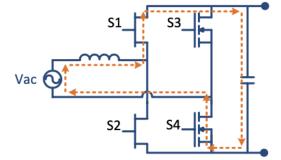


Figura 5.1.11: Scarica dell'induttanza durante T_{OFF} - [25]

Durante la semionda negativa il funzionamento non cambia. Infatti attraverso il segnale di "Zero", ora a livello logico 0, la logica combinatoria chiude il MOS high side S3, aprendo il low side del braccio sincorno S4. Questo per tutto il semiperiodo negativo.

La generazione del PWM è ancora affidata all'integrato della Texas Intruments UCC2818. Il segnale PWM è elaborato dalla logica combinatoria che determinerà l'effettivo gate da controllare, in questo caso l'high side del ramo veloce S1. Mentre il MOS low side S2 è controllato dal segnale PWM coniugato, per far ricircolare la corrente nello stadio d'uscita.

Una descrizione circuitale appropriata è visibile nelle figure 5.1.12 per T_{ON} e 5.1.13 per T_{OFF} .

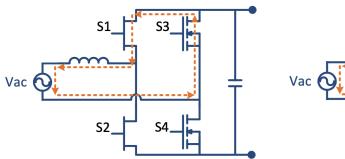


Figura 5.1.12: Carica dell'induttanza durante T_{ON} - [25]

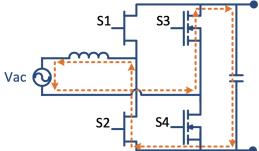


Figura 5.1.13: Scarica dell'induttanza durante T_{OFF} - [25]

L'attraversamento per lo zero della corrente invece è la fase critica di questo circuito, il quale può avvenire in due diversi modi.

La corrente è di valore nullo prima del segnale differenziale tra le due fasi, o meglio, prima dell'avvenimento della finestra di attraversamento generata dal blocco "Finestra d'attraversamento" : il DCM detector riconosce che la corrente è in "anticipo" rispetto alla tensione.

Il True DCM monitor riconosce che la corrente ha un valore pari a zero, e attraverso la logica combinatoria apre il MOS di ricircolo, che dipende dalla semionda.

Se si prende in esempio un situazione in cui si ha una tensione differenizale di rete positiva e corrente nulla, il True DCM monitor apre il MOS S1. Questo fa sì che l'induttanza non continui a scaricarsi e che il valore della corrente diminuisca ulteriormente assumendo valori negativi.

Questo è assicurato dal fatto che, disabilitando l'interruttore di ricircolo, questo è circuitalmente "sostituito" unicamente dal proprio body diode.

Cosi facendo la corrente è stabilizzata a un valore praticamente nullo fino all'avvenimento dello zero window, quando anche la tensione differenziale di rete è praticamente nulla.

Se la corrente assumesse un valore negativo si sarebbe ottenuto un traferimento di potenza dal carico alla rete, il quale andrebbe ad aumentare le perdite e diminuire l'efficienza complessiva del sistema.

L'analisi è valida analogamente per quanto riguarda corrente nulla e configurazione circuitale della semionda negativa.

La corrente quindi si stabilizza a un valore nullo fin quando il segnale a finestra zero windowing non si attiva. Infatti quando quest'utlimo commuta allo stato logico 0, sia i MOS SINCH che il MOS PWM vengono aperti.

Circuitalmente si ottiene quindi un ponte a diodi, a causa della presenza dei body diode.

Al termine della finestra di zero windowing la logica pilota uno dei dei MOS SINCH, a seconda della semionda e i due MOS del ramo veloce, per l'inizio di un nuovo semiperiodo.

Se invece si considera la situazione in cui la tensione è in anticipo rispetto alla corrente, ovvero che la tensione differenziale tra le fasi è praticamente nulla, mentre la corrente che scorre nell'induttanza non lo è, il circuito risponderà nel modo descritto di seguito : in prossimità dell'attraversamento della tensione differenziale di rete, il circuto "Finestra d'attraversamento" genera un segnale a finestra, che inizia poco prima , e termina poco dopo l'attraversamento.

Questo segnale, una volta dato in pasto alla logica combinatoria, forzerà l'apertura di tutti i MOS meno di quello di ricircolo.

A questo punto l'induttanza vedrà un ponte a diodi, composto dai body diode dei MOS, a qui è collegato il carico.

L'induttanza quindi si scaricherà tramite la tensione del BUS, ovvero l'uscita, a meno delle tensioni di soglia dei body diode e della tensione di ingresso.

Questo avviene poichè la bobina è ancora carica e forza i diodi allo stadio di conduzione.

All'inizio di un nuovo semiperiodo, positivo o negativo che sia, si può assumere quindi che l'induttanza sia completamente scarica.

Una volta che l'impulso a finestra è terminato, uno dei due MOS SINCH viene pilotato, e la modulazione per mano dell'integrato può avvenire correttamente per l'inizio di un nuovo semiperiodo.

5.1.1 Dimensionamento

Di seguito viene riportato il dimensionamento dei vari componenti necessari al corretto funzionamento del circuito integrato UCC2818. Il dimensionamento è stato effettuato seguendo le istruzioni riportate sul datasheet [26].

5.1.2 Stadio di potenza

La prima cosa da dimensionare è l'induttanza. Il suo valore si può determinare in diversi modi. Il datasheet suggerisce la seguente equazione :

$$L_{boost} = \frac{V_{in(min)} \times D}{\Delta I \times f_s} \tag{5.1.1}$$

Dove D è il valore del duty cycle calcolato per la minima tensione di rete , da specifiche 195 V_{rms} :

$$D = 1 - \frac{V_{in,LL} \times \sqrt{2}}{V_o} = 1 - \frac{\sqrt{2} \times 195}{385} = 0.28$$
 (5.1.2)

 Δ I invece, è il valore limite di ripple accettabile per la corrente massima assorbita dallo stadio. Quest'ultima è pari a:

$$I_{L,max} = \frac{P_o \times \sqrt{2}}{V_{in,LL}} = \frac{2500 \times \sqrt{2}}{195} = 18.13A$$
 (5.1.3)

A questo punto si può calcolare ΔI , che è da specifiche il 25% di $I_{L,max}$:

$$\Delta I = I_{L,max} \frac{25}{100} = 4.53A \tag{5.1.4}$$

Il valore della frequenza di commutazione f_s viene scelta pari a 50 kHz.

E' una scelta abbastanza comune per quanto riguarda i dispositivi PFC in quanto si prevedono armoniche multiple di questa frequenza. La normativa che regola la generazione delle armoniche prevede una diminuzione dei moduli dopo i 150 kHz [2]. Le armoniche al di sopra di questa soglia devono essere caratterizzate da un ampiezza molto bassa, mentre quelle a frequenze minori possono giovare di ampiezze maggiori.

Si sceglie quindi una frequenza di switching pari a 50kHz in modo tale che la terza armonica, generata dalla commutazione, può essere caratterizzata da una ampiezza più importante, rendendo più semplice la costruzione del filtro EMI in ingresso. A questo punto si può calcolare il valore dell'induttanza:

$$L_{boost} = 340\mu H \tag{5.1.5}$$

Il valore della capacità invece si calcola considerando l'hold up time, ovvero il tempo per cui la capacità riesce a mantenere la tensione sopra un certo valore di soglia a causa di buchi di rete, ovvero mancanza di alimentazione.

La capacità si calcola quindi come [26]:

$$C_o > \frac{2 \times P_o \times t_{hold}}{V_o^2 - V_{o,min}^2} \approx 1.2 \, mF \tag{5.1.6}$$

In pratica però il valore calcolato potrebbe non essere adeguato alla applicazione in quanto bisogna tenere conto del valore della ESR. A questo punto della progettazione si sceglie una capacità elettrolitica dal valore di 2 mF.

5.1.3 Soft start

La circuiteria di soft-start previene l'overshoot della tensione d'uscita all'accensione, attraverso un aumento progressivo del duty cycle.

Una volta impostanto il tempo di accensione t_{delay} , si calcola il valore della capacità collegata al pin SS (soft start), come descritto nel datasheet [26]:

$$t_{delay} = 7.5ms (5.1.7)$$

$$C_{ss} = \frac{10\mu A \times t_{delay}}{7.5V} \tag{5.1.8}$$

Si ottiene quindi una capacita C_{ss} di 10 nF

5.1.4 Moltiplicatore

Il moltiplicatore è necessario per la corretta interazione tra i due anelli, l'anello interno in corrente e l'anello esterno in tensione.

L'uscita del moltiplicatore identifica il valore desiderato di corrente in ingresso, come mostrato in figura 5.1.2.

Per ottere le performance desiderate bisogna considerare gli ingressi del moltiplicatore, che sono : il segnale d'errore VAOUT, proveniente dall'anello di controllo di tensione, la rappresentazione scalata della tensione di rete I_{AC} e il suo valore efficacie V_{VFF} .

Il valore d'uscita del moltiplicatore vale quindi [26]:

$$I_{MOUT} = I_{AC} \times \frac{V_{AOUT} - 1}{K \times V_{VFF}^2}$$

$$(5.1.9)$$

dove K è una costante del moltiplicatore, pari a 1 V^{-1} .

 R_{IAC} , in figura 5.1.2, necessaria per la misurazione della tensione d'ingresso, ed è dimensionata in modo tale da ottere al massimo una corrente I_{AC} di $500\mu A$ in high line, ovvero per la massima tensione di rete, da specifiche pari a 265 V_{RMS} .

Date le modifiche del circuito, la tensione di rete è però misurata attraverso uno stadio raddrizzatore e attenuatore, caratterizzato da un guadagno di 1/40. Si calcolano quindi le due resistenze R_{IAC} e $R_{IAC,eq}$:

$$R_{IAC} = \frac{V_{IN,max}}{I_{ac,max}} = \frac{265 \cdot \sqrt{2}}{500\mu A} > 750k\Omega$$
 (5.1.10)

$$R_{IAC,eq} = \frac{V_{IN,max}}{40 \cdot I_{ac,max}} = \frac{265 \cdot \sqrt{2}}{40 \cdot 500\mu A} > 18.7k\Omega$$
 (5.1.11)

Nel caso della configurazione Boost tradizionale si otterrebbe una resistenza R_{IAC} maggiore di 750k Ω . Mentre nel caso della presenza dello stadio raddrizzatore e attenuatore si ottiene una resistenza $R_{IAC,eq}$ maggiore di 18.7 k Ω . Si sceglie una resistenza $R_{IAC,eq}$ di 68k Ω .

A questo punto è possibile calcolare la resistenza associata al pin V_{VFF} necesseria per produrre una tensione proporzionale alla rete, o meglio, al suo valore efficacie, e deve essere di 1.4 V in condizioni di low line, ovvero per 195 V_{RMS} . L'equazione da utilizzare è quindi la seguente [26]:

$$R_{VFF} = \frac{V_{VFF,LL}}{\frac{V_{IN,LL} \cdot 0.9}{2 \cdot R_{IAC,eg} \cdot 40}} = \frac{1.4V}{\frac{195 \cdot 0.9}{2 \cdot 68 \cdot 10^3 \cdot 40}} \approx 35.7k\Omega$$
 (5.1.12)

Viene normalizzata a $38.3 \text{ k}\Omega$ all'1%.

Essendo ricavata dalla tensione di rete raddrizzata, V_{VFF} , è caratterizzata da un certo ripple di seconda armonica, il quale si propagherebbe all'interno dell'anello di controllo aumetando il THD [26]. Si introduce quindi un filtro del primo ordine con frequenza di taglio pari a 2.2 Hz al fine di attenuarne gli effetti sulla distorsione totale.

Il valore di questa frequenza è stato determinato ammettendo un contributo del 1.5% del THD da parte di questo disturbo e che il ripple di seconda armonica sia il 66% della tensione di rete.

L'attenuazione necessaria richiesta dal filtro è quindi pari a 1.5/66 ([27], [28]), ovvero 0.022. Alla frequenza del ripple di seconda armonica, a 100 Hz, si vuole questo valore di attenuazione, la frequenza del polo è quindi :

$$f_p = 100Hz \times 0.022 = 2.2Hz \tag{5.1.13}$$

Che può essere riscritta come:

$$f_p = \frac{1}{2\pi R_{VFF} C_{VFF}} \tag{5.1.14}$$

Da cui si può ricavare il valore della capacita C_{VFF} :

$$C_{VFF} = \frac{1}{2\pi R_{VFF} f_p} \approx 1.9 \mu F$$
 (5.1.15)

A questo punto si dimensiona R_{MOUT} in modo tale da far corrispondere alla massima corrente attravero la resistenza di sense, la massima corrente erogabile dal moltiplicatore. Quest'ultima si ottiene in condizioni di low line, ovvero 195 V_{RMS} , ed è pari a:

$$I_{MOUT,max} = I_{AC,LL} \times \frac{V_{AOUT,max} - 1}{K \times V_{VFF,LL}^2}$$
(5.1.16)

Dove $I_{AC,LL}$ [26]:

$$I_{AC,LL} = \frac{V_{IN,LL} \cdot \sqrt{2}}{R_{IAC,eq} \cdot 40} = \frac{195 \cdot \sqrt{2}}{40 \cdot 68 \cdot 10^3} = 102\mu A$$
 (5.1.17)

Con $V_{OUT,max}$ pari a 5 V, come definito sul datasheet [26], si ottiene una corrente $I_{MOUT,LL}$ di $206\mu A$. Scegliendo una dinamica di V_{RSENSE} , ovvero la tensione massima operativa sulla resistenza per la misura della corrente nell'induttore, pari a 1.25V, la resistenza in uscita dal moltiplicatore si determina come:

$$R_{MOUT} = \frac{V_{RSENSE}}{I_{MOUT,LL}} = \frac{1.25}{206 \cdot 10^{-6}} \approx 6.04 k\Omega$$
 (5.1.18)

Il valore di R_{MOUT} viene normalizzato per eccesso a 6.19 k Ω al 1%.

5.1.5 Anello di retroazione della tensione

Il ripple di seconda armonica derivante dalla rete si propaga sino alla capacità d'uscita rappresentando un disturbo rilevante dell'intero sistema aumentandone il THD. Infatti quest'ultimo una volta entrato in circolo nell'anello di retroazione, è sorgente di altri disturbi all'ingresso del moltiplicatore [26].

E' quindi importante progettare l'anello di retroazione in tensione non solo in modo tale da assicurarne la stabilità, ma anche con lo scopo di attenuare questi disturbi. In primo luogo è necessario calcolare il valore del ripple in uscita, ipotizzando in modo approssimativo una efficienza del 95 %.

Il ripple picco-picco sulla capacità d'uscita6causato dalla seconda armonica di rete f_r pari a 100 Hz, vale :

$$V_{OPK} = \frac{P_o}{2\pi f_r C_o V_{OUT} \eta} = \frac{2500}{2\pi \cdot 100 \cdot 2 \cdot 10^{-3} \cdot 385 \cdot 0.95} \approx 5.44V$$
 (5.1.19)

Assumendo che l'anello in tensione contribuisca sul ripple d'uscita di un 1.5% picco picco, allora il guadagno del compensatore vale, come descritto nel datasheet [26]:

$$G_{VA} = \frac{\Delta V_{VAOUT} \times 0.015}{2V_{OPK}} = \frac{5 \cdot 0.015}{2 \cdot 5.44} \approx 0.0069$$
 (5.1.20)

Dove ΔV_{VAOUT} è il range effettivo dell'amplificatore d'errore, pari a 5 V .

A questo punto si calcola il valore della capacità C_f del compensatore del secondo tipo, localizzando la frequenza dello zero a 100 Hz:

$$C_f = \frac{1}{2\pi f_r G_{VA} R_{IN}} = \frac{1}{2\pi \cdot 100 \cdot 6.9 \cdot 10^3} \approx 230 \, nF$$
 (5.1.21)

 R_{IN} è stata scelta arbitrariamente di 1 M Ω . C_f è stata normalizzata al valore di 220 nF.

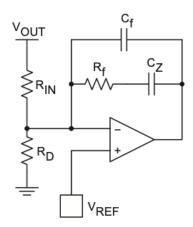


Figura 5.1.14: Compensatore anello in tensione - [26]

La resistenza R_f determina il guadagno in banda e la frequenza del polo del compensatore. La posizione di quest'ultimo si determina imponendo il guadagno d'anello uguale a 1 e risolvendo per la frequenza di crossover. Quest'ultima può essere calcolata, in termini della potenza d'ingresso ([29], [28]) come :

$$f_{VI}^2 = \frac{P_{IN}}{2\pi^2 \times \Delta V_{VAOUT} \times V_{OUT} \times R_{IN} \times C_{OUT} \times C_f}$$
 (5.1.22)

In questo caso la frequenza di crossover f_{VI} è 12.2 Hz , risolvendo per R_f , :

$$R_f = \frac{1}{2\pi f_{VI}C_f} = \frac{1}{2\pi \cdot 12.2 \cdot 220 \cdot 10^{-9}} \approx 59.3k\Omega$$
 (5.1.23)

Si può normalizzare il valore per difetto a 56 k Ω .

Infine il valore della capacità C_z del compensatore, si calcola imponendo il valore in frequenza dello zero una decade prima della frequenza di crossover , in modo tale da non compromettere i margini di stabilita :

$$C_z = \frac{1}{2\pi \frac{f_{VI}}{10} R_f} = \frac{1}{2\pi \cdot 1.22 \cdot 56 \cdot 10^3} \approx 2.3\mu F$$
 (5.1.24)

Si può approssimare per difetto a 2.2 μF .

5.1.6 Anello di retroazione della corrente

La funzione di trasferimento $\widetilde{I}_{out}(s)/\widetilde{d}(s)$ dello stadio di potenza è pari a :

$$G_{ID}(s) = \frac{V_{OUT} \times R_{sense}}{sL_{boost} \times V_p}$$
(5.1.25)

 R_{sense} è stata scelta in modo tale da avere una tensione massima ai suoi capi di 1V per il massimo valore di corrente :

$$I_{L,pk} = I_{L,max} + \frac{\Delta I}{2} = 18.13 + \frac{4.52}{2} = 20.4A$$
 (5.1.26)

Dove $I_{L,max}$ è il massimo valore per la corrente assorbita dallo stadio, a cui è stato sommato metà valore del ripple ammissibile ΔI , calcolati precedentemente. R_{sense} vale quindi :

$$R_{sense} = \frac{V_{sense}}{I_{L,pk}} = \frac{1V}{17.29A} = 0.049\Omega \tag{5.1.27}$$

 R_{sense} viene normalizzata per eccesso a 0.05 Ω .

A questo punto si imposta la frequenza di crossover dell'anello in corrente f_{vi}^c pari a 5kHz, ovvero 1/10 della frequenza di commutazione, in modo tale che il progetto non sia influenzato da comportamenti ad alta frequenza non considerati nella modellizzazione dello stadio di potenza [1].

 V_p identifica il valore di tensione della rampa per la genrazione del PWM, che in questo caso vale 4 V.

Per ottenere un guadagno d'anello di valore unitario a una frequenza di 5kHz, il guadangno del compensatore, alla medesima frequenza è pari a :

$$G_{EA}(5kHz) = \frac{1}{G_{ID}(5kHz)} = 1/0.45 = 2.2$$
 (5.1.28)

 R_I , in figura 5.1.15, è R_{MOUT} , già dimensionata e pari a k Ω . Il guadagno del compensatore in banda è pari a R_f/R_I , quindi :

$$R_f = G_{EA(5KHz)} \cdot R_I = 2.2 \cdot 6.19k\Omega \approx 13.6k\Omega$$
 (5.1.29)

Si normalizza per eccesso R_f a 14 k Ω all'1 % di tolleranza.

A questo punto è necessario localizzare poli e zeri per garantire la stabilità del sistema. Lo zero viene inserito alla frequenza di crossover, mentre il polo a metà della della frequenza di switching, dove $f_{switching}$ è pari 50kHz, al fine di attenuare eventuale rumore dovuto alla commutazione.

A questo scopo:

$$C_z = \frac{1}{2\pi R_f f_{vi}^c} \approx 2.3nF \tag{5.1.30}$$

$$C_p = \frac{1}{2\pi R_f f_{switching}/2} \approx 450pF \tag{5.1.31}$$

Si normalizzano i valori di C_z e C_p rispettivamente a 2.2 nF e 470 pF.

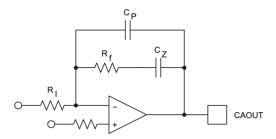


Figura 5.1.15: Compensatore anello in corrente - [26]

5.1.7 Limitazione della corrente

Il controllore è dotato di una protezione alle sovracorrenti. Nel momento in cui la tensione ai capi del pin PKLIMIT è minore di 0V il circuito viene disabilitato per mantere la corrente all'interno di un certo limite, al fine di proteggere i componenti. Si utilizza quindi un partitore di tensione tra la tensione di riferimento di 7.5V e il morsetto negativo della resistenza di sensing.

La corrente massima erogabile dal pin VREF è di 20 mA. La tensione massima sulla resistenza di sensing R_{sense} è di 1V.

A questo scopo sono state scelte le resistenze del partitore:

$$R_{low} = 1.8k\Omega \tag{5.1.32}$$

$$R_{uv} = 10k\Omega \tag{5.1.33}$$

Così facendo la corrente erogata dal riferimento è di circa 0.63 mA. La tensione ai capi del pin PKLIMIT in assenza di corrente nell'induttore è di 1.14 V. Il sistema entra in protezione quando la corrente raggiunge un picco di :

$$I_{L,limit} = \frac{1.14V}{R_{sense}} = 22.8A$$
 (5.1.34)

5.1.8 Frequenza di funzionamento

E' possibile impostare la frequenza di commutazione del sistema dimensionando opportunamente una rete RC. Il datasheet [26] specifica una frequenza di funzionamento pari a :

$$f_{sw} \approx \frac{0.6}{R_t \times C_t} \tag{5.1.35}$$

Si scelgono quindi una capacità da 1nF e una resistenza di valore $12k\Omega$, ottenendo una frequenza di commutazione nominale di 50 kHz.

5.1.9 Misurazione della tensione d'uscita

La misurazione della tensione d'uscita avviene per via differenziale. Si utilizza quindi un opamp in configurazione amplificatore differenziale con guadagno pari a $7.5\mathrm{V}/385\mathrm{V}$. Dove $7.5\mathrm{V}$ è la tensione di riferimento interna del controllore, mentre $385\mathrm{V}$ è la tensione nominale d'uscita.

Il guadagno dello stadio è definito come il rapporto tra la resistenza di retroazione e la resistenza di ingresso.

Al fine di minimizzare le perdite si sceglie una resistenza di ingresso pari a 909 k Ω e una resistenza di retroazione pari a 17.8 k Ω .

Verrano utilizzate le stesse resistenze per la costruzione del partitore all'ingresso del morsetto non invertente, come mostrato in figura 5.1.16.

Cosi facendo si ottiene una tensione di BUS nominale di 383 V.

Di seguito viene riportato l'intero schematico del controllo per una possibile prototipazione attraverso l'utilizzo dell'integrato UCC2818, figure 5.1.16,5.1.17,5.1.18.

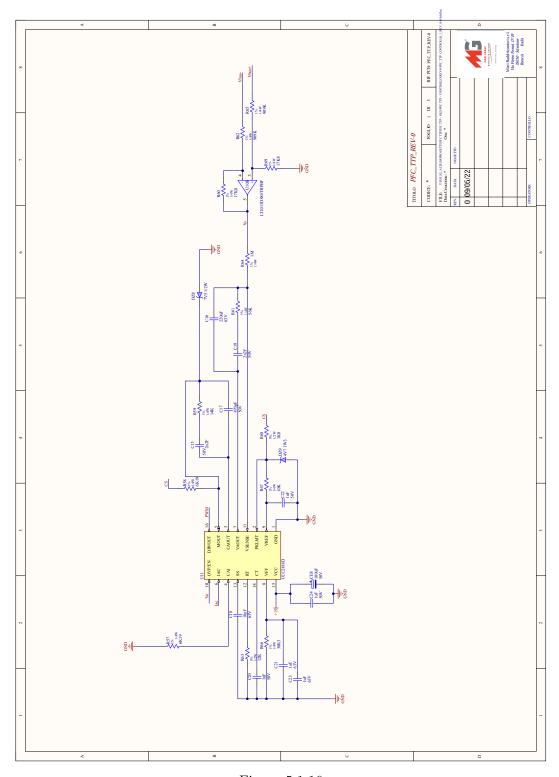


Figura 5.1.16

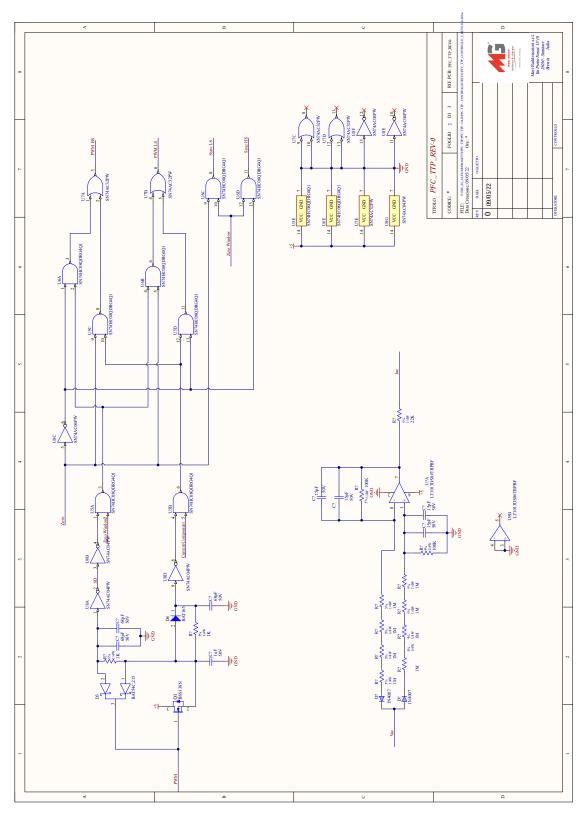


Figura 5.1.17

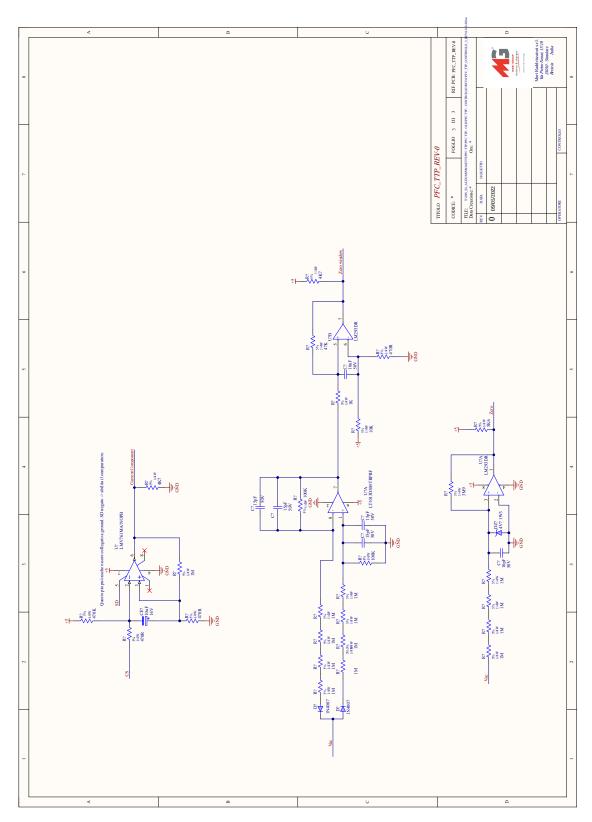


Figura 5.1.18

5.2 NCP1681

Durante l'avanzamento dello studio la casa produttrice ONSEMI ha rilasciato un nuovo integrato, l'NCP1681. Querst'ultimo, è attualmente l'unico IC sul mercato progettato appunto per questo tipo di applicazione, ovvero per il controllo di un PFC di tipo Totem Pole Bridgless in modalità Average Current Control CCM.

Realizzare il progetto attraverso l'utilizzo di questo integrato è sicuramente una scelta diligente, in quanto l'affidabilità complessiva del sistema aumenta, poichè assicurata dal produttore ONSEMI. Attraverso questa soluzione il numero di componenti del circuito diminuisce in modo sostanziale, aumentandone ancora una volta l'affidabilità, infatti meno componenti significa meno probabilità di rottura, e riduzione dei costi. E' anche da considerare che l'utilizzo di componenti appena usciti sul mercato è la soluzione migliore in quanto si assicura la disponibilità del prodotto per i prossimi decenni.

L'NCP1681 è disponibile in due modelli, a frequenza fissa o multi-mode. Il modello multi-mode (NCP1681B) può lavorare a frequenza fissa CCM per potenze elevate, in modalità Critical conduction mode per potenze medie e in DCM per carichi leggeri. E' adatto per applicazioni che richiedono potenze d'uscita minori di 1 kW [30].

Il modello a frequenza fissa (NCP1681A) invece, lavora in modalità CCM per alte potenze e in DCM per carichi leggeri.

Nella realizzazione è stato scelto il modello a frequenza fissa, in quanto adatto ai livelli di potenza in gioco e garantisce, una volta testato a massima potenza, il rispetto delle normative.

Infatti nella modalità multi-mode a causa della possibile variazione della frequenza di commutazione sorge la possibilità dello spostamento lungo lo spettro delle frequenze delle armoniche.

L'NCP1681 è caratterizzato da un controllo di tipo analogico/digitale [30], al contrario dell'integrato precedentemente analizzato, il quale è puramente analogico.

Il principio di funzionamento del circuito Totem Pole è quindi il medesimo, la differenza risiede nella natura della generazione del pilotaggio.

5.2.1 Dimensionamento

Il dimensionamento dei dispositivi di supporto all'integrato è stato effettuato seguendo le direttive proposte dal datasheet. Di seguito lo schema funzionale dell'integrato, in figura 5.2.1.

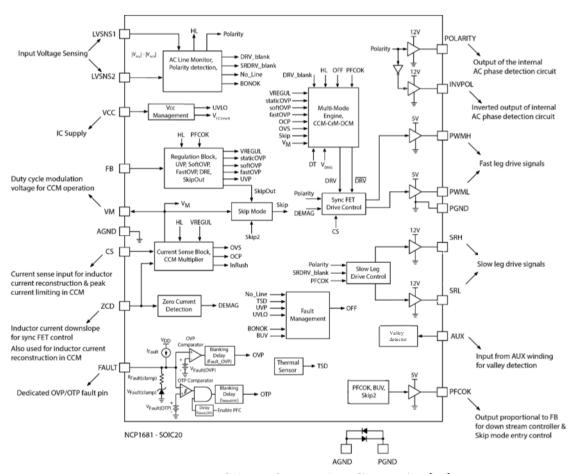


Figura 5.2.1: Schems funzionale NCP1681A - [30]

Anche in questo caso verrà effettuata l'anilisi dei pin principali per il corretto funzionamento dell'integrato. Si possono ricercare tutte le funzionalità e peculiarità dell'IC all'interno del datasheet [30].

5.2.2 Misurazione della tensione di rete

La misura della tensione di rete è fondamentale per il corretto funzionamento del sistema. Questa avviene per via differenziale, come possibile vedere in figura 5.2.2, e serve per riconoscere il cambio di polarità delle fasi, nonchè per il controllo del profilo della correne assorbita. La misura avviene tramite un partitore di tensione, caratterizzato da un fattore di attenuazione K_{L_DIV} generalmente di 100, come consigliato dal produttore [30]. In questo caso viene scelto K_{L_DIV} pari a 101.

$$\frac{R_{low}}{R_{low} + R_{up}} = \frac{1}{k_{L DIV}} = \frac{1}{101}$$
 (5.2.1)

Si ottiene la seguente relazione tra le resistenze che compongono il partitore :

$$R_{up} = 100R_{low}$$
 (5.2.2)

Il costruttore inoltre consiglia di dimensionare le resistenze all'interno di range ben definiti :

$$R_{low} = (5\%100)k\Omega (5.2.3)$$

$$R_{up} = (50\%100)M\Omega (5.2.4)$$

Si è scelto quindi:

$$R_{low} = 100k\Omega \tag{5.2.5}$$

$$R_{up} = 10M\Omega (5.2.6)$$

Queste resistenze non dissiperanno neanche un 1/40 di Watt ciascuna, quindi è opportuno utilizzare resistenze da 1/4 di Watt.

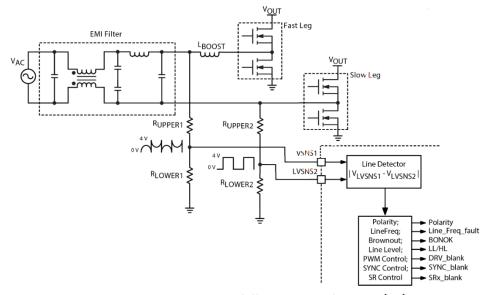


Figura 5.2.2: Misura della tensione di rete - [30]

5.2.3 Riconoscimento della polarità

Il riconoscimento della polarità delle due fasi avviene tramite due partitori di tensione, come già annunciato precedentemente.

E' però giusto considerare che la tensione di rete è caratterizzata da rumore non sempre trascurabile, è quindi necessario filtrare i segnali in questione. L'integrato NCP1681 è dotato di filtri interni digitali ma il costruttore consiglia comunque l'aggiunta di capacità esterne come mostrato in figura 5.2.3. Viene raccomandato un filtro RC esterno caratterizzato da una costante di tempo τ tra i 20 e 200 μ s [30]. E' stata quindi scelta una costante di tempo RC pari a 110 μ s. La resistenza che il condesatore vede ai suoi capi è pari al parallelo tra le resistenze R_{up} e R_{low} . A causa dei diversi ordini di grandezza possiamo approssimare che la resistenza vista dal condesatore sia pari a R_{low} .

Quindi:

$$C = \frac{\tau}{R_{low}} = \frac{110\mu s}{100K\Omega} = 1.1nF \tag{5.2.7}$$

Il valore viene normalizzato per difetto a 1 nF; la costante di tempo risulta quindi pari a 100 μ s.

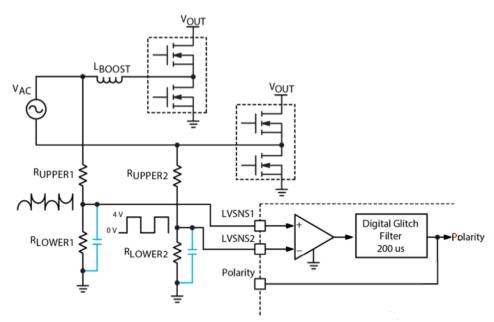


Figura 5.2.3: Riconoscimento della polarità - [30]

66

5.2.4 Stadio di potenza

Il valore dell'induttanza è molto importante per diversi aspetti. Innanzi tutto perchè è una delle variabili che definisce il ripple di corrente. Inoltre, un'induttanza troppo piccola aumenta il valore delle armoniche, mentre se troppo grossa non permette al sistema di essere abbastanza reattivo per assorbire correttamente una corrente sinusoidale [30].

Un parametro importante per la scelta del valore dell'induttanza è il valore di potenza in uscita per cui il sistema lavori in CCM. Al di sotto di questo valore il sistema lavorerà in DCM. Nel nostro caso, si può assumere il 20% della potenza massima, ovvero 500W. Si assume che il sistema possa erogare 500W di potenza per una tensione di ingresso di 90Vrms, e che il sistema abbia una efficienza del 95%. Il valore dell'induttanza può essere calcolato, in modo approssimativo come [30]:

$$L = \frac{1.12}{F_{SW}} \frac{\eta \times V_{IN}^2}{2P_{tran}} \frac{V_o - \sqrt{2}V_{IN}}{V_o} = \frac{1.12}{65kHz} \frac{0.95 \times 195^2}{2 \times 500} \frac{385 - \sqrt{2} \cdot 195}{385} = 176\mu H$$
(5.2.8)

Un'altro metodo per calcolare l'induttanza si basa sul massimo valore del ripple di corrente e il valore minimo di tensione in ingresso al fine di erogare la massima potenza :

$$L = \frac{1}{\%ripple} \frac{V_{ac,LL}^2}{P_o} \left(1 - \frac{\sqrt{2}V_{ac,LL}}{V_o} \right) T_{sw} = \frac{1}{0.25} \frac{195^2}{2500} \left(1 - \frac{\sqrt{2}195}{V_o} \right) \frac{1}{65 \cdot 10^3} = 265 \mu H$$
(5.2.9)

Si considera quindi $V_{ac,LL}$ pari a 195 V_{rms} e un valore di %ripple pari al 25%. Attraverso questa metodologia l'induttanza risulta di 265 μ H.

Come possiamo riscontrare i due diversi metodi riportano risultati non eccessivamente congruenti.

In questi casi l'esperienza del progettista gioca un ruolo importante nella progettazione, ma solo una volta realizzato il prototipo fisico si può verificare la correttezza delle scelte effettuate. In questa istanza viene utilizzato il valore di 280 μ H per l'induttanza al fine di minimizzare il ripple.

La capacità d'uscita viene calcolata attraverso l'hold up time da specifica come calcolato precedentemente [26]:

$$C_o > \frac{2 \times P_o \times t_{hold}}{V_o^2 - V_{o,min}^2} \approx 1.2 \, mF \tag{5.2.10}$$

Si seleziona quindi una capacità d'uscita di 2 mF.

5.2.5 Misurazione della corrente e protezioni alle sovracorrenti

Il pin CS, mostrato in figura 5.2.4 è utilizzato innanzitutto per misurare la corrente che scorre attraverso l'avvolgimento al fine di effettuare il controllo, ma anche per verificare periodo per periodo che la corrente non superi un certo valore di soglia, fungendo da protezione.

A questo scopo la resistenza di sensing si calcola come :

$$R_{cs} < N_s \frac{V_{ILIMIT}}{I_{L,PK}} \tag{5.2.11}$$

dove V_{ILIMIT} è pari a 1V [30], N_s invece rappresenta il numero di spire del secondario per misurare la corrente. Il numero di spire del secondario è determinato dal sensore di corrente fisico che si utilizzerà. A questo scopo si utilizza un trasformatore caratterizzato da un numero di spire del secondario pari a 100. Il numero di spire del primario è pari a 1.

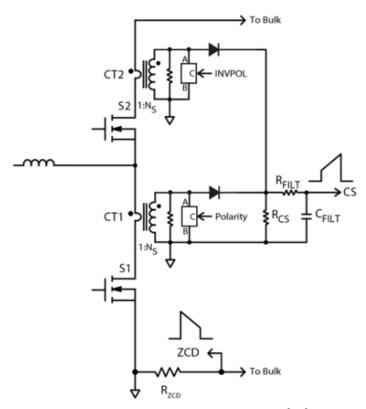


Figura 5.2.4: Misura della corrente - [30]

 $I_{L,PK}$ invece è il valore di picco in condizioni di hard load e low line, quindi il valore massimo che la corrente può raggiungere prima che il sistema entri in protezione, pari a :

$$I_{L,PK} = \frac{\sqrt{2}P_o}{\eta V_{ac}} + \frac{\sqrt{2}V_{ac}D_{PK}}{2LF_{sw}}$$
 (5.2.12)

dove D_{PK} è il valore del duty cycle al picco AC della tensione di linea. Il suo valore si calcola in modo molto semplice, dalla caratteristica del convertitore Boost :

$$D_{PK} = 1 - \frac{V_{IN,PK}}{V_o} = 1 - \frac{195 \cdot \sqrt{2}}{385} \approx 0.28$$
 (5.2.13)

Si è considerato quindi $V_{IN,PK}$ pari a $195 \times \sqrt{2}$, ovvero la tensione di picco per il minimo valore di tensione di linea per erogare la massima potenza di 2500W, come da specifica. Come efficienza η si è considerato il valore indicativo di 0.95, V_{ac} vale appunto 195 V_{RMS} e l'induttanza è stata selezionata di 280 μ H. La frequenza di commutazione F_{SW} è pari a 65 kHz, intrinseca del controllore. Si ottine quindi :

$$I_{LPK} = 21.2A \tag{5.2.14}$$

$$R_{cs} < 4.7\Omega \tag{5.2.15}$$

Si sceglie quindi un valore di resistenza per CS pari a 4 Ω . Il valore RMS della corrente di ingresso massima è pari a :

$$I_{L,rms,max} = \frac{P_o}{\eta V_{ac}} \approx 13.5A \tag{5.2.16}$$

Se si fa dissipare un centesimo di questa corrente su una resistenza di 4Ω si otterrebbe una potenza dissipata di circa 0.08W. Al fine del dimensionamento, si può quindi affermare che sulla resistenza R_{cs} si dissipino meno di 1/10 di W [30].

Per quanto riguarda la rete RC per filtrare il segnale CS, il datasheet consiglia una costante di tempo tra i 50 e 150 ns con una resistenza pari a $1k\Omega$. Si sceglie una costante pari a 120ns, ottenendo una capacità di filtro pari a 120pF.

Il produttore inoltre consiglia l'inserimento di interruttori bidirezioniali necessari per cortocircuitare gli avvolgimenti secondari dei sensori di corrente. Infatti, se si vuole monitorare la corrente che scorre nel semiconduttore S1, in figura 5.2.4, è necessario cortocircuitare il sensore CT2 che altrimenti ne avrebbe perturbato la misura. Analogo ragionamento viene applicato per la misura della corrente sul dispositivo S2.

A questo punto si calcola il valore della seconda resistenza per la misurazione della corrente durante il periodo T_{OFF} . Essa può essere dimensionata in due diversi modi, in funzione dello schema che si vuole utilizzare, come mostrato in figura 5.2.5.

Se si vuole utilizzare un transformatore per effettuare la misura, allora è ragionevole utilizzare lo stesso rapporto spire utilizzato per la misura al pin CS e la medesima resistenza.

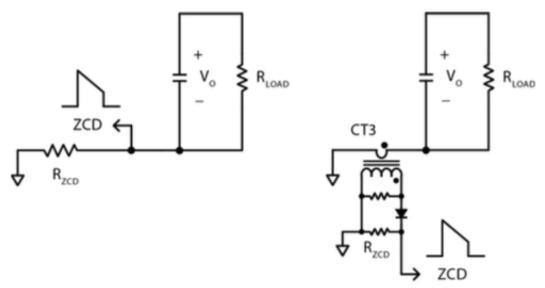


Figura 5.2.5: Misura della corrente di ricircolo - [30]

Altrimenti, se la misura avviene senza trasformatore, la resistenza R_{ZCD} vale :

$$R_{ZCD} = \frac{R_{CS}}{N_S} = 40m\Omega \tag{5.2.17}$$

A questo punto della progettazione è necessario dimensionare il valore di R_M in uscita dal moltiplicatore.

Questa ne determina il guadagno in tensione e andrà a definire il valore massimo di potenza del PFC [30]. Il calcolo è effettuato per il valore minimo di tensione di ingresso al fine di erogare la massima potenza, ovvero 2500 W a 195 V_{RMS} :

$$R_M < \frac{\eta \, V_{IN}^2 \, V_{RAMP,PK} \, V_{CNTRL}}{2V_O \, P_O \, G_{VM} \, K_{ZCS}} \tag{5.2.18}$$

Dove:

- G_{VM} è il valore di transconduttanza del moltiplicatore analogico pari a $75\mu A/V$,
- V_M è il valore d'uscita del moltiplicatore che verrà poi utilizzato per la modulazione del duty cycle.
- $\bullet~V_{RAMP,PK}$ è il valore di picco della rampa utilizzata per la generazione del PWM, pari a 3.75 V.
- V_{CNTRL} identifica l'errore tra la tensione di riferimento e la tensione scalata del bus, la quale satura per un valore di 4.2 V.
- K_{ZCS} è il fattore di scala tra la corrente dell'induttore e la tensione al nodo ZCD. In presenza del sensore di corrente (trasformatore) è pari a R_{ZCD}/N_s , altrimenti, in presenza solo della resistenza è pari a R_{ZCD} .

Nel momento in cui si utilizza un trasformatore per la misurazione della corrente al pin ZCD, assumendo una efficienza del 95% si ottiene:

$$R_M < 98k\Omega \tag{5.2.19}$$

Il costruttore inoltre consiglia una capacità in parallelo per filtrare eventuali ripple, dimensionata in modo tale da ottenere una costante di tempo nell'intervallo tra 50 e 100μ s. Quindi, scegliendo un valore normalizzato di R_M pari a $82k\Omega$ e una costante di tempo approssimativa di 75μ s si ottiene :

$$C_M = \frac{75\mu s}{68K\Omega} \approx 0.9nF \tag{5.2.20}$$

Si può normalizzare per eccesso a 1 nF.

Misurazione della tensione d'uscita

Per monitorare la tensione del bus, ovvero la tensione d'uscita si necessita di un partitore resistivo. La tensione di riferimento dell'integrato V_{ref} è pari a 2.5V. Al fine di ottenere una tensione d'uscita di 385 V come da specifica è quindi necessario che :

$$V_{ref} = V_{O,nom} \frac{R_{FB2}}{R_{FB2} + R_{FB1}}$$
 (5.2.21)

Ovvero che:

$$\frac{V_{ref}}{V_{o,nom}} = \frac{R_{FB2}}{R_{FB2} + R_{FB1}} \tag{5.2.22}$$

Ottenendo:

$$R_{FB1} = 153R_{FB2} \tag{5.2.23}$$

A questo punto, per minimizzare le perdite e quindi renderle trascurabili si scelgono i valori di queste resistenze arbitrariamente grandi.

$$R_{FB1} = 3.4k\Omega \tag{5.2.24}$$

$$R_{FB2} = 520.05k\Omega (5.2.25)$$

La resistenza R_{FB2} è realizzata tramite la connessione in serie di due resitenze da $255\mathrm{k}\Omega$, una da $6.65\mathrm{k}$ e una da $3.4~\mathrm{K}\Omega$, tutte all'1% di incertezza. Il rapporto R_{FB2}/R_{FB2} è pari quindi a 152.9 ottendo una tensione nominale di $384.89~\mathrm{V}$.

Power ON - Correnti di Inrush

La fase di accensione, anche chiamata power on è critica in quanto durante questo transitorio le potenze in gioco sono notevoli e si rischia il danneggiamento di diversi componenti del circuito.

Questo accade poichè la capacità d'uscita è completamente scarica e richiede una grande quantità di energia per innalzare la tensione ai suoi capi.

Questo fa sì che il sistema assorba una corrente impulsiva con valore di picco molto elevata, chiamata anche corrente di Inrush.

A questo scopo è bene progettare il sistema in modo tale da limitare questi picchi. Questo può avvenire attraverso diverse tecniche, come ad esempio l'inserimento di NTC o una rete di bypass formata da diodo e resistenza [1].

Per alti livelli di potenza è preferibile la soluzione con NTC per diversi motivi. Innanzitutto prevede un caricamento più veloce della capacità d'uscita a causa della diminuzione del valore della resistenza durante la carica.

Un secondo svantaggio della rete di bypass è lo stress a cui è sottoposta la resitenza che ne potrebbe causare la rottura. Infatti le resistenze, in generale, sono in grado di sopportare alti valori RMS di corrente, ma non elevati valori di picco.

Per questo motivo si opta per la soluzione con resistenze NTC, le quali verrano poi bypassate una volta terminato il transitorio di carica.

Il dimensionamento degli NTC si basa essenzialemte su due punti principali : la corrente di picco massima e l'energia in gioco. Questi due principi possono essere riscritti in funzione del valore di resistenza dell'NTC, il valore della capacità da caricare e il valore di tensione finale di quest'ultima [31].

La progettazione è stata semplificata in quanto i produttori di NTC caratterizzano i prodotti a seconda della capacità da caricare e la tensione finale di carica.

La ricerca dei componenti da parte dei produttori ha portato alla scelta del componente B57237 S237/33M [32].

Il produttore indica, tra i parametri principali:

- Resistenza a 25°C pari a 33 Ω ;
- Massima capacità gestibile : 700 μ F a una tensione di 230 V_{ac} ;

Ovviamente questo prodotto sembra non essere adatto per l'applicazione, ma lo è se ripetuto in serie. Infatti una tecnica molto utilizzata è quella di collegare più NTC in serie al fine di avere una maggior capacità di trasmissione energetica [31], piuttosto che utilizzare un unico NTC di dimensioni maggiori e più performante, per una questione di costi.

Il numero di NTC necessari può essere calcolato approssivativemente calcolando innanzitutto l'energia che un singolo NTC può trasferire[33], pari a:

$$E_{NTC} = \frac{1}{2}C_{test}V_{test}^2 = \frac{1}{2}900 \cdot 10^{-6}(\sqrt{2} \cdot 230)^2 \approx 47.61J$$
 (5.2.26)

Mentre l'energia necessaria a caricare la capacità d'uscita dell'applicazione che è pari a 2mF, a una tensione massima a fine transitorio di Inrush pari a $\sqrt{2} \cdot 265V_{rms}$:

$$E_{C_{out}} = \frac{1}{2}C_{out}V_{out}^2 = \frac{1}{2}2 \cdot 10^{-3}(\sqrt{2} \cdot 265)^2 \approx 140.45J$$
 (5.2.27)

Il numero di NTC necessari si calcola come il rapporto delle due energie :

$$N_{NTC} = \frac{E_{C_{out}}}{E_{NTC}} = 2.95 (5.2.28)$$

Ovviamente il numero viene approssimato a 3.

La corrente di picco durante la fase di Inrush si calcola in modo semplice come :

$$I_{pk,inrush} = \frac{V_{ac,max} \times \sqrt{2}}{R_{NTC}} = \frac{260\sqrt{2}}{99} = 3.78A$$
 (5.2.29)

Dove R_{NTC} è pari a 99 Ω in quanto presenti tre NTC da 33 Ω in serie.

E' conveniente però bypassare queste resistenze una volta terminato il transitorio di accensione in quanto anche se minime sono sorgenti di dissipazione.

Questo può avvenire tramite l'inserimento di un relay normalmente aperto il quale viene attivato, cortocircuitando le resistenze NTC una volta arrivati a regime.

A questo scopo è stato utilizzato un comparatore che a soglia fissa il quale attiva il relay una volta che la tensione sul pin FB del controllore raggiungi la tensione di circa 2.29 V . Questo pin idealmente è pari di 2.5V quando la tensione sul bus raggiunge la tensione nominale.

Questo vuol dire che gli NTC vengono by passati quanto la tensione sul bus è di circa 353V. Di seguito viene riportato lo schema circuitale completo per il circuito integrato NCP1681, utilizzato in modalità CCM, figura 5.2.6

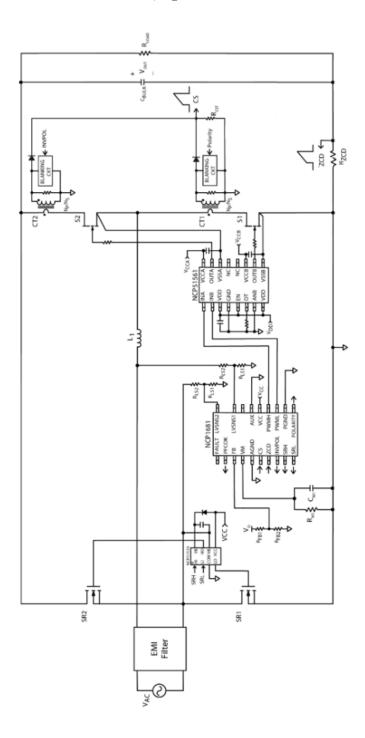


Figura 5.2.6: Schema circuitale dell'integrato utilizzato in modalità CCM - [30]

5.2.6 Dispositivi di potenza

La scelta dei componenti di potenza si basa su diversi principi, tra cui il costo, l'efficienza del sistema e la disponibilità dei componenti.

Per questo motivo inizialmente la ricerca è stata effettuata su dispositivi di tipo SiC, con i quali si possono raggiungere eccellenti livelli di efficienza, senza aumentare vertiginosamente i costi e assicurandosi la disponibiltà, al contrario di dispositivi GaN, con i quali ovviamente si migliorerebbero le prestazioni, a discapito dei costi e della reperibilità.

Infatti attraverso l'utilizzo questo tipo di tecnologia si possono minimizzare eventuali spike nel momento in cui il circuito cambia configurazione, da semionda positiva a negativa e viceversa a causa dell'assenza del body diode strutturale [16].

L'integrato NCP1681 è però caratterizzato da un controllo open-loop durante il periodo iniziale di ogni semionda, aumentando in modo controllato il duty cycle minimizzando questi spike. A questo scopo i dispositivi di tipo SiC, anche se di prestazioni più agiate ripetto ai dispositivi GaN, risultano adatti a questo tipo di applicazione, come esplicitato sul datasheet dell'integrato NCP1681 [30].

La ricerca è stata suddivisa per i due rami, ramo PWM e ramo SINCH.

Per quanto riguarda i MOS PWM sono stati ricercati dispositi con capacità parassite relativamente basse C_{oss} , al fine di minimizzare le perdite di commutazione.

Altri parametri importanti da tenere in considerazione sono ovviamente i tempi di commutazione e ovviamente il valore della resistenza parassita $R_{ds(on)}$.

Quest'ultima, se scelta corrrettamente, porterà al sistema grandi benefici in termini di perdite di conduzione, le quali rappresentano un terminie importante nel calcolo totale delle dissipazioni.

La scelta quindi non risulta estremamente semplice, in quanto le prestazioni dei MOS, in termini di dissipazioni sono una combinazione tra i parametri appena descritti.

A questo scopo la ricerca ha portato alla selezione di diversi dispositivi, della famiglia $CoolSiC^{TM}$ MOSFET Infineon.

E' stato svolto uno studio al fine di massimizzare l'efficienza del sistema, comparando i MOS della sottofamiglia IMW65R, analizzandone le perdite.

I dispositivi IMW65R sono caratterizzati da una tensione massima tra drain e source di 650V e adatti a condurre una corrente continua di oltre 20 A, risultando opportuni alla realizzazione del progetto.

I calcoli effettuati per calcolare le perdite sono i seguenti. Innanzi tutto bisogna ricordare che nel ramo PWM , un MOS lavora come PWM mentre il secondo come interrutore di ricircolo, alternandosi ad ogni semionda.

Per calcolare le perdite di conduzione del MOS PWM è stato calcolato innanzitutto il valore efficacie della corrente nei MOS PWM [20], nel caso di potenza massima e tensione di 195 V_{rms} :

$$I_{s,RMS} = \frac{P_o}{V_{ac,LL(min)}} \sqrt{1 - \frac{8\sqrt{2} V_{ac,LL(min)}}{3\pi V_o}} = \frac{2500}{195} \sqrt{1 - \frac{8\sqrt{2} 195}{3\pi 385}} = 8.026A$$
(5.2.30)

Le perdite di conduzione sono quindi:

$$P_{s,cond} = I_{s,RMS}^2 \times R_{ds,max} \times 1.5 \tag{5.2.31}$$

Per quanto riguarda le perdite dinamiche [20], innanzitutto è stata calcolata la corrente media nella bobina :

$$I_{L,avg} = \frac{P_o}{V_{ac,LL(min)}} \frac{2\sqrt{2}}{\pi} = \frac{2500}{230} \frac{2\sqrt{2}}{\pi} = 11.54A$$
 (5.2.32)

A questo punto le perdite dinamiche si possono calcolare come :

$$P_{S,sw} = f_{sw} \cdot [0.5 \, V_o \, I_{L,avg} \cdot (t_{rise} + t_{fall}) + \frac{1}{2} C_{oss,max} \, V_{out}^2]$$
 (5.2.33)

Le perdite totali del MOS PWM valgono quindi:

$$P_{S.tot} = P_{s.cond} + P_{S.sw} \tag{5.2.34}$$

Per quanto riguarda le perdite del MOS di ricircolo del ramo PWM, la corrente efficace si calcola come [20]:

$$I_{r,RMS} = \frac{P_o}{V_{ac,LL(min)}} \sqrt{\frac{8\sqrt{2} V_{ac,LL(min)}}{3\pi V_o}} = \frac{2500}{195} \sqrt{\frac{8\sqrt{2} 195}{3\pi 385}} = 9.99A$$
 (5.2.35)

Le perdite di conduzione associate valgono:

$$P_{r,cond} = I_{r,RMS}^2 \times R_{ds,max} \times 1.5 \tag{5.2.36}$$

Le perdite dinamiche non vengono calcolate per questo MOS in quanto la sua commutazione avviene a tensione nulla (ZVS, zero voltage switch), a causa della presenza del body diode, il quale anticipa la conduzione del MOS di ricircolo [20].

Bisogna però considerare però le perdite del body diode durante il dead-time, ineserito dal controllore, calcolate come :

$$P_{r,rev} = 2I_{L,avg} \cdot V_{sd} \cdot DeadTime \cdot fsw$$
 (5.2.37)

Dove il dead time è determinato dall'integrato NCP1681 ed è pari a 130 ns, necessario per evitare eventuali perdite di cross conduzione, nonchè la possibila rottura dei dispositi MOS.

Le perdite totali degli interruttori ricircolo sono:

$$P_{R,tot} = P_{r,cond} + P_{r,rev} \tag{5.2.38}$$

Quindi le perdite complessive di ciascun MOS del ramo PWM vengono calcolate come media delle due, in quanto ciascuno lavora come PWM e come ricircolo per metà periodo di rete :

$$P_{TOT,PWM} = \frac{P_{S,tot} + P_{R,tot}}{2}$$
 (5.2.39)

A questo punto si confrontano i risultati ottenuti calcolando le perdite per vari MOS della famiglia IMW65R, per l'applicazione:

IMW65R	027M1H	030M1H	039M1H	048M1H	057M1H	072M1H
$P_{s,cond}$ [w]	3.2859	4.0591	4.8323	6.1853	7.1518	9.0847
$P_{s,sw}$ [w]	5.5421	4.5502	5.1903	4.2466	3.8470	3.5147
$P_{S,tot}$ [w]	8.8281	8.6093	10.0226	10.4320	10.9987	12.5994
$P_{r,cond}$ [w]	3.2859	4.0591	4.8323	6.1853	7.1518	9.0847
$P_{r,rev}$ [w]	0.7803	0.7803	0.7803	0.7803	0.7803	0.7803
$P_{R,tot}[\mathbf{w}]$	4.0662	4.8394	5.6125	6.9656	7.9320	9.8650
$P_{tot,PWM}$ [w]	6.4471	6.7243	7.8176	8.6988	9.4654	11.2322

Tabella 5.2.1: Tabella perdite mosfet famiglia IMW65R

Il MOS con le perfomance migliori in questo caso è quindi il IMW65R027M1H [34], che verrà utilizzato nella realizzazione del ramo PWM.

Per quanto riguarda la scelta degli switch del ramo SINCH la scelta si basa essenzialemte su unico paramentro, la resistenza parassita $R_{ds,on}$ in quanto questi ultimi compiono una commutazione a 50 Hz.

I MOS SINCH lavorano quindi in conduzione continua e la loro commutazione, in condizione nomimale, avviene a tensione e corrente praticamente nulla. Per questo motivo le perdite dinamiche si possono assumere trascurabili.

La corrente efficace sui singoli MOS del ramo SINCH vale :

$$I_{SINCH,RMS} = \frac{P_o}{V_{ac,HL}} \sqrt{0.5} \approx 9.06A$$
 (5.2.40)

Le perdite di conduzione si calcolano come [20]:

$$P_{SINCH} = I_{SINCH,RMS}^2 \times R_{ds,max} \times 1.5 \tag{5.2.41}$$

In questo caso è molto semplice scegliere il dispositivo più adatto, ovvero quello caratterizzati da una resistenza parassita $R_{ds,on}$ minore, ovvero il MOS IMW65R027M1H. Così facendo si utilizzano 4 dispositivi uguali per la realizzazione del prototipo. Questa considerazione è molto importante in fase di ingegnerizzazione e commercializzazione del prodotto, in quanto ridurrà i costi di produzione.

Le perdite di conduzione massime su ciascun MOS SINCH P_{SINCH} valgono quindi 4.19 W.

Una volta scelti i dispositivi di potenza, e calcolate le perdite associate ad essi è essenziale progredire lo studio termico dei dispositivi, in modo tale da garantire un sistema di raffreddamento adatto che assicuri il corretto funzionameto del circuito.

L'innalzamento di temperatura è proporziale alla potenza dissipata e alle resistenze termiche che caratterizzano i dispositivi di potenza.

In questo caso, il discreto IMW65R027M1H è caratterizzato dalle seguenti resistenze termiche :

- giunzione-case $R_{th,JC}$ pari a 0.66 °C/W
- giunzione-case $R_{th,JA}$ pari a 62 °C/W

A questo punto si può calcolare la temperatura operativa dei MOS del ramo PWM e del ramo SINCH senza dissipatore :

$$T_{PWM} = T_{amb} + \Delta T = T_{amb} + P_{tot,PWM} \cdot R_{th,JC} = 25 + 399.7 = 424.7^{\circ}C$$
 (5.2.42)

$$T_{SINCH} = T_{amb} + \Delta T = T_{amb} + P_{SINCH} \cdot R_{th,JC} = 25 + 259.2 = 286.2^{\circ}C$$
 (5.2.43)

E' ovvio quindi che si necessita di un sistema di raffreddamento adeguato, in quanto la massima temperatura di funzionamento del componente è di 150°C, definita sul datasheet [34].

A questo scopo si procede nel seguente modo. Innanzitutto si sceglie la temperatura massima di giunzione dei MOS a pieno carico, ad esempio 100°C. Assumendo una temperatura ambiente di 25 °C:

$$T_{PWM} = T_{amb} + \Delta T = P_{SINCH} \cdot (R_{th,JC} + R_{th,CA})$$
 (5.2.44)

$$T_{SINCH} = T_{amb} + \Delta T = P_{PWM} \cdot (R_{th,JC} + R_{th,CA})$$
 (5.2.45)

Risolvendo per $R_{th,CA}$ si ottiene :

$$R_{th,CA,PWM} = \frac{T_{PWM} - T_{amb}}{P_{PWM}} - R_{th,JC} = \frac{100 - 25}{6.45W} - 0.66 = 11^{\circ}C/W$$
 (5.2.46)

$$R_{th,CA,SINCH} = \frac{T_{SINCH} - T_{amb}}{P_{SINCH}} - R_{th,JC} = \frac{100 - 25}{5.18W} - 0.66 = 13.8^{\circ}C/W \quad (5.2.47)$$

La resistenza termica massima necessaria al fine di ottenere una temperatura di funzionamento delle giunzioni pari a 100° C è di 11° C/W per i MOS PWM mentre di 13.8° C/W per i MOS SINCH.

Si andranno a selezionare quindi dissipatori con resistenze termiche pari o minori alle cifre appena identificate.

A questo scopo la ricerca è stata effettuata su dissipatori con resistenza termica di 10 °C/W utilizzabile per tutti e 4 i dispositivi, al fine di unificare i componenti del circuito, riducendo poi i costi di produzione.

Un possibile dissipatore è il PADA8357/H38 [35] il quale è caratterizzato da una resistenza termica di 9°C/W, quindi adatto per l'applicazione.

Un'altra analisi importante che riguarda i MOS è la potenza necessaria per effettuarne il pilotaggio. Di seguito seguono calcoli, per quanto riguarda il pilotaggio dei MOS del ramo PWM :

$$P_{driver,PWM} = Q_g V_g f_{sw} \approx 57mW \tag{5.2.48}$$

dove la carica Q_g per caricare la capacità di gate MOS IMW65R027M1H è pari a 58nC e si assume una tensione di pilotaggio V_g di 15V.

Per quanto riguarda i MOS del ramo SINCH, questi commutano con tensione tra drain e source praticamente nulla a una frequenza di 50 Hz. Si può comunque assumere pessimisticamente una carica di 58 nC necessaria al caricamento della capacità di gate, ottenendo:

$$P_{driver,SINCH} = Q_a V_a f_{sinch} \approx 43 \mu W \tag{5.2.49}$$

E' stata comunque effettuata un'analisi delle perfomance per quanto riguarda il possibile utilizzo di dispositivi GaN per quanto riguarda il ramo PWM. La scelta è ricaduta su prodotti caratterizzati da resistenze parassite R_{DS} relativamente basse al fine di massimizzare l'efficienza del sistema. In modo analogo ai MOS SiC, di seguito una tabella indicativa delle perdite dei MOS GaN nell'applicazione :

	$P_{s,cond}$	$P_{s,sw}$	$P_{S,tot}$	$P_{r,cond}$	$P_{r,rev}$	$P_{R,tot}$	$P_{tot,PWM}$
GS-065-060-5-B-A	3.0927	3.2548	6.3474	3.0927	0.4877	3.5803	4.9639
GS-065-060-3B	3.0927	2.9515	6.0442	3.0927	0.4877	3.5803	4.8122
GS66516B	3.0927	4.5498	7.6425	3.0927	3.8470	0.4877	5.6114
TP65H015G5WS	1.7396	5.4362	7.1758	1.7396	0.2341	2.2273	4.7015

Tabella 5.2.2: Tabella perdite mosfet GaN

Utilizzando i dipositivi elencati è possibile, teoricamente ottenere perdite sui dispositivi MOS perdite minori. Il MOS TP65H015G5WS risulta quello caratterizzato dalle prestazioni migliori per l'applicazione.

Il loro utilizzo risulta vantaggioso, oltre che in termini di efficienza complessiva del sistema, all'attenuazione del possibile ringing al variare della configurazione circuitale, poichè caratterizzati da corrente di recupero inversa nulla e capacità C_{oss} ridotte.

5.2.7 NCP51561

Il pilotaggio dei dispositivi di potenza necessita l'utilizzo di appositi gate driver. La casa produttrice consiglia l'utilizzo di prodotti interni, tra cui il circuito integrato NCP51561 [36].

L'IC in questione è un gate driver isolato, con due uscite, come possbile vedere in figura 5.2.7, adatto per il pilotaggio di dispositivi MOS SiC in configurazione Totem Pole.

Inoltre è caratterizzato da una capacità di pilotaggio importante, infatti può erogare una corrente massima pari a 4.5A, e assorbire 9A di picco.

Per questo motivo è stato scelto per il pilotaggio di entrambi i rami, sia PWM che SINCH.

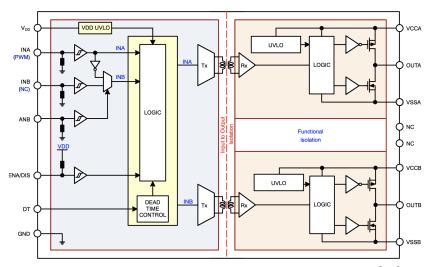


Figura 5.2.7: Schema di funzionamento NCP51561 - [36]

Alimentazioni

Per il corretto funzionamento del gate driver, bisogna considerare che ogni qual volta avviene una commutazione la corrente dello stadio di uscita del gate driver verrà prelevata (o iniettata) dalla sorgente Vcca/Vccb. Per questa ragione è buona norma bypassarle attraverso l'inserimento di una capacità.

Il costruttore consiglia di inserire una capacità almeno dieci volte la capacità del gate, e non meno di 100nF, di tipo ceramico (surface mount) e quindi a bassa ESR, molto vicino ai pin. E' inoltre consigliato l'inserimento di un'altro condensatore ceramico di qualche μ F.

Sono state scelte due capacità ceramiche SMT (sourface mount) del valore di 100nF e $2.2\mu F$.

Stadio di ingresso

Per quanto riguarda lo stadio di ingresso è consigliato l'inserimento di un filtro RC in modo tale da ridurre l'influenza di possibili disturbi causati da ground bounce e in più in generale dal sistema.

Il costruttore consiglia una resistenza compresa tra i 0 e 100 Ω e una capacità tra i 10 e i 100 pF, con una frequenza del polo massima di 100 MHz [34]. Ovviamente è da tenere in considerazione il trade-off tra performance, quindi il ritardo inserito e la reiezione ai disturbi.

A questo scopo si è scelta una capacità di 22pF e una resistenza di 100 Ω . La frequenza di taglio del filtro vale circa 22MHz.

Considerazioni sulla capacità di pilotaggio

La capacità di pilotaggio del gate driver è limitata dalla corrente media durante il caricamento e lo scaricamento della capacità di gate, ed è definita come :

$$I_{G,AV} = \frac{Q_g}{min(t_{sw,on}, t_{sw,off})}$$
 (5.2.50)

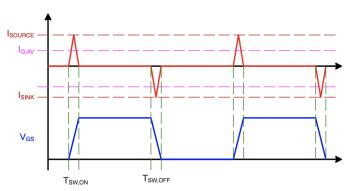


Figura 5.2.8: Capacità di pilotaggio - [36]

Una volta definite le corrente medie, il costruttore indica una relazione la quale limita la capacità di pilotaggio dei gate driver, determinata empiricamente [36]:

$$I_{SOURCE} \ge 1.5 \times \frac{Q_g}{t_{sw.on}} \tag{5.2.51}$$

$$I_{SINK} \ge 1.5 \times \frac{Q_g}{t_{sw,off}} \tag{5.2.52}$$

Dove Q_g del mosfet IMW65R030M1H vale 58 nC, $T_{SW,ON}$ è pari a 38 ns mentre $T_{SW,OFF}$ a 36.7 ns.

Si ottiene quindi una corrente $I_{SOURCE} \ge 2.29A$ e $I_{SINK} \ge 2.37A$.

Considerazioni sulla resistenza di gate

Una resistenza in serie al gate riduce il ringing causato da induttanze e capacità parassite ovviamente a discapito delle performance. Questa resistenza è necessaria oltretutto per limitare la corrente di picco del driver durante la fase di carica e scarica della capacità di gate. Il sistema eroga, o assorbe correnti di picco pari a :

$$I_{SOURCE} = \frac{V_{cc} - V_{OH}}{R_{g,ON}} \tag{5.2.53}$$

$$I_{SINK} = \frac{V_{cc} - V_{OL}}{R_{g,OFF}} \tag{5.2.54}$$

Al fine di ottenere la carica e la scarica della capacità di gate nei tempi $T_{SW,ON}$ e $T_{SW,OFF}$ introdotti nella considerazioni della capacità di pilotaggio è opportuno

selezionare una resitenza di gate la quale permetta al sistema di erogare ed assorbire una corrente di picco maggiore di rispettivamente, 2.29 A e 2.37 A.

A questo scopo si seleziona una resistenza pari ad 4.7Ω in serie al gate.

I valori di V_{OH} e V_{OL} sono rispettivamente 270mV e 100 mV. Cosi facendo, se si utilizza una tensione di 15 V per alimentare i driver si otterrà una corrente di picco, in fase di carica e di scarica di circa 3.1 A rispettando i limiti di corrente dell'integrato.

5.2.8 Alimentazioni

Lo studio del circuito di alimentazione è fondamentale per il corretto funzionamento del controllo e quindi dell'intero sistema.

Per questo progetto sono necessari diversi livelli di alimentazione e diverse alimentazioni isolate, al fine di pilotare i dispositivi di potenza.

A questo scopo è stata pensata una rete di alimentazione a cascata.

Un convertitore DC DC non necessariamente isolato, fornisce un'uscita di 15V partendo dalla tensione d'uscita.

E' necessario per la corretta alimentazione del circuito integrato NCP1681, degli stadi di pilotaggio low side dei rami PWM e SINCH nonchè del circuito di attivazione del relay e della sua logica.

Attraverso i 15V vengono generate inoltre due alimentazioni isolate, dal medesimo valore di tensione al fine di pilotare i MOS high side dei rami PWM e SINCH.

Sempre attraverso i 15V non isolati, un regolatore lineare, genera un'alimetazione di 5V necessaria al corretto funzionamento della logica degli IC NCP51561.

Per il corretto dimensionamento del circuto di alimentazione è necessario calcolare le potenze dissipate da ogni dispositivo.

Il controllore del PFC può dissipare una potenza massima di 660mW, come descritto all'interno del datasheet [30].

Per quanto riguarda le alimentazioni isolate, ciascuna dovrà erogare una potenza di 57 mW per il pilotaggio high side PWM, e $43\mu W$ per il pilotaggio high side SINCH.

Il circuito di attivazione del relay e della sua logica necessita di una potenza di approssimativa di :

$$P_{act,relay} = 15V \cdot 35mA + 3mA \cdot 15V \approx 0.57W$$
 (5.2.55)

dove il primo contributo rappresenta la potenza necessaria all'attivazione del relay, mentre il secondo è la potenza dissipata dagli amplificatori operazionali necessari al suo controllo.

L'alimentazione di 5V eroga potenza al controllo dei due IC NCP5156 i quali assorbono una corrente massima di 25mA ciascuno come descritto sul datasheet [36]. Queste due correnti sono erogate da un regolatore lineare, il quale assorbe una potenza dall'alimentazione non isolata di 15V di circa:

$$P_{+5V} = 2 \cdot I_{NCP51561,max} \cdot V_{+15} = 2 \cdot 25mA \cdot 15 = 750mW$$
 (5.2.56)

L'alimentazione principale di 15 V eroga, assumendo un'efficienza η dei convertitori isolati del 70 % :

$$P_{+15V} = P_{+5V} + \frac{P_{+15,isoPWM}}{\eta} + \frac{P_{+15,isoSINCH}}{\eta} + P_{relay} + P_{drive,PWM} + P_{drive,SINCH} \approx 1.46W$$
(5.2.57)

A questo scopo è stato scelto il convertitore PCO-5-15 [37] il quale assicura una tensione d'ingresso compresa tra i 120 e 430 V, quindi adatta alla tensione d'uscita dello stadio PFC, e fornisce un'uscita di 15V dalla quale si ricaveranno tutte le alimentazioni necessarie, con una potenza massima erogabile di 5W.

Dopodichè sono stati utilizzati due convertitori isolato DC-DC UWF1215S-1WR3 [38], i quali generano le alimentazioni isolate per i driver high side PWM e SINCH.

Il regolatore lineare con uscita 5 V TLV76012DBZT [39] assicura la corretta alimentazione all'IC NCP51561.

Filtro EMI

Il filtro EMI (electromagnetic interference), è necessario al sistema per garantire il rispetto delle normative per quanto rigurda l'emissione e l'immunità ai disturbi, i quali si possono classificare in due categorie : condotti ed irradiati.

I primi si propagano attraverso conduttori, ovvero cavi o/e piani di massa, mentre i secondi si propagano per mezzo di onde elettromagnetiche nell'ambiete circostante. Questo significa che un circuito deve essere in grado di funzionare correttamente in presenza di questi, mantenenendo i livelli di interferenza generati sotto una certa soglia.

Il livello di emissioni, condotte ed irradiate, ed i livelli di immunità necessari alla commercializzazione sono descritti dale normative europee, e sono funzione dell'applicazione nonchè dei livelli di potenza del dispositivo. Ad esempio la normativa IEC 61000-3-2 [2] regolarizza i dispositivi connessi alla rete monofase domestica da 16A.

Lo studio e il progetto del filtro di ingresso e d'uscita non fanno parte dello studio. A questo scopo è stato selezionato un filtro di ingresso standard ricavato da medesime applicazioni[25] [40], e con gli stessi livelli di potenza.

A questo punto lo schema elettrico è completo, raffigurato di seguito nelle figure : 5.2.9 per quanto riguarda la parte di controllo, 5.2.10 per le alimentazioni ausiliarie e 5.2.11 per lo schema dello stadio di potenza.

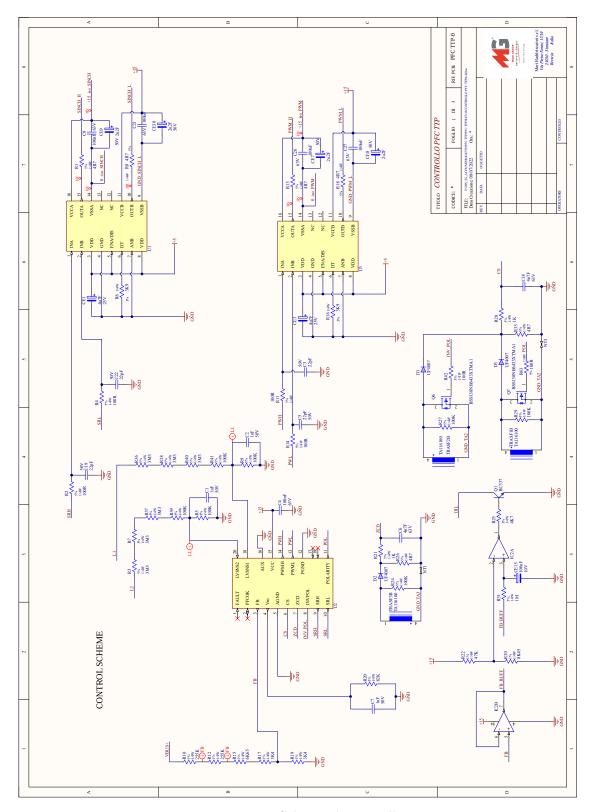


Figura 5.2.9: Schema di controllo

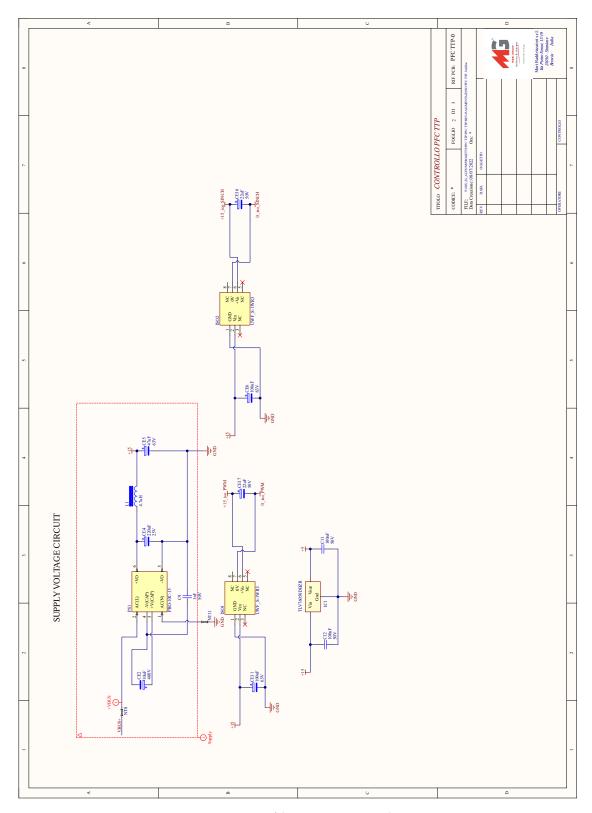


Figura 5.2.10: Alimentazioni ausiliarie

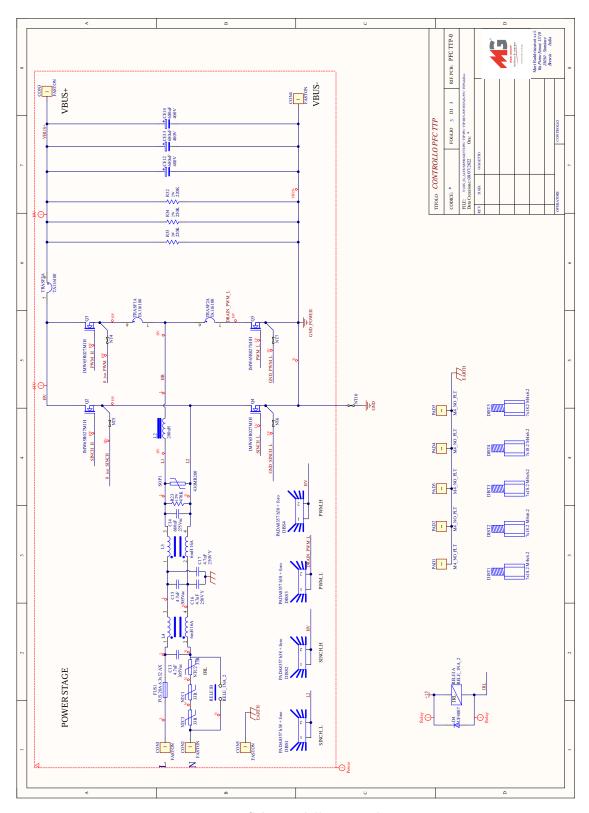


Figura 5.2.11: Schema della parte di potenza

5.2.9 Circuito Magnetico

Per la progettazione e realizzazione del circuito magnetico, ovvero l'induttanza, si procedere innanzitutto considerando i concetti base del magnetismo66 per quanto riguarda un nucleo chiuso, come mostrato in figura 5.2.12.La legge di Ampere definsce la relazione tra la corrente e il campo magnetico nel cicuito magnetico:

$$\oint_{c} = \vec{H} \cdot dl = N i \tag{5.2.58}$$

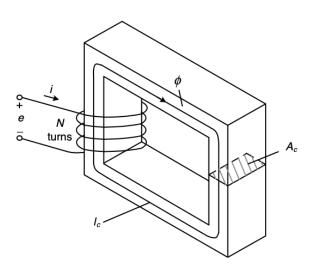


Figura 5.2.12: Circuito magnetico - [41]

Dove N rappresenta il numero di avvolgimenti e i l'intensità di corrente. La direzione del campo magnetico dipende dal verso di propagazione della corrente, seguendo la legge della mano destra.

Per semplicità si assume che la sezione del materiale ferromagnetico sia uniforme e che questo non sia affetto da perdite. Cosi facendo si ottiene che l'intensità del campo magnetico H è costante lungo tutto l'anello. La legge di Ampere si semplifica:

$$H_c \cdot l_c = N i \tag{5.2.59}$$

L'induzione magnetica vale :

$$B_c = \mu_r \mu_o H \tag{5.2.60}$$

Dove μ_o e μ_r sono rispettivamente i valori di permeattività dielettrica nel vuoto e relativa del materiale del nucleo. Il flusso magnetico Φ , è calcolato come integrale di superficie di B_c sulla sezione A_c dell'anello, come mostrato in figura 5.2.12, e vale :

$$\Phi = B_c A_e \tag{5.2.61}$$

Dunque la legge di Ampere può essere riscritta come:

$$N i = H_c \cdot l_c = \Phi \frac{l_c}{\mu_r \mu_o A_c} = \Phi R_c$$
 (5.2.62)

Dove R_c è anche chiamata reluttanza magnetica e identifica quanto il nucleo impedisce la propagazione del campo magnetico [41].

Se si considera ora un sistema composto da un avvolgimento composto da N spire, come rapprasentato in figura 5.2.13, se il flusso varia rispetto al tempo, allora ai capi dell'avvolgimento verrò prodotta una forza elettromotrice, descritta dalla legge di Farady, pari a :

$$e = -N \frac{d\Phi}{dt} \tag{5.2.63}$$

La legge di Lenz invece afferma che la forza elettromotrice indotta ha direzione tale che produca una corrente che si oppone alla variazione di flusso che l'ha generata.

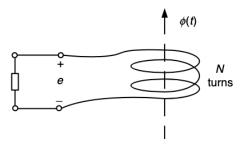


Figura 5.2.13: Avvolgimento di N spire in un campo magnetico variabile [41]

A questo punto, riferendosi sempre alla figura 5.2.13, il flusso concatenato all'avvolgimento può essere descritto come la sommatoria dei singoli flussi concatenati alle singole spire che lo compongono. Assumendo che il flusso sia costante lungo l'avvolgimento:

$$\lambda = N\Phi \tag{5.2.64}$$

Se ora si considerano due avvolgimenti , come raffigurato in figura 5.2.14, in cui nel primo scorre la corrente i_1 , il secondo avvolgimento sarà caratterizzato da un flusso concatenato pari a :

$$e_2 = -\frac{d\lambda_2}{dt} = -\frac{d\lambda_2}{di_1}\frac{di_1}{dt} = -M_{21}\frac{di_1}{dt}$$
 (5.2.65)

Dove M_{21} è chiamata mutua induttanza del secondo avvolgimento ripetto al primo. Se invece si eccita la seconda bobina a discapito della prima si otterà analogamente il coefficiente di mutua induttanza M_{12} .

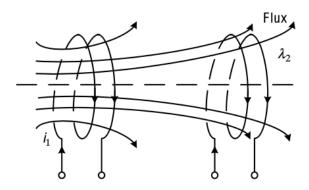


Figura 5.2.14: Mutua induttanza [41]

L'induttanza è un caso particolare di mutua induttanza dove un avvolgimento percorso da corrente genera un flusso concatenato con l'avvolgimento stesso. Il parametro di induttanza è definito come :

$$L = \frac{\lambda}{i} = \frac{N^2 \mu_r \mu_o A}{l} = \frac{N^2}{R}$$
 (5.2.66)

Riscrivendo la legge di Lenz:

$$e = \frac{d\lambda}{dt} = L\frac{di}{dt} \tag{5.2.67}$$

Il simbolo circuitale, con le corrette convenzioni è rappresentato in figura 5.2.15.

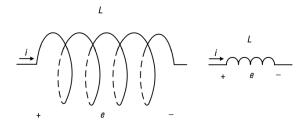


Figura 5.2.15: Circuito simbolico e convenzione - [41]

La potenza istantanea sviluppata dall'induttore è pari a :

$$p = i e = i \frac{d\lambda}{dt} \tag{5.2.68}$$

La variazione di energia del campo magnetico tra due istanti di tempo invece si può determinare attraverso il seguente integrale :

$$W = \int_{t_1}^{t_2} p \, dt = \int_{\lambda_1}^{\lambda_2} i \, d\lambda = \int_0^i Li \, dt = \frac{1}{2} Li^2$$
 (5.2.69)

la quale può essere anche riscritta, effettuando le dovute sostituzioni come :

$$W = A_c l_c \int_{B_1}^{B_2} H_c dB_c = \frac{B^2 V_c}{2\mu_r \mu_0}$$
 (5.2.70)

dove V_c rappresenta il volume del materiale ferrmagnetico.

L'induzione magnetica vale :

$$B = \mu_{eff}\mu_0 H = \frac{\mu_{eff}\mu_0 Ni}{l_c} \tag{5.2.71}$$

Possiamo riscrivere l'equazione isolando la corrente, ottenendo:

$$i = \frac{B l_c}{\mu_{eff} \mu_0 N} \tag{5.2.72}$$

A questo punto si passa al calcolo della ottima permeabilità magnetica effettiva. Combinando l'equazione 5.83 e l'equazione 5.88 si può riscrivere l'energia accumulata dall'induttore come :

$$\frac{1}{2}Li^2 = \frac{1}{2}\frac{A_c l_c}{\mu_{eff}\mu_0}B^2 \tag{5.2.73}$$

Come possiamo vedere a seconda del valore di induttanza e di corrente massima di una generica applicazione, la scelta dell'induttanza ricade sulle dimensioni, la permeabilità magnetica relativa e induzione magnetica massima del materiale.

Per la progettazione dell'induttanza vi sono diverse metodologie, le quali si differenziano per il livello di ottimizzazione finale sull'avvolgimento. In questo caso si utilizza quella consigliata dalla azienda Magnetics [42], la quale si occupa appunto del progetto e della produzione di circuiti magnetici, rendendo la progettazione relativamente semplice.

Il primo passo da seguire è calcolare l'energia massima che l'induttanza accumula. Nel caso della nostra applicazione la corrente di picco è pari a 17.94 A. Si è precedentemente scelto il valore di 220 μ H per quanto riguarda l'avvolgimento. A questo punto, l'energia accumulata è pari a :

$$E = \frac{1}{2}L I_{pk}^2 = \frac{1}{2}21.2^2 280 \mu H \approx 63 \, mJ \tag{5.2.74}$$

Mentre il prodotto LI^2 dove L è espressa in mH è pari a :

$$L I_{vk}^2 \approx 126 \ mH \cdot A^2$$
 (5.2.75)

A questo punto attraverso i grafici resi disponibile dalla casa produttrice si andrà a selezionare il core adatto [42], definendone in modo approssimativo dimensioni e permeabilità.

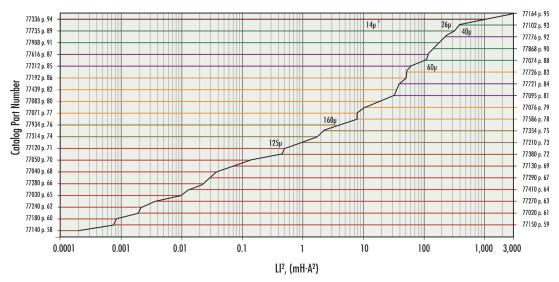


Figura 5.2.16: Grafico per la selezione del core

Nel nostro caso, per una massima energia di 63 mJ la scelta ricade sui powder core Kool $M\mu$, in particolare sul part number 77102A7HT14 [43], selezionato tramite il grafico in figura 5.2.16. Di seguito i principali parametri che lo caratterizzano:

- permeabilita magnetica relativa $\mu_r = 26$;
- induttanza per spira $A_L=37~\mathrm{nH}/T^2;$
- lunghezza $l_e = 243$ mm;

A questo punto si calcola il numero di spire necessarie. Attraverso le formule concesse dal costruttore [42]:

$$2L = N^2 A_L (5.2.76)$$

Risolvendo per N:

$$N = \sqrt{\frac{2L}{A_L}} = 123.1 \tag{5.2.77}$$

Il numero di spire viene apporossimato per eccesso a 123. Dopodiche si calcola il campo magnetico H nel seguente modo:

$$H = \frac{0.4\pi N I_{L,PK}}{l_e} \approx 134.8 \ Oe \tag{5.2.78}$$

Dove l'è espressa in centimetri. A questo punto sempre attraverso il grafico in figura 5.2.17, si rileva il Rolloff, ovvero la perdita di prestazioni del nucleo in termini di permeabilita.

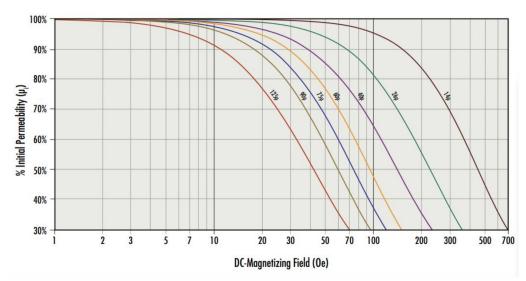


Figura 5.2.17: Rolloff

Per questi valori di campo la permeabilità è pari al 71.9% rispetto a quella per campo magnetizzante nullo. Questo dato è possibile estraporarlo dal grafico in figura 5.2.17 o tramite la fomula :

$$\% initial permeability = \frac{1}{a + bH^c}$$
 (5.2.79)

Dove a,b e c sono dei parametri forniti dal costruttore per ogni materiale e permeabilità e valogono rispettivamente 0.01, $5.226 \cdot 10^{-7}$ e 1.819. Si calcola quindi l'induttanza finale come:

$$L = \%initial permeability \times N^2 \times A_L = 0.719 \cdot 123^2 \cdot 37 \cdot 10^{-9} = 402 \mu H$$
 (5.2.80)

Il valore dell'induttanza risulta avere un valore molto maggiore rispetto al valore nominale per l'applicazione. Inoltre è ragionevole mantenere una diminuzione relativa

della permeabilità magnetica al massimoi del 25%, in modo tale da non stressare esageratamente la bobina.

A questo scopo, si procede diminuendo il numero di avvolgimenti. Si rieseguono i calcoli con N=97, ottenendo :

- H = 106.34 Oe;
- %initial permeability = 79.8 %;
- $L = 278 \ \mu H$

In prima approssimazione ci si può ritenere soddisfatti del risultato ottenuto per quanto riguarda il valore dell'induttanza, ma non per l'ingegnerizzazione del prodotto. Infatti la bobina risulta eccessivamente voluminosa.

Allo scopo di ridurre le dimensioni della bobina si sceglie un nucleo toroidale caratterizzato da un raggio minore e una permeabilità magnetica relativa maggiore, ad esempio il 0077728A7 [44]. La sua permeabilità magnetica relativa è di 14, il parametro che identifica l'induttanza per spira quadra è di $41\mu H/T^2$, il diametro è di circa 5.2 cm.

A questo scopo, ripetendo i calcoli si ottiene, con un numero di spire N pari a 92 :

- H = 214 Oe;
- %initial permeability = 81.5 %;
- $L = 282 \mu H$

Si riescono quindi ad ottenere le stesse prestazioni attraverso l'utilizzo di un nucleo di dimensioni minori, fattore molto importante per quanto riguarda l'ingombro della scheda. Ovviamente una volta montato il prototipo e dopo svariati test si può decidere se modificare l'induttanza progettata, variando il numero di spire o sostiture l'intero nucleo, prassi abbastanza comune nell'ambito della progettazione di induttanze e trasformatori.

A questo punto si sceglie il filo dell'avvoglimento. Viene selezionato il cavo AWG 12 il quale è caratterizzato da una resistenza per metro di $5.21m\Omega/m$ e una sezione W_a di $0.0331~cm^2$. Si calcola innanzitutto il parametro chiamato Fill Factor come:

$$Fill\ Factor = \frac{NW_a}{A_w} = 0.67\tag{5.2.81}$$

 A_w è l'area dell'anello interno del toroide, chiamata anche window area e pari a 452 mm^2 , mentre N è il numero di spire dell'induttanza.

Si calcola ora la variazione della densita di flusso a causa del ripple. Nel caso del PFC il ripple varia al variare della tensione di linea. Si prende quindi in considerazione il caso di erogazione della potenza massima con la tensione di rete di $195V_{rms}$, chiamate anche high-line losses [20].

Si calcola quindi il campo per $I_{L,max} + \Delta I/2$ e per $I_{L,max} - \Delta I/2$, rinominate rispettivamente $I_{L,max,h}$ e $I_{L,max,l}$:

$$I_{L,max,h} = \frac{\sqrt{2}P_o}{\eta V_{ac}} + \frac{\sqrt{2}V_{ac}D_{PK}}{2LF_{sw}} = 21.2A$$
 (5.2.82)

$$I_{L,max,l} = \frac{\sqrt{2}P_o}{\eta V_{ac}} - \frac{\sqrt{2}V_{ac}D_{PK}}{2LF_{sw}} = 16.96A$$
 (5.2.83)

Dopdichè si calcolano i rispettivi campi magnetici :

$$H_{L,max,h} = \frac{0.4\pi N I_{L,max,h}}{l_e} \approx 106.34 \, Oe$$
 (5.2.84)

$$H_{L,max,l} = \frac{0.4\pi N I_{L,max,l}}{l_e} \approx 85.1 \, Oe$$
 (5.2.85)

E attraverso il grafico 5.2.18, si determina la variazione del flusso ΔB :

$$\Delta B = B_{L,max,h} - B_{L,max,l} \approx 0.255 - 0.209 = 0.046T \tag{5.2.86}$$

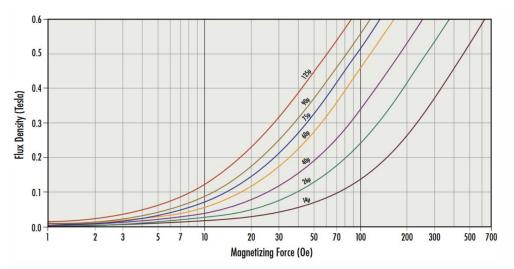


Figura 5.2.18: Densità di flusso vs campo magnetico

A questo punto si possono stimare le perdite del core. Il costruttore fornisce i parametri a b e c per il calcolo delle perdite dove a=80.55, b=1.998 e c=1.541. f_{sw} è espressa in kHz, pari a 65.

$$P = a \cdot \Delta B^b \cdot f_{sw} [kHz]^c = 52.36 \cdot 0.046^{1.988} 65^{1.541} \approx 72.3 \frac{mW}{cm^3}$$
 (5.2.87)

Le perdite totali nel core si calcolano come :

$$P_{core} = P \cdot V_e = 72.3 \cdot 66.825 \approx 4.83W$$
 (5.2.88)

Per calcolare le perdite del conduttore innanzitutto la resistenza parassita dell'avvolgimento, che si calcola come :

$$R_{coil} = WLT \cdot N \cdot R_{m\Omega/m} \tag{5.2.89}$$

Dove WLT sta per winding lenght per turn, che indentifica la lunghezza di ogni spira. Questa grandezza si ricava dal datasheet del componente ed è funzione del Fill Factor, calcolato precedentemente, pari a 0.13.

Il WLT risulta quindi pari a 9.4 cm mentre la resistenza totale dell'avvolgimento R_{coil} è pari a 41.19 $m\Omega$.

La corrente I_{rms} massima che può scorrere nell'induttore è pari :

$$I_{rms,max} = \frac{P_o}{V_{ac,LOW} \cdot \eta} = \frac{2500}{195 \cdot 0.95} = 13.49A$$
 (5.2.90)

A questo punto possiamo calcolare le perdite del conduttore come:

$$P_{cu} = I_{rms,max}^2 * R_{coil} = 7.49W (5.2.91)$$

Le perdite totali associati alla bobina a massima potenza sono quindi:

$$P_{L,tot} = P_{core} + P_{cu} = 12.33W (5.2.92)$$

A questo punto è possibile stimare la variazione di temperatura del core a potenza massima. Si calcola la superfice dell'induttore :

$$S = \pi(OD_{max}) \times (HT_{max}) + 2\pi (\frac{OD_{max}}{2})^2 = 509.3cm^2$$
 (5.2.93)

L'aumento di temperatura è pari a [42]:

$$\Delta T \approx \left(\frac{P_{L,tot[mW]}}{S[cm^2]}\right)^{0.833} \approx 14.2^{\circ}C$$
 (5.2.94)

Si si assume quindi una temperatura ambiente di 25° C la temperatura di funzionamento stimata dell'induttanza è pari a :

$$T_L = T_{amb} + \Delta T \approx 39.2^{\circ} C \tag{5.2.95}$$

5.3 Calcolo del rendimento

Il più grande vantaggio della topologia Totem Pole rispetto alla topologia classica Boost è l'eliminazione del ponte a diodi in ingresso e le perdite dovuto ad esso, portando il sistema al raggiungimento di notevoli prestazioni di efficienza.

L'utilizzo di dispostivi basati sulla tecnologia al carburo di silicio, è caratterizzata da bassi livelli di resistenze parassite e ottime prestazioni dinamiche, rispetto alla teconologia classica basata, contribuendo all'innalzamento dei livelli di rendimento dell'intero sistema.

Al fine di ottenere un'idea delle prestazioni si procede quindi con il calcolo teorico del rendimento dell'intero sistema.

A questo scopo vengono ripresi i dati ottenuti in precedenza per quanto riguarda i 4 dispositivi di potenza MOS. In particolare, ciascun MOS appartenente al ramo PWM dissipa una potenza massima, a pieno carico, di :

$$P_{MOS,PWM} = 6.44W (5.3.1)$$

Mentre ciascun MOS appartente al ramo SINCH:

$$P_{MOS,SINCH} = 4.19W (5.3.2)$$

Le perdite associate all'induttanza, come calcolate nella sezione precedente, sono stimate di :

$$P_{Ltot} = 12.33W (5.3.3)$$

Le perdite associate alla alimentazione dei driver e del controllo, invece, è di:

$$P_{+15} \approx 1.46W$$
 (5.3.4)

Se si stima un rendimento del convertitore DC-DC non isolato, il quale preleva energia dall'uscita, del 80%, allora la potenza prelevada è pari a :

$$P_{+15,eff} = \frac{+15}{n} = \frac{1.46}{0.8} \approx 1.82W \tag{5.3.5}$$

Le ultime perdite da considerare sono quelle sulle capacità d'uscita, in quando si sono utilizzati 3 condensatori da $680\mu F$ e caratterizzati una ESR tipica di 165 Ω [45]. Bisogna però calcolare la corrente efficacie che scorre all'interno delle capacità d'uscita, alla massima potenza di 2.5 kW e tensione di rete di 195 V_{RMS} [20]:

$$I_{C_o,RMS} = \sqrt{\frac{8 \cdot \sqrt{2} \cdot P_o^2}{3 \cdot \pi \cdot V_{AC} \cdot V_o} - \frac{P_o^2}{V_o^2}}$$
 (5.3.6)

$$I_{C_o,RMS} = \sqrt{\frac{8 \cdot \sqrt{2} \cdot 2500^2}{3 \cdot \pi \cdot 195 \cdot 385} - \frac{2500^2}{385^2}} = 7.6A \tag{5.3.7}$$

A questo punto le perdite associate alla capacità d'uscita si calcolano semplicemente come :

$$P_{C_o} = I_{C_o,RMS}^2 \cdot ESR = 7.6^2 \cdot 165 \cdot 10^{-3} = 9.53W$$
 (5.3.8)

Le perdite totali valgono:

$$P_{diss,total} = 2 \cdot P_{MOS,PWM} + 2 \cdot P_{SINCH,PWM} + P_{L,tot} + P_{+15,eff} + P_{C_o} \approx 44.94W ~~(5.3.9)$$

A questo punto si può calcolare l'efficienza totale teorica del sistema a meno delle dissipazioni sul filtro EMI in ingresso, per una potenza d'uscita di 2500W e una tensione di ingresso di 195 V_{RMS} :

$$\eta = \frac{P_o}{P_o + P_{diss,total}} = \frac{2500W}{2500W + 44.87W} = 98.2\%$$
 (5.3.10)

5.4 PCB

Durante lo studio è stato realizzato il circuito stampato del prototipo. E' stato realizzato principalmente attraverso l'utilizzo di dispositivi PTH (pin through hole) a meno dell'integrato di controllo e dei driver non disponibili in questo formato. In fase di prototipazione risulta una scelta diligente in quanto si prevede la possibile sostituzione dei diversi componenti durante le varie fasi di test del circuito.

La progettazione di circuito stampati che gestiscono alti livelli di potenza prevede la separazione dei dispositivi attivi e dell'induttanza dal resto della logica di controllo, la quale potrebbe essere influenzata dagli alti valori di corrente che scorrono nel circuito di potenza nonchè dai disturbi elettromagnetici emessi.

Di seguito vengono rappresentati i due piani del circuito stampato, top e bottom layer rispettivamente nelle figure 5.4.1 e 5.4.2 e il modello 3D del prototipo (Fig.5.4.3).

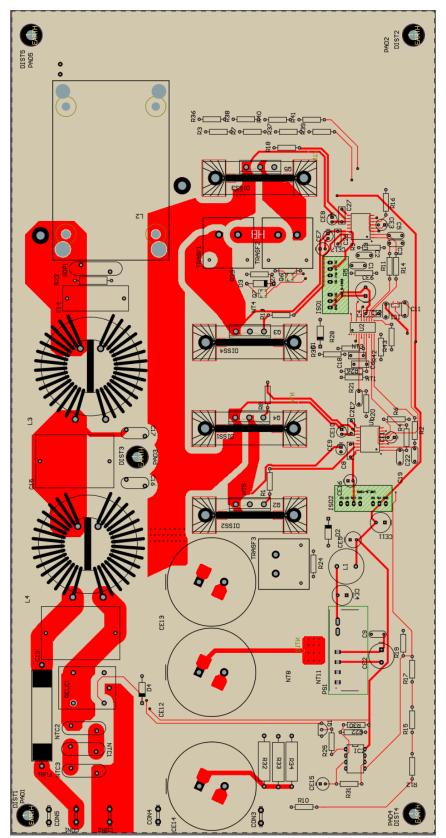


Figura 5.4.1: PCB Top Layer

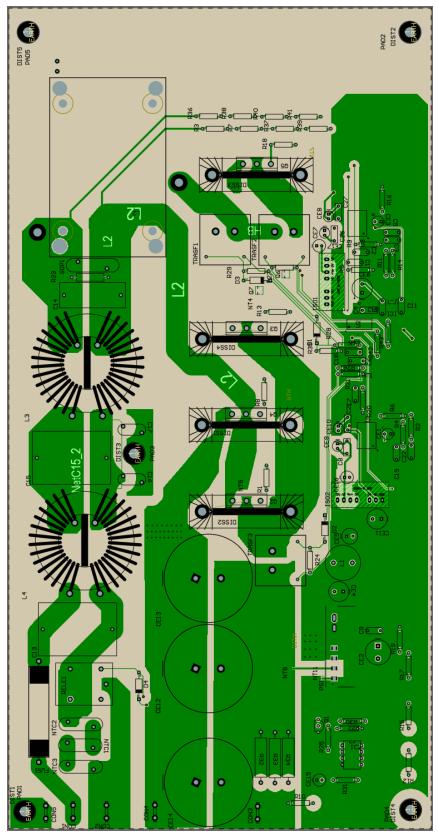


Figura 5.4.2: PCB Bottom layer

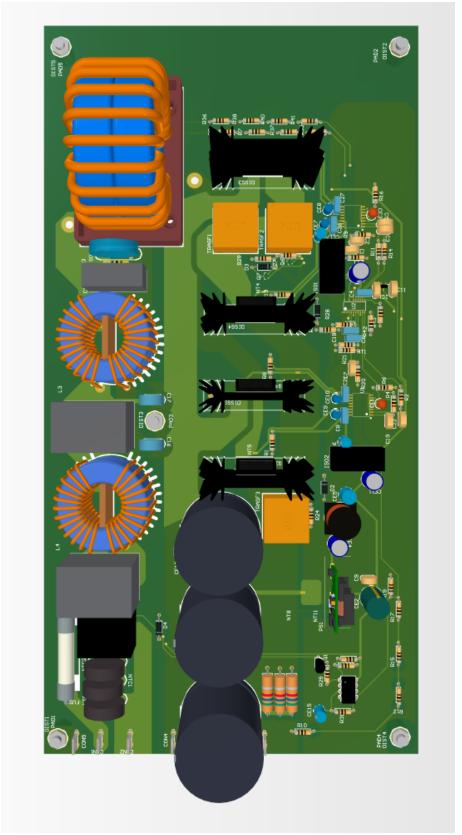


Figura 5.4.3: Modello 3D del prototipo

Capitolo 6

Conclusioni e lavori futuri

6.1 Conclusioni

Al termine di questo studio si può concludere che attraverso la topologia PFC Totem Pole Bridgless si possono ottenere ottimi livelli di efficienza.

Nello specifico è stato calcolato un rendimento teorico, a meno del filtro EMI in ingresso, del 98.7 % a pieno carico di 2500 W per una tensione di rete pari a $195V_{RMS}$, risultato coerente con la topologia circuitale([20],[24]).

In figura 6.1.1 si può osservare il rendimento teorico in funzione della potenza in uscita per diversi valori di tensione in ingresso.

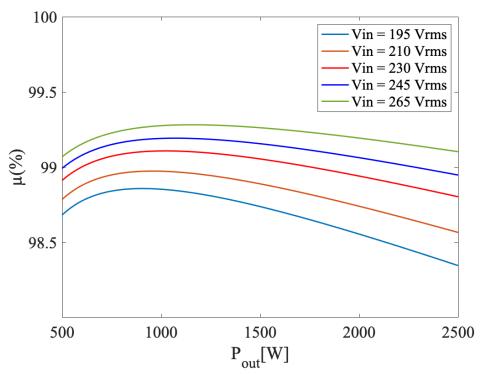


Figura 6.1.1: Rendimento in funzione della potenza in uscita, dispositivi SiC

Maggiore è la tensione di ingresso, maggiori saranno i valori di efficcienza raggiunti, con un valore massimo del 99.3% per un carico di circa 1200W e una tensione di rete di $265V_{RMS}$.

Il raggiungimento di tali prestazioni di picco è stato possibile attraverso l'eliminazione del ponte a diodi dello stadio di ingresso, e quindi delle perdite associate ad esso.

Bisogna considerare però che per bassi livelli di potenza, sotto i 500W, il circuito lavora in modalità dicontinua. Questo fa si che le forme d'onda delle correnti nel circuito vengano distorte, i livelli di dissipazione che caratterizzano i vari dispositivi cambiano, così come il rendimento del sistema, che in generale diminuisce.

Attraverso l'utilizzo di dispositivi GaN per il ramo PWM le prestazioni in termini di efficienza non variano in maniera consistente, come possibile vedere in figura 6.1.2. Il loro utilizzo può migliorarne le prestazioni per frequenze di commutazione più elevate.

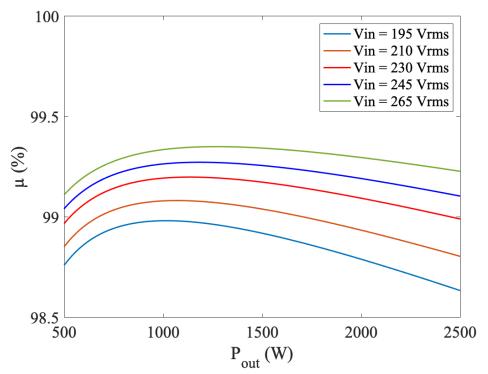


Figura 6.1.2: Rendimento in funzione della potenza in uscita, dispositivi GaN

Si può affermare quindi che, attraverso la topologia Totem Pole si possono ottenere eccellenti valori di rendimento minimizzando il numero di componenti del circuito. La produzione in scala, una volta ingegnerizzato il prototipo però non risulta ancora conveniente a livello commerciale a causa dell'utilizzo di dispositivi SiC o GaN, caratterizzati da costi che li rendono meno competitivi.

Risulta una soluzione interessante in ambiti specifici, ad esempio per la realizzazione di alimentatori da server, dove pochi punti percentuali di rendimento vengono tradotti in grandi risparmi energetici, traendo i benefici effettivi della topologia.

6.2 Lavori futuri

Nel prossimo fututo di prevede l'analisi dei risultati associati al prototipo, tra cui rendimento reale, PF, THD e delle forme d'onda critiche del circuito.

Si prevede una modifica del progetto attraverso la realizzazione di tre schede : una di potenza, la quale comprende i dipositivi semiconduttori MOS, filtro EMI in ingresso e capacità d'uscita, un'altra scheda che comprende la circuiteria di controllo e una terza che contiene i circuiti di alimentazione ausiliari.

Queste ultime due, sono state pensate per essere montante sulla scheda di potenza attraverso l'utilizzo di appositi pin.

La modularità del progetto permette veloci riparazioni della scheda, semplificando e velocizzando la sostituzione degli eventuali moduli.

I dispositi di potenza basati sulla tecnologia SiC, potrebbero essere sostituiti da dispostivi al nitrurio di gallio nel momento in cui il comportamento reale non rispetti le aspettative.

Performance di efficienza elevate renderebbero inoltre possibile la realizzazione di caricabatterie ermetici, i quali non sono caratterizzati da prese d'aria e da raffred-damento forzato, dirigendo l'utilizzo del prototipo verso nuove applicazioni.

Ringraziamenti

Innanzi tutto voglio ringraziare il mio relatore, l'Ing. Prof. Musolino Francesco che mi ha seguito durante lo svolgimento di questa tesi e fornito preziosi insegnamenti. Un doveroso ringraziamento va alla azienda Mori Raddrizzatori S.r.l., all'Ing. Mori Antonio e l'Ing. Segala Enzo che hanno reso possibile l'esistenza di questo progetto. Un ringraziamento particolare va ai miei genitori, a mia madre e mio padre, che mi hanno insegnato i valori del sacrifico e dell'impegno. Ringrazio mio fratello, Andrea, ancora fissa e punto di riferimento nella mia esistenza.

Un infinite grazie ai miei amici, che mi hanno sostenuto durante tutto il mio percorso, sono fortunato ad avervi.

Ed infine ringrazio i miei zii e i miei nonni, fonte di ispirazione e motivazione quotidiana, questo traguardo lo dedico a voi.

Bibliografia

- [1] Musolino Francesco. Slides of Power electronic course. Politecnico di Torino, 2022.
- [2] IEC 61000-3-2. Electromagnetic compatibility (EMC) Part 3-2: Limits Limits for harmonic current emissions (equipment input current 16 A per phase).
- [3] Hong Ye Fang Lin Luo. Power Electronics Advanced Conversion Technologies, Second Edition. CRC Press, 2018.
- [4] Muhammad H. Rashid. Power electronics handbook Devices, circuits and applications. Elsevier, 2007.
- [5] P. Tenti L. Rossetto, G. Spiazzi. Control techniques for power factor correction converters. University of Padova.
- [6] Ned Mohan. First courses on power electronic and drives. Wiley, 2022.
- [7] Dalvir K. Saini Marian K. Kazimierczuk. Average Current-Mode Control of DC-DC Power Converters. Wilwy, 2022.
- [8] Dragan Maksimovic Robert W. Erickson. Fundamentals of Power Electronics. Springer, 2001.
- 9 Ned Mohan. first courses on power electronic and drives. Wiley, 2022.
- [10] Samson Shenglong Yu Bo Zhang Junming Zeng, Guidong Zhang and Yun Zhang. *LLC Resonant Converter Topologies and Industrial Applications*. Chinese Journal of Electrical Engineering, Vol.6, No.3, 2020.
- [11] B.L.A. Silva Paulo M. Figueiredo, Fernando Lessa Tofoli, editor. A Review of Single-Phase PFC Topologies Based on The Boost Converter. Industry Applications (INDUSCON), 2010 9th IEEE/IAS International Conference, 2010.
- [12] Wilson Eberle William G. Dunford Fariborz Musavi, Murray Edington, editor. Evaluation and Efficiency Comparison of Front End AC-DC Plug-in Hybrid Charger Topologies. IEEE TRANSACTIONS ON SMART GRID,, 2012.
- [13] ON Semiconductor. Power Factor Correction (PFC) Handbook. SCILLC, 2011.

- [14] Gabriel Eduardo Mejía-Ruíz Nicolás Muñoz-Galeano José R. Ortiz-Castrillón, Jesús M. López-Lezama and Sergio D. Saldarriaga-Zuluaga. PFC Single-Phase AC/DC Boost Converters: Bridge, Semi-Bridgeless, and Bridgeless Topologies. Appl. Sci. 2021,11,7651. https://doi.org/10.3390/app11167651.
- [15] Brent McDonald and Ben Lough. Power Factor Correction (PFC) Circuit Basics. Texas Instruments Power Supply Design Seminar, 2020.
- [16] Bosheng Sun. How to reduce current spikes at AC zero-crossing for totem-pole PFC. Texas Instruments, 2015.
- [17] Peter Ksiazek Jiacheng Wang Rifat Alam Siddique, Jiacheng Wang. Investigation of Zero-crossing Common-Mode Noise and Current Spike in GaN Based Totem-Pole PFC. Conference: 2018 IEEE Canadian Conference on Electrical Computer Engineering (CCECE), 2018.
- [18] Bosheng Sun. Control challenges in a totem-pole PFC. Analog Applications Journal - Texas Intruments, 2017.
- [19] Byoung-Kuk Lee Yun-Sung Kim. Topology Characteristics Analysis and Performance Comparison for Optimal Design of High Efficiency PFC Circuit for Telecom. SungKyunKwan University, 2011.
- [20] Sam Abdel-Rahman Eric Persson. Design guide: CoolGaNTM totem-pole PFC design guide and power loss modeling. Infineon, 2019.
- [21] Application Note. AN12618 Totem-Pole Bridgeless PFC Using MC56F83783. NXP, 2019.
- [22] Gupta KK Kim T Singh AK, Mishra AK. Comprehensive review of nonisolated bridgeless power factor converter topologies. IET Circuits Devices Syst., 2021.
- [23] Texas Instruments. 98.6% Efficiency, 6.6-kW Totem-Pole PFC Reference Design for HEV/EV Onboard Charger. 2020.
- [24] Nhat-Truong Phan Tan-Tung Nguyen Jian-Hong Wu Yu-Chen Liu Huang-Jen Chiu Nguyen-Nghia Do, Bing-Siang Huang. Design and Implementation of a Control Method for GaN-Based Totem-Pole Boost-Type PFC Rectifier in Energy Storage Systems. Energies 2020, 13(23), 6297.
- [25] Severin Kampl and Rafael Garcia. Application note: 2500 W full-bridge totempole power factor correction using CoolGaN. Infineon, 2018.
- [26] Datasheet. UCC2817, UCC2818, UCC3817 and UCC3818 BiCMOS Power Factor Pregulator. Texas Instruments, 2015.
- [27] Unitrode Texas Instruments. Optimizing the Design of a High Power Factor Switching Preregulator. Unitrode Power Supply Desing Seminar SEM700, Topic 7, 1990.

- [28] Application note. UC3854 Controlled Power Factor Correction Circuit Design. Unitrode Corporation Texas Instruments, 1999.
- [29] Unitrode Power Supply Design Seminar SEM1000, Topic 1, [A 250-kHz, 500-W Power Factor Correction Circuit Employing Zero Voltage Transitions]. Unitrode Corporation Texas Instruments, 2001.
- [30] Datasheet. Totem Pole Power Factor Correction Controller NCP1681. ONSemiconductor.
- [31] EPCOS. Application Note NTC Thermistors for Inrush Current Limiting. TDK-EPC Corporation, 2013.
- [32] Datasheet. NTC Thermistors for Inrush Current Limiting B57247s0***M0***. TDK, 2021.
- [33] Application Note. NTC Inrush Current Limiters. TDK, 2019.
- [34] Datasheet. IMW65R027M1H. Infineon Technology, 2021.
- [35] Datasheet. Heat Sinks 00003722 Standard. PADA.
- [36] Datasheet. NCP51561 5 kVrms 4.5-A/9-A Isolated Dual Channel Gate Driver. ONSemi, 2022.
- [37] Datasheet. PBO-10C, INTERNAL AC-DC POWER SUPPLY. CUI INC, 2020.
- [38] Datasheet. $DCDC\ CONVERTER$, $UWE/F_S-1WR3series.Mornsun, 2021$.
- [39] Datasheet. TLV760 100-mA, 30-V, Fixed-Output, Linear-Voltage Regulator. Texas Instruments, 2017.
- |40| David Meneses Herrera Matteo-Alessandro Kutschak. 3300 Wbi-directional 650 CoolSiCCCMto tempolewithandXMC $EVAL_3K3W_TP_PFC_SIC.$ In fine on, 2020.
- [41] W. H. Wolfle W. G. Hurley. Transformers and inductor for power electronics. Wiley, 2013.
- [42] Magnetics. Pfc boost design. https://www.mag-inc.com/Products/Powder-Cores/Kool-Mu-Cores/PFC-Boost-Design.
- [43] Datasheet. 77102A7HT14. Magnetics, 2021.
- [44] Datasheet. 77102A7HT14. Magnetics, 2021.
- [45] Datasheet. *K01400471 M0E079*. Kendeil.