

POLITECNICO DI TORINO

Facoltà di Ingegneria Elettronica

Corso di Laurea in Progettazione analogica e di potenza

Tesi di Laurea Magistrale

**Progettazione di un convertitore  
DC-DC boost risonante in classe  
E con controllo di tipo dual  
frequency**



**Relatori**

prof. Gianluca Setti  
prof. Fabio Pareschi

**Candidato**

Simone MANELLO  
matricola: 265562

ANNO ACCADEMICO 2020-2021

# Sommario

Lo scopo di questo progetto è realizzare un convertitore boost  $DC - DC$  in classe E con un innovativo metodo di controllo, che sfrutta un segnale a doppia frequenza per pilotare lo switch. Questo metodo permette di regolare la potenza di uscita rispetto alle variazioni del carico, mantenendo l'efficienza del sistema molto elevata. I convertitori in classe E che non dispongono di un apposito controllo vengono progettati per un preciso carico, per il quale è garantito il punto di funzionamento ottimale. Tuttavia, le forme d'onda cambiano al variare del carico di uscita e non risulta quindi possibile regolare la potenza di uscita mantenendo allo stesso tempo l'obiettivo sull'efficienza.

Si può dimostrare che la potenza dissipata dai dispositivi switching in commutazione è direttamente proporzionale alla frequenza di commutazione, al livello di tensione ai capi del transistor e al valore della corrente che scorre in esso durante gli istanti in cui il dispositivo cambia stato, ovvero quando si accende oppure si spegne.

I convertitori in classe E permettono di ottenere delle particolari forme d'onda levigate (ovvero quasi risonanti) che raggiungono lo zero prima dell'istante di commutazione. Nel dettaglio, ci si riferisce allo Zero-Voltage Switching ( $ZVS$ ) se la tensione ai capi dello switch va lentamente a zero prima dell'istante di accensione, e gradualmente aumenta (partendo da zero) dopo l'istante di spegnimento. Mentre, ci si riferisce allo Zero-Voltage-Derivative Switching ( $ZVDS$ ) se questa tensione si avvicina allo zero anche con derivata nel tempo nulla.

Tornando alla potenza dissipata, grazie alle forme d'onda di questi convertitori, è possibile aumentare drasticamente la frequenza di switching rispetto ai convertitori tradizionali (che può raggiungere livelli anche 40 volte superiori) mantenendo alta l'efficienza e riducendo lo stress sui dispositivi. L'aumento della frequenza porta con sé numerosi vantaggi, come ad esempio componenti più piccoli. Dove, componenti più piccoli portano ad una riduzione dei costi e degli ingombri del sistema. In aggiunta, si dimostra che grazie a queste forme d'onda levigate si riscontra anche una riduzione dei problemi di interferenza elettromagnetica (EMI) generati dal circuito.

Il particolare metodo di controllo che si vuole utilizzare richiede la scelta di due frequenze precise alle quali il circuito sarà in grado di lavorare, in questo caso

vengono selezionate rispettivamente  $f_{s1} = 4MHz$  e  $f_{s2} = 8MHz$ . Il principio di funzionamento si basa sulla modulazione del lasso di tempo per cui il circuito lavora alle singole frequenze, all'interno di un periodo totale fisso. In quanto, cambiando la frequenza di lavoro cambia la potenza erogata al carico. Di conseguenza, è possibile regolare la tensione di uscita regolando la potenza media fornita al carico, che risulta pari alla media pesata della potenza erogata alle singole frequenze. Rispetto ad altri metodi di controllo che accendono e spengono il circuito (metodo ON/OFF), il controllo a doppia frequenza permette un passaggio praticamente immediato tra i due stati (ovvero tra le due frequenze) mantenendo per entrambi il regime ottimale. Questo è possibile con alcune semplici modifiche al circuito del convertitore in classe E tradizionale.

Un aspetto fondamentale del circuito in esame è il metodo di progettazione utilizzato per realizzare il convertitore, il quale permette di ottenere la soluzione esatta del sistema di equazioni differenziali che governano il circuito, contrariamente ai procedimenti classici che si basano su pesanti approssimazioni per semplificare il progetto.

Nel primo capitolo viene proposta una breve introduzione sui convertitori DC-DC classici, seguita da un'introduzione ai convertitori in classe E. Infine, viene presentato il principio di funzionamento del controllo a doppia frequenza.

Nel secondo capitolo viene trattato in modo teorico il metodo risolutivo con i dettagli matematici. Per ottenere un progetto più generale viene sfruttato un circuito normalizzato, facilmente riconducibile alle varie topologie di convertitori conosciuti in letteratura. Sempre in questo capitolo viene eseguita una breve analisi sullo stress teorico a cui i componenti saranno sottoposti e sull'efficienza generale del sistema. A questo punto, il circuito viene riportato nella topologia boost, evidenziando tutti i parametri essenziali al progetto e introducendo le modifiche circuitali necessarie per permettere al sistema di funzionare correttamente ad entrambe le frequenze scelte.

Nel terzo capitolo vengono selezionate le specifiche di progetto e tramite uno script *MATLAB* vengono calcolati i valori dei componenti da inserire nel circuito. Dopo una prima analisi sono stati identificati i valori degli induttori che vengono utilizzati come punto di partenza per la soluzione del sistema in tutti i successivi passi del progetto (poiché gli induttori sono i componenti più difficili da trovare in commercio). Vengono quindi individuate le soluzioni dei circuiti a singola frequenza e in seguito uniti per ricavare il circuito in grado di lavorare ad entrambe le frequenze. Per fare in modo che il circuito sia in grado di ottenere le condizioni ottimali a due diverse frequenze è necessario variare dinamicamente il valore delle capacità durante il funzionamento del circuito. A questo punto, i circuiti vengono opportunamente simulati tramite *SPICE*, sia utilizzando i modelli ideali dei dispositivi sia utilizzando i modelli più accurati forniti delle case costruttrici dei componenti selezionati, che emulano in modo fedele il comportamento del dispositivo reale.

Nel quarto capitolo viene proposto il progetto del circuito stampato, partendo

dallo schema elettrico fino ad arrivare al layout finale. Inoltre, in questo capitolo viene descritto brevemente il codice software sviluppato, che permette la gestione dei vari segnali di pilotaggio e il controllo in retroazione, implementato sia ad anello chiuso che aperto (tramite l'utilizzo di due pulsanti e utile in fase di sperimentazione).

Infine, nel quinto ed ultimo capitolo il circuito viene assemblato e analizzato accuratamente per verificarne il corretto funzionamento, visualizzando sull'oscilloscopio le varie forme d'onda.

# Indice

<b>1</b>	<b>Introduzione</b>	8
1.1	Introduzione ai convertitori DC-DC . . . . .	8
1.2	Introduzione ai convertitori in classe E . . . . .	10
1.3	Introduzione al controllo a doppia frequenza . . . . .	13
<b>2</b>	<b>Trattazione teorica</b>	17
2.1	Metodo risolutivo . . . . .	17
2.2	Modelli dei dispositivi reali . . . . .	19
2.3	Analisi generale . . . . .	23
2.4	Stress sui componenti . . . . .	34
2.5	Efficienza . . . . .	35
2.6	Boost a singola frequenza . . . . .	36
2.7	Boost a doppia frequenza . . . . .	39
<b>3</b>	<b>Progettazione</b>	43
3.1	Specifiche di progetto . . . . .	43
3.2	Progetto boost in classe E a 4MHz . . . . .	45
3.3	Progetto boost in classe E a 8MHz . . . . .	49
3.4	Progetto boost in classe E a doppia frequenza . . . . .	53
3.5	Scelta dei dispositivi di commutazione . . . . .	60
3.6	Circuito finale . . . . .	65
<b>4</b>	<b>Realizzazione del circuito su PCB</b>	69
4.1	Schema elettrico . . . . .	69
4.2	Circuito stampato . . . . .	74
4.3	Software . . . . .	77
<b>5</b>	<b>Sperimentazione</b>	79
5.1	Introduzione . . . . .	79
5.2	Misure sul circuito ad anello aperto . . . . .	82
5.3	Misure sul circuito ad anello chiuso . . . . .	84
5.4	Conclusioni . . . . .	85

A	Lista materiale	87
B	Software	89
	Bibliografia	99



# Capitolo 1

## Introduzione

### 1.1 Introduzione ai convertitori DC-DC

I sistemi elettronici moderni richiedono alimentatori di alta qualità, piccoli, leggeri, affidabili ed efficienti. I regolatori di tensione lineari, il cui principio di funzionamento è basato su un divisore di tensione o corrente, sono inefficienti. Sono limitati a tensioni di uscita inferiori alla tensione di ingresso e la loro densità di potenza è bassa poiché richiedono trasformatori e filtri di linea a bassa frequenza ( $50Hz$  o  $60Hz$ ). I regolatori lineari possono, tuttavia, fornire una tensione di uscita di qualità molto elevata. La loro principale area di applicazione è per bassi livelli di potenza come i regolatori di tensione low drop-out (*LDO*). I dispositivi elettronici utilizzati all'interno di questi regolatori di tensione operano essenzialmente in linearità. A livelli di potenza più elevati, vengono utilizzati regolatori switching, che sfruttano interruttori elettronici a semiconduttore in stato di accensione (stato *ON*) e spegnimento (stato *OFF*). Poiché c'è una bassa dissipazione energetica in questi stati (ovvero, bassa tensione ai capi di un interruttore nello stato *ON* e corrente circa nulla che attraversa un interruttore nello stato *OFF*) i regolatori switching possono ottenere efficienze di conversione decisamente più elevate rispetto ai convertitori lineari.

Spesso l'ingresso di questi convertitori è una tensione non regolata soggetta a fluttuazioni, che si ottiene rettificando la tensione di linea. I convertitori *DC – DC* switching sono usati per convertire questo ingresso non regolato in un'uscita stabile al livello di tensione desiderato. La tensione di uscita di questi convertitori è controllata con una modulazione digitale della larghezza di impulso (o PWM, acronimo del corrispettivo inglese pulse-width modulation) che permette di ottenere in uscita una tensione media variabile dipendente dal duty cycle, ovvero dal rapporto tra la durata dell'impulso corrispondente allo stato *ON* dell'interruttore e l'intero periodo del segnale. Negli ultimi decenni, i convertitori PWM sono diventati i più popolari in assoluto: essi sono ampiamente utilizzati a tutti i livelli di potenza. Le topologie e le proprietà dei convertitori PWM sono ben conosciute e descritte

in letteratura, ad esempio in Figura 1.1 viene riportato lo schema elettrico di un convertitore  $DC - DC$  in topologia boost.

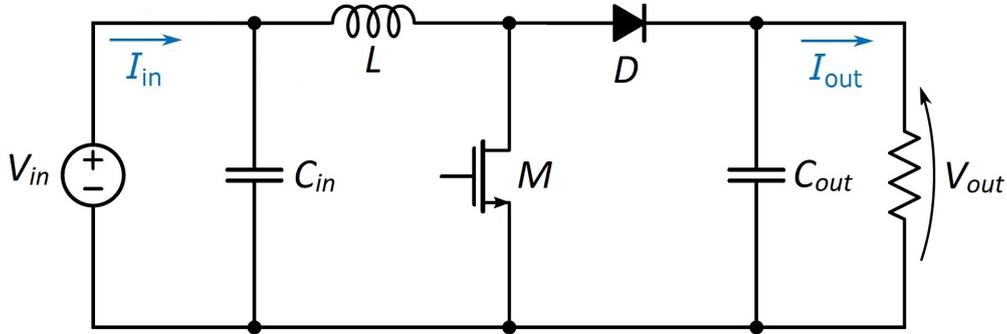


Figura 1.1. Schema elettrico convertitore  $DC - DC$  in topologia boost

I vantaggi dei convertitori PWM includono un basso numero di componenti, un'alta efficienza, funzionamento a frequenza costante, controllo relativamente semplice (con disponibilità commerciale di controllori in circuiti integrati) e la possibilità di ottenere rapporti di conversione elevati sia per applicazioni step-down che step-up. Uno dei principali svantaggi dei convertitori PWM  $DC - DC$  è la dissipazione di potenza in commutazione, ovvero durante l'accensione e lo spegnimento le forme d'onda della tensione e della corrente causano dissipazione di potenza negli interruttori a semiconduttore, siano essi controllati (ad esempio un *MOS* di potenza) o non controllati (ad esempio il diodo di rettifica). È possibile dimostrare che questa potenza dissipata aumenta linearmente con la frequenza di commutazione, limitando così le frequenze operative utilizzabili. Tuttavia, più è alta la frequenza di funzionamento, più sono piccoli e leggeri i trasformatori, induttori e condensatori rendendo di conseguenza il circuito meno ingombrante e più economico. Inoltre, le caratteristiche dinamiche dei convertitori migliorano con l'aumentare della frequenza operativa. Un altro aspetto negativo è che le forme d'onda rettangolari, necessarie per il funzionamento del circuito, generano intrinsecamente problemi di interferenza elettromagnetica (EMI) dovuti agli elevatissimi  $di/dt$  e  $dv/dt$ , che vengono ulteriormente aggravati dai notevoli effetti transitori dovuti ai componenti induttivi e capacitivi presenti in questi circuiti di potenza.

Vengono infine elencate le principali funzioni dei convertitori  $DC - DC$ :

1. Convertire una tensione di ingresso continua  $V_{in}$  in una tensione di uscita continua  $V_{out}$ ;

2. Regolare la tensione di uscita  $V_{out}$  per mantenerla stabile rispetto alle variazioni di carico e di linea;
3. Ridurre la tensione di ripple  $AC$  sulla tensione di uscita  $V_{out}$  al di sotto del livello richiesto;
4. Proteggere il sistema e la sorgente di alimentazione dalle interferenze elettromagnetiche ( $EMI$ );
5. Soddisfare le varie norme di sicurezza nazionali e internazionali richieste per poter commercializzare un determinato prodotto.

## 1.2 Introduzione ai convertitori in classe E

I progressi dell'elettronica di potenza negli ultimi decenni hanno portato non solo a miglioramenti dei dispositivi di potenza, ma anche a nuovi concetti nelle topologie e nel controllo dei convertitori. Gli interruttori devono interrompere la corrente entro i brevissimi tempi di accensione e spegnimento, sopportando le elevate tensioni ai loro capi (hard switching). L'hard switching si riferisce allo stress subito dai dispositivi elettronici di potenza in commutazione, ovvero, durante i processi di accensione e spegnimento. Il dispositivo di potenza deve sopportare contemporaneamente un'alta tensione e un'elevata corrente, con conseguente dissipazione di potenza e stress, che potrebbero portare il dispositivo a lavorare fuori dalla sua safe operating area ( $SOA$ ), comportando possibili guasti permanenti. Come detto in precedenza la potenza dissipata dagli interruttori è direttamente proporzionale alla frequenza di commutazione, limitando la frequenza massima a cui possono essere progettati i convertitori di potenza. Nei primi anni '80 la frequenza di commutazione tipica dei convertitori era limitata ad alcune decine di  $kHz$  (tipicamente  $20 - 50kHz$ ). Molti sforzi di ricerca sono stati indirizzati verso l'uso di convertitori risonanti. Il concetto è quello di incorporare circuiti risonanti nei convertitori classici per modellare le forme d'onda (della tensione ai capi degli switch e/o della corrente che attraversa gli stessi) in modo tale da creare condizioni di commutazione a tensione zero ( $ZVS$ ) e/o a corrente zero ( $ZCS$ ).

Soddisfare queste condizioni permette di:

1. ridurre il prodotto della tensione per la corrente del dispositivo di commutazione negli istanti in cui cambia il suo stato e abbassare (idealmente, fino a zero) le perdite di energia per ciclo, riducendo quindi lo stress su questi dispositivi;
2. ottenere i bordi ascendenti e discendenti delle forme d'onda "levigati" e senza spike dovuti ai transistori, con effetti benefici anche in termini di attenuazione delle interferenze elettromagnetiche;

3. aumentare drasticamente la frequenza di commutazione alla quale possono lavorare i dispositivi di commutazione;
4. aumentare l'efficienza del sistema.

In dettaglio, ci si riferisce allo Zero-Voltage Switching (*ZVS*) se i componenti reattivi modellano la tensione ai capi di un interruttore in modo che essa lentamente vada a zero prima dell'istante di accensione, e gradualmente aumenti (partendo da zero) dopo l'istante di spegnimento. Ci si riferisce allo Zero-Voltage-Derivative Switching (*ZVDS*) se questa tensione si avvicina allo zero anche con derivata nel tempo nulla. Concentrandosi invece sulla corrente che scorre negli switch si hanno rispettivamente lo Zero Current Switching (*ZCS*) e lo Zero-Current Derivative Switching (*ZCDS*) definiti allo stesso modo della tensione. Se vengono soddisfatte entrambe le condizioni di zero-level e di zero-derivative (sia per le tensioni che per le correnti), si ottiene l'operazione di classe E ottimale. Ci si riferisce al solo raggiungimento della condizione di zero-level, cioè senza derivata nulla, come operazione di classe E sub-ottimale. Con una vasta gamma di input e di carichi, questi circuiti devono operare con un ampio range di frequenze di commutazione, rendendo non facile progettare i convertitori risonanti in modo ottimale.

Lo *ZCS* può eliminare la dissipazione energetica allo spegnimento e ridurre quella all'accensione. Quando i *MOSFET* di potenza sono accesi a corrente zero, l'energia immagazzinata nella capacità del dispositivo sarà dissipata. Questa perdita di accensione capacitiva è proporzionale alla frequenza di commutazione del dispositivo. Lo *ZVS* permette di eliminare la perdita di accensione capacitiva. Per la natura dei circuiti risonanti, la corrente di picco è molto più alta di quella nelle controparti ad onda quadra. Inoltre, si genera una tensione elevata ai capi dell'interruttore nello stato *OFF*. La regolazione dell'uscita dei convertitori risonanti può essere ottenuta controllando il tempo di accensione o tramite controllo a frequenza variabile. Lo *ZCS* necessita di un controllo con *ON – time* costante, mentre lo *ZVS* necessita di un controllo con *OFF – time* costante.

La riduzione della potenza dissipata in commutazione e il continuo miglioramento degli interruttori di potenza consentono alla frequenza di commutazione dei convertitori risonanti di raggiungere valori decisamente più elevati rispetto ai corrispondenti convertitori non risonanti. Le frequenze fino alla gamma *VHF* 30 – 300 MHz sono possibili, riducendo la dissipazione grazie alle tecniche utilizzate negli amplificatori di potenza a radiofrequenza (*RF*); questo permette di superare il principale svantaggio delle topologie convenzionali. Di conseguenza, le dimensioni dei componenti magnetici possono essere ridotte e la densità di potenza dei convertitori può essere aumentata drasticamente. Nel corso degli anni sono state proposte e sviluppate varie forme di convertitori risonanti. Tuttavia, la maggior parte dei convertitori risonanti soffrono di diversi problemi non trascurabili. Rispetto ai convertitori convenzionali controllati in PWM, le correnti e le tensioni dei convertitori risonanti

hanno valori di picco più elevati, portando ad una maggiore dissipazione di potenza in conduzione e specifiche tecniche dei dispositivi più stringenti.

Inoltre, molti convertitori risonanti richiedono la modulazione di frequenza (*FM*) per la regolazione dell'uscita complicando la progettazione del filtro e del controllo in retroazione. Lo schema del circuito che consideriamo è mostrato nella sua configurazione isolata in Figura 1.2, rispettivamente con accoppiamento diretto (o in fase) nel circuito in alto (a) e con accoppiamento inverso (o sfasato di 180 gradi) nel circuito in basso (b).

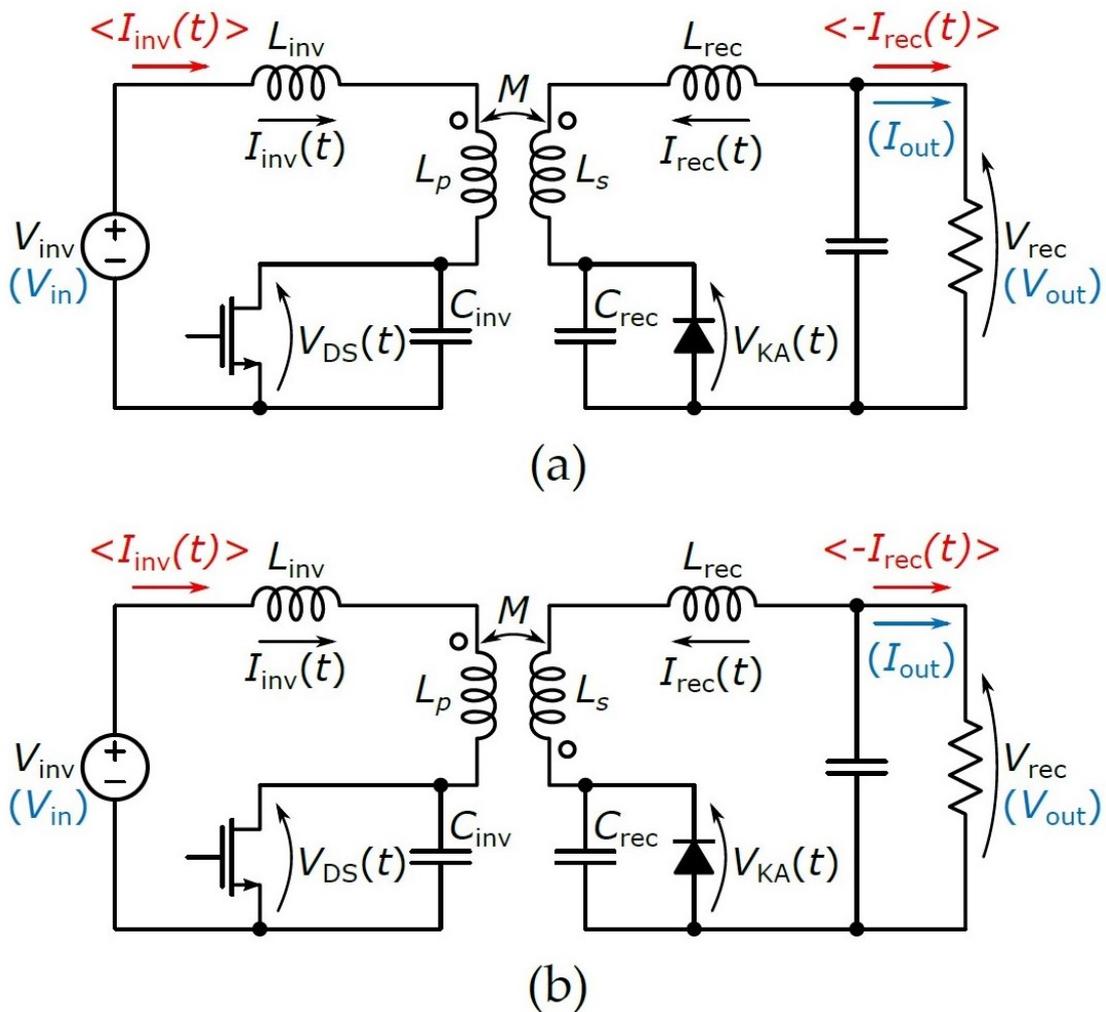


Figura 1.2. Schema canonico di un convertitore in classe E con accoppiamento diretto (a) e inverso (b)

È una pratica comune considerare i convertitori DC-DC risonanti come composti dalla cascata di un inverter e uno stadio raddrizzatore. I due condensatori  $C_{inv}$  e  $C_{rec}$  sono posti, rispettivamente, in parallelo all'interruttore *MOS* e al diodo raddrizzatore per garantire forme d'onda volute. Inoltre,  $C_{inv}$  e  $C_{rec}$  possono anche incorporare la capacità parassita dei due interruttori di potenza (se le capacità effettive sono molto maggiori rispetto alle capacità parassite possono mascherare sia le non-linearità che la non perfetta conoscenza di queste ultime), evitando che vadano ad alterare il comportamento del circuito. Gli induttori  $L_{inv}$  e  $L_{rec}$  possono incorporare (o mascherare) l'induttanza di dispersione del trasformatore. Insieme a  $C_{inv}$  e  $C_{rec}$ , impostano anche le due frequenze risonanti delle maglie dell'inverter e del raddrizzatore rispettivamente.

In alcuni casi un convertitore *DC – DC* viene considerato appartenente alla classe E quando solo l'inverter è progettato in classe E, mentre il raddrizzatore non è un circuito risonante. Il convertitore che viene considerato in questo progetto e composto sia da un inverter in classe E che da un raddrizzatore in classe E. Si noti che a volte questi convertitori vengono chiamati convertitori in classe  $E^2$  per distinguerli dai convertitori in cui solo l'inverter si basa sull'approccio in classe E.

Recentemente, i convertitori in classe E hanno ricevuto notevole attenzione anche per la possibilità di progettare sistemi di alimentazione wireless, e di incorporare direttamente il trasferimento di dati in convertitori isolati senza la necessità di ulteriori dispositivi di isolamento che sarebbero altrimenti indispensabili.

## 1.3 Introduzione al controllo a doppia frequenza

In questo progetto viene analizzato un innovativo metodo di progettazione e controllo di questi convertitori in classe E. Nello specifico viene studiato un convertitore di tipo boost, ovvero una particolare topologia di convertitore che permette di ottenere una tensione continua in uscita  $V_{out}$  superiore a quella di ingresso  $V_{in}$ . I convertitori in classe E sono tipicamente progettati per una determinata condizione di funzionamento, che potrebbe essere quella che garantisce la potenza nominale in uscita per un preciso carico, per la quale è garantito il punto di funzionamento ottimale (ovvero vengono garantiti lo *ZVS* e lo *ZVDS*).

Tramite un controllo sulla frequenza di commutazione alla quale viene fatto funzionare l'interruttore pilotato è possibile limitare la fluttuazione nella tensione di uscita  $V_{out}$  generata in seguito ad una perturbazione sul carico. Tuttavia utilizzando la precedente tecnica non viene più garantito il punto di lavoro ottimale nel momento in cui la frequenza di funzionamento sia diversa da quella di progetto, portando ad un drastico aumento dell'energia dissipata in commutazione che a frequenze elevate può portare anche alla rottura dei dispositivi. Questo problema limita fortemente le possibili applicazioni dei convertitori in classe E nonostante i loro numerosi vantaggi. Per ovviare a ciò è stata sviluppata una tecnica di

controllo a doppia frequenza che permette di modulare la corrente di uscita e di conseguenza la caduta di tensione sul carico garantendo sempre il punto di lavoro ottimale e un'efficienza molto elevata. Si dimostra che è possibile mantenere gli stessi induttori (che sono i componenti più critici) ed avere il punto di lavoro ottimale a due frequenze diverse modificando solo il valore dei condensatori in parallelo ai dispositivi di commutazione (transistor *MOS* e diodo). Per garantire questa condizione il prodotto tra la corrente di uscita  $I_{out}$  e la frequenza di commutazione del transistor  $f_s$  deve rimanere costante, ovvero, a parità di tensione di uscita  $V_{out}$  si ha che  $P_{out}f_s = costante$ . Come ulteriore è possibile dimostrare che in seguito alla denormalizzazione delle induttanze si ottengono le seguenti equazioni di proporzionalità:

$$\begin{cases} M \propto -\frac{1}{I_{out} \omega_s} \\ L_{inv} \propto \frac{1}{I_{out} \omega_s} \\ L_{rec} \propto \frac{1}{I_{out} \omega_s} \end{cases} \quad (1.1)$$

Tutte e tre sono inversamente proporzionali al prodotto tra  $I_{out}$  e  $\omega_s$ , dove  $\omega_s = 2\pi f_s$ . Questo dimostra come sia possibile mantenere le stesse induttanze a frequenze diverse, ovvero mantenendo  $I_{out1}\omega_{s1} = I_{out2}\omega_{s2} = costante$ . È possibile sfruttare la caratteristica appena dimostrata progettando un circuito in cui i valori delle capacità in parallelo agli switch vengono modificati dinamicamente durante il funzionamento collegando o scollegando (a seconda della frequenza a cui deve lavorare il convertitore) un condensatore aggiuntivo in parallelo ad essi, sfruttando due ulteriori interruttori pilotati esternamente e collegati in serie ai nuovi condensatori. Quando questi due nuovi interruttori sono chiusi le capacità vengono inserite in parallelo a quelle già presenti e quindi i valori si sommano, rendendo possibile il mantenimento della condizione ottimale.

Nel passaggio tra un regime e l'altro varierà il valore della potenza erogata al carico, con una potenza media in uscita pari a:

$$\langle P_{out} \rangle = \frac{P_{out1}T_{f_{s1}} + P_{out2}T_{f_{s2}}}{T_{f_{s1}} + T_{f_{s2}}} \quad (1.2)$$

dove  $T_{f_{s1}}$  è il tempo per il quale il convertitore lavora alla frequenza di commutazione  $f_{s1}$  e  $T_{f_{s2}}$  è il tempo per il quale il convertitore lavora alla frequenza  $f_{s2}$ . Rispetto ai convertitori classici in classe E con questa tecnica è possibile modulare facilmente la potenza in uscita, modulando il tempo per il quale il convertitore lavora ad una frequenza o all'altra, mantenendo il punto di lavoro ottimo (ovvero *ZVS* e *ZVDS*) e un'efficienza elevata. Grazie al mantenimento della condizione ottimale

e quindi della bassa potenza dissipata in commutazione è anche possibile incrementare la frequenza di commutazione dell'interruttore principale a valori decisamente più elevati rispetto ai convertitori in classe E controllati con altre tecniche.

Un altro vantaggio importante di questo circuito è che il duty cycle viene mantenuto costante e questo permette di risolvere il problema dello zero nel semipiano di destra classico dei convertitori boost controllati in retroazione con la tecnica PWM.



# Capitolo 2

## Trattazione teorica

### 2.1 Metodo risolutivo

La combinazione di non linearità e di elementi reattivi presenti nel circuito rende estremamente difficile la progettazione di un convertitore  $DC - DC$  in classe E, questo problema non consente una soluzione matematica esatta dell'evoluzione del circuito. La procedura di progettazione classica dei convertitori in classe E è basata su un approccio approssimativo, con pesanti ipotesi approssimative volte a semplificare l'analisi del circuito. Storicamente, l'approccio più comune è la ben nota approssimazione sinusoidale (chiamata anche di prima armonica) originariamente utilizzata nella progettazione dei circuiti  $RF$ . Nello specifico, questa procedura di progettazione è suddivisa in due fasi relative alla progettazione dello stadio inverter (che fornisce una conversione  $DC/AC$  con frequenza angolare  $\omega_s = 2\pi f_s$ ) e alla progettazione dello stadio raddrizzatore (che fornisce la conversione finale  $AC/DC$ ). Assumendo che la tensione in ingresso sia un tono sinusoidale a  $\omega_s$  il circuito raddrizzatore viene linearizzato e mediato, calcolando la sua impedenza equivalente in ingresso  $Z_{eq}(\omega_s)$ . La prima armonica della forma d'onda ai capi dell'impedenza equivalente del raddrizzatore deve corrispondere (sia in ampiezza che in fase) al tono sinusoidale assunto all'uscita dell'inverter.

Il progetto dello stadio inverter si ottiene, invece, assumendo che si tratti di un amplificatore di potenza in classe E funzionante a  $\omega_s$ , caricato con una rete non resistiva progettata per modellare correttamente forma d'onda della tensione ai capi del transistor  $MOS$  (interruttore pilotato esternamente) in modo da ottenere il funzionamento ottimale, cioè condizioni di  $ZVS$  e (eventualmente) di  $ZVDS$ . Poiché l'impedenza del raddrizzatore non porta generalmente al carico ottimale, che garantisce sia  $ZVS$  che  $ZVDS$ , una rete di accoppiamento viene interposta tra l'amplificatore di potenza  $RF$  e il raddrizzatore garantendo sia un adattamento dell'impedenza (dal punto di vista dell'inverter) che un filtraggio delle armoniche (dal punto di vista del raddrizzatore). Questa procedura permette di ottenere in maniera abbastanza facile la condizione di lavoro ottimale in classe E.

Con questo approccio, sfortunatamente, si possono ottenere solo soluzioni approssimate a causa di differenze apprezzabili tra l'evoluzione teorica del circuito e quella effettiva. Di conseguenza, è necessario un successivo perfezionamento mediante simulazioni *SPICE*, decisamente onerose in termini di tempo, per ottenere il punto di funzionamento ottimale. Questo metodo risolutivo è efficace solo se si verifica l'ipotesi sinusoidale, che spesso viene garantita introducendo un filtro *LC* (ad elevato  $Q$ ) tra l'inverter e il raddrizzatore (aumentando così la dimensione e il costo del convertitore che si vuole progettare). Inoltre, spesso vengono aggiunti anche grandi induttori choke *RF* (tipicamente al nodo di ingresso e uscita del convertitore) per garantire l'assunzione aggiuntiva di una corrente costante in ingresso e in uscita, e quindi per semplificare ulteriormente l'analisi del convertitore.

La letteratura degli ultimi anni si è concentrata sul miglioramento della metodologia di progettazione standard con l'obiettivo principale di rimuovere (o sostituire con piccole controparti) elementi ingombranti come gli induttori choke o il filtro *LC* ad alto fattore di qualità  $Q$ . Lo schema elettrico del circuito che viene considerato in questo testo è mostrato in Figura 1.2 nella sua configurazione isolata con accoppiamento diretto ed inverso, rispettivamente, Figura 1.2 (a) e Figura 1.2 (b). In entrambi i casi, indichiamo la tensione di ingresso con  $V_{in}$ , la tensione di uscita con  $V_{out}$  e assumiamo un carico resistivo  $R_{load}$ , con la corrente di carico data da  $I_{out} = V_{out}/R_{load}$ . Il convertitore è isolato, e la distinzione tra lo stadio inverter (il lato primario, che include un transistor *MOS* come interruttore controllato esternamente alla frequenza  $f_s$  con duty cycle  $D$ ) e lo stadio raddrizzatore (lato secondario, che include un diodo come interruttore non controllato) è chiaramente visibile. L'inverter e lo stadio raddrizzatore sono collegati solo tramite il trasformatore (che garantisce anche isolamento galvanico) e non sono dotati di alcun filtro *LC* aggiuntivo o induttore choke di grandi dimensioni. Si noti che i due schemi rappresentano solo il "core" di un convertitore *DC – DC* di classe E.

Per questo progetto viene proposto un innovativo approccio semi-analitico basato sulla soluzione esatta del sistema di equazioni differenziali che regolano l'evoluzione del convertitore, considerando il sistema funzionante in condizioni stazionarie. Basarsi sull'esatta evoluzione dell'intero sistema permette di introdurre solo approssimazioni minori e trascurabili, tuttavia, richiede alcuni coefficienti il cui calcolo numerico è necessario, quindi deve essere considerato un approccio semianalitico. Oltre all'ovvio vantaggio di ottenere un design meno approssimativo senza ricorrere a lunghe simulazioni a livello circuitale, la capacità di considerare le dinamiche non semplificate ci permette di eliminare, come auspicato, elementi ingombranti del circuito come induttori choke, i complessi filtri *High – Q* e reti di accoppiamento sintonizzate introdotte convenzionalmente per giustificare le semplificazioni nei modelli. Tutto ciò ha un impatto enorme sulle dimensioni e sulla complessità del sistema, rendendo l'architettura del convertitore in classe E estremamente leggera che, inoltre, può essere configurata sia come una topologia isolata che non isolata. Questo metodo, a differenza di molti altri proposti in letteratura e basati solo su

dispositivi ideali, è anche in grado di tenere conto delle principali fonti di perdita del circuito. Per il bene della generalità, è adimensionale, e basato sul progetto di un convertitore normalizzato (con tensione di ingresso  $V_{in} = 1V$ , tensione di uscita  $V_{out} = 1V$ , potenza di uscita  $P_{out} = 1W$  e frequenza angolare  $\omega_s = 1rad/s$ ), che viene poi denormalizzato per adattarsi a qualsiasi tensione, potenza di uscita e frequenza operativa imposta dal progettista. La metodologia di progettazione proposta può essere facilmente estesa a tutte le topologie più popolari di convertitori risonanti, comprese quelle non isolate. Per ricondursi alla topologia non isolata è sufficiente sostituire il trasformatore di accoppiamento con un induttore (il cui valore è  $M = L_p = L_s$ ), manipolare la disposizione dei componenti e apportare semplici cambi di variabili come verrà descritto in seguito. In conclusione l'introduzione di questo approccio permette una progettazione più generale che rispetto a qualsiasi soluzione basata sull'approssimazione sinusoidale presenta diversi vantaggi, i quali possono essere riassunti come:

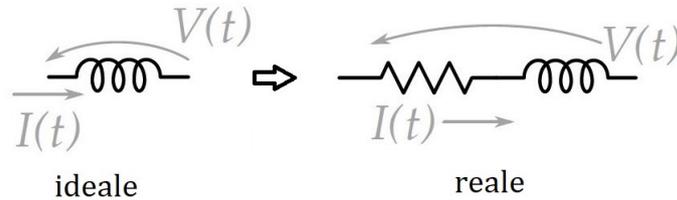
- permette di sviluppare un progetto adimensionale, cioè può essere applicato indipendentemente dal valore di  $V_{in}$ ,  $V_{out}$ ,  $P_{out}$  e  $f_s$ ;
- può essere applicato a molte topologie diverse di convertitori in classe E, siano esse isolate o non isolate;
- permette di tenere conto le principali fonti di non-idealità;
- permette di indagare su proprietà come l'esistenza della condizione ottimale o non ottimale, lo stress sui dispositivi di commutazione, l'efficienza del convertitore, l'unicità della soluzione ottimale e per valutare quale trade-off può rappresentare il punto ottimale secondo le specifiche del progettista.

## 2.2 Modelli dei dispositivi reali

Per tener conto degli effetti di perdita introdotti dai dispositivi reali presenti nei convertitori vengono usati dei modelli lineari, che riproducono in modo abbastanza fedele il comportamento effettivo dei corrispettivi componenti reali. Per tutti gli elementi passivi (induttori e condensatori) viene considerata una resistenza aggiuntiva in serie espressa mediante un fattore di qualità. Si fa riferimento ai fattori di qualità degli induttori con  $Q_L$  e dei condensatori con  $Q_C$ . Per gli interruttori, invece, viene considerata una resistenza serie ( $R_{DS}^{ON}$  per il MOS e  $R_D^{ON}$  per il diodo) solo quando essi sono accesi (ovvero chiusi), con l'aggiunta di una caduta di tensione  $V_D^{ON}$  per il diodo. Mentre per i generatori di tensione si considera una resistenza serie  $R_s$ . Infine, per il modello del trasformatore viene rappresentata la mutua induttanza in entrambe le maglie e si aggiungono le resistenze serie dei rispettivi induttori. Vengono riportati in seguito i modelli matematici e circuitali dei

principali elementi utilizzati in questo testo, confrontandoli con i loro corrispettivi ideali:

### Induttore



Induttore ideale:

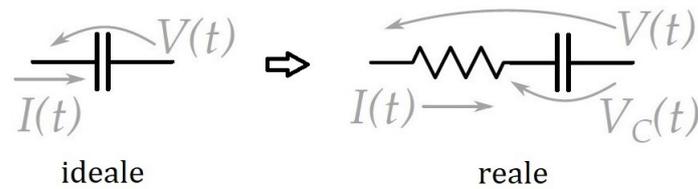
$$V(t) = L \frac{dI(t)}{dt}$$

Induttore reale:

$$V(t) = L \frac{dI(t)}{dt} + R_L I(t) = L \frac{dI(t)}{dt} + L \frac{2\pi f_s}{Q_L} I(t)$$

$$Q_L = \frac{2\pi f_s L}{R_L} \quad \rightarrow \quad R_L = \frac{2\pi f_s L}{Q_L}$$

### Condensatore



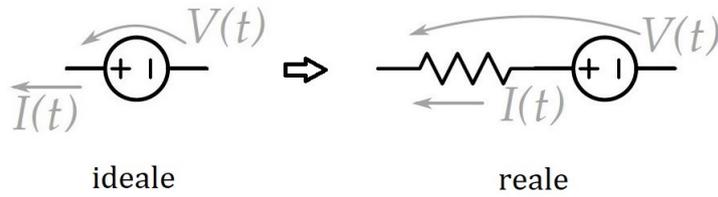
Condensatore ideale:

$$I(t) = C \frac{dV(t)}{dt}$$

Condensatore reale:

$$V(t) = V_C(t) + R_C I(t) = V_C(t) + \frac{1}{2\pi f_s C Q_C} I(t)$$

$$Q_C = \frac{1}{2\pi f_s C R_C} \quad \rightarrow \quad R_C = \frac{1}{2\pi f_s C Q_C}$$

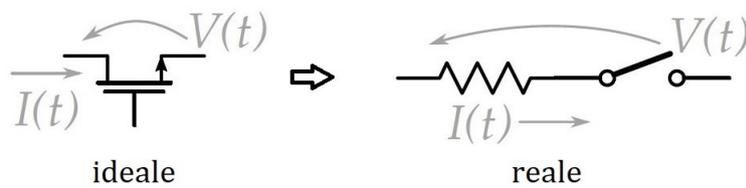
**Generatore di tensione**

Generatore di tensione ideale:

$$V(t) = V_S$$

Generatore di tensione reale:

$$V(t) = V_S - R_S I(t)$$

**Transistor MOS**

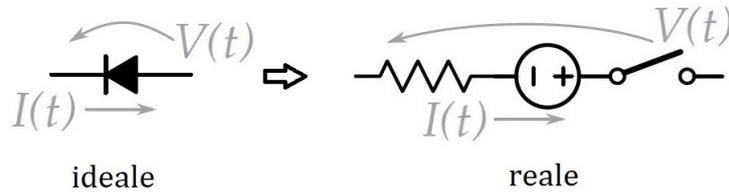
Transistor MOS ideale:

$$\begin{aligned} V(t) &= 0 && \text{se il dispositivo è acceso} \\ I(t) &= 0 && \text{se il dispositivo è spento} \end{aligned}$$

Transistor MOS reale:

$$\begin{aligned} V(t) &= R_{DS}^{ON} I(t) && \text{se il dispositivo è acceso} \\ I(t) &= 0 && \text{se il dispositivo è spento} \end{aligned}$$

## Diodo



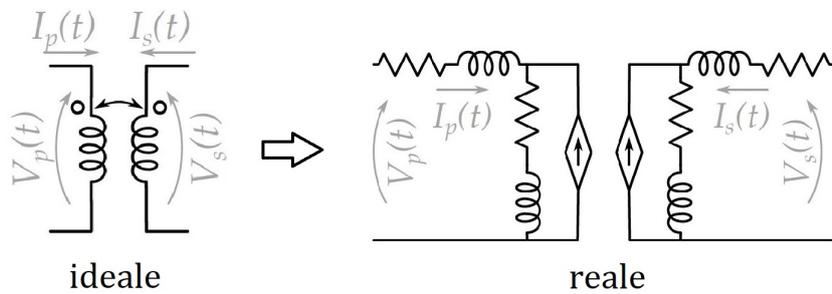
Diodo ideale:

$$\begin{aligned} V(t) = 0, I(t) < 0 & \text{ se il dispositivo è acceso} \\ V(t) > 0, I(t) = 0 & \text{ se il dispositivo è spento} \end{aligned}$$

Diodo reale:

$$\begin{aligned} V(t) = -V_D^{ON} + R_D^{ON} I(t), I(t) < 0 & \text{ se il dispositivo è acceso} \\ V(t) > 0, I(t) = 0 & \text{ se il dispositivo è spento} \end{aligned}$$

## Trasformatore



Trasformatore ideale:

$$\begin{pmatrix} V_P(t) \\ \pm V_S(t) \end{pmatrix} = \begin{pmatrix} L_P & M \\ M & L_S \end{pmatrix} \frac{d}{dt} \begin{pmatrix} I_P(t) \\ \pm I_S(t) \end{pmatrix}$$

Trasformatore reale:

$$\begin{pmatrix} V_P(t) \\ V_S(t) \end{pmatrix} = \begin{pmatrix} L_P & \pm M \\ \pm M & L_S \end{pmatrix} \frac{d}{dt} \begin{pmatrix} I_P(t) \\ I_S(t) \end{pmatrix} + \begin{pmatrix} R_{L_P} & \pm R_M \\ \pm R_M & R_{L_S} \end{pmatrix} \begin{pmatrix} I_P(t) \\ I_S(t) \end{pmatrix}$$

## 2.3 Analisi generale

Introducendo semplici modifiche alle variabili, come verrà descritto in seguito, entrambi gli schemi della Figura 1.2 possono essere ridotti al convertitore normalizzato della Figura 2.1, che raffigura un convertitore in classe E progettato per funzionare con una tensione di ingresso  $V_{in} = 1V$ , una tensione di uscita  $V_{out} = 1V$ , una potenza di uscita  $P_{out} = 1W$  e con un segnale che controlla l'interruttore pilotato alla frequenza angolare  $\omega_s = 1rad/s$  (con duty cycle fisso  $D$ ). Tutti i componenti presenti vengono considerati ideali, con molti di essi introdotti per modellare le principali fonti di perdita (come descritto nella sezione precedente con l'introduzione dei modelli per i dispositivi reali). Questo circuito è completamente descritto dai cinque principali parametri di progetto adimensionali (che verranno descritti in modo esaustivo in seguito):

$$q_I, \quad q_R, \quad q_M, \quad k_I, \quad k_R \quad (2.1)$$

e dai molti parametri secondari adimensionali relativi alle perdite introdotte dalle non idealità del circuito (parametri lossy):

$$\begin{aligned} v_d^{ON}, \quad v_b^{ON}, \quad Q_I, \quad Q_R, \quad Q_M, \quad Q_{C_{inv}}, \quad Q_{C_{rec}} \\ g_{inv}, \quad g_{DS_{ON}}, \quad g_{b_{ON}}, \quad g_{cm}, \quad g_{d_{ON}}, \quad g_{rec} \end{aligned} \quad (2.2)$$

che possono essere fissati a 0 (nel caso di  $v_b^{ON}$  e  $v_d^{ON}$ ) o tendere all'infinito (per tutti i restanti parametri) in modo da poter descrivere il circuito con i soli componenti ideali (analisi senza perdita).

Il circuito della Figura 2.1 viene introdotto con l'unico scopo di supportare il modello matematico di un convertitore in classe E, tuttavia esso non rappresenta alcun significato fisico. Infatti, i valori di induttanze e resistenze possono essere positivi o negativi. Inoltre, è stata considerata la variabile  $\theta$  normalizzata nel tempo, in modo che l'interruttore principale sia controllato da un clock di periodo  $2\pi$  e duty cycle  $D$ . Questo circuito può essere risolto analiticamente attraverso un'analisi a tratti e basata sull'ipotesi che l'evoluzione del convertitore sia la successione di diverse configurazioni a seconda dello stato di accensione/spegnimento dei suoi tre dispositivi non lineari (vale a dire, l'interruttore *MOS* e i due diodi, dove il secondo diodo rappresenta il diodo body associato all'interruttore *MOS*).

Per consentire un'analisi più semplice, la rete di uscita (cioè il condensatore di filtro più il carico) viene sostituita con un generatore di tensione da 1V. Gli induttori effettivi  $L_{inv}$  e  $L_{rec}$  vengono sostituiti con due induttanze normalizzate:

$$L_{inv} \rightarrow \frac{q_M(1 - k_I)}{k_I} \quad L_{rec} \rightarrow \frac{q_M(1 - k_R)}{k_R}$$

mentre le loro resistenze serie vengono sostituite con:

$$R_{L_{inv}} \rightarrow \frac{q_M(1 - k_I)}{k_I Q_I} \quad R_{L_{rec}} \rightarrow \frac{q_M(1 - k_R)}{k_R Q_R}$$

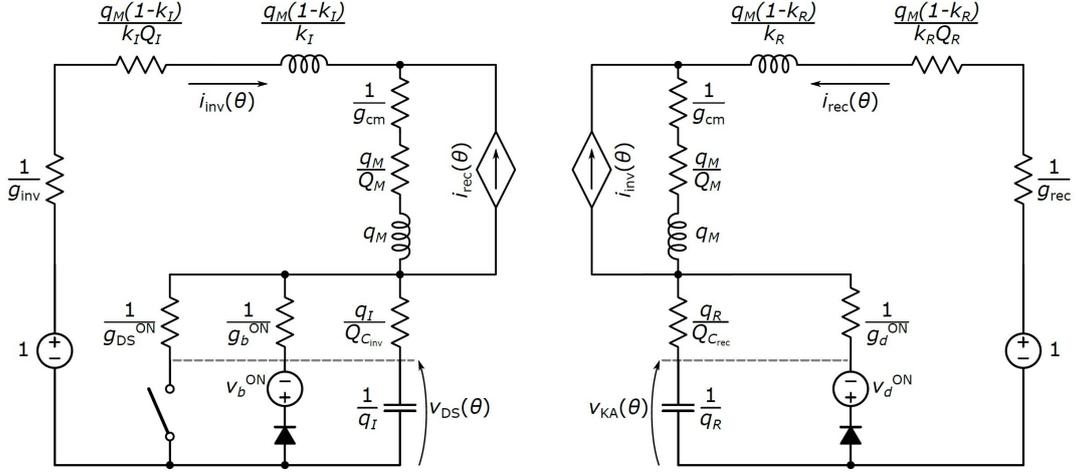


Figura 2.1. Schema del convertitore di classe E normalizzato (da  $V_{in} = 1V$  a  $V_{out} = 1V$ ,  $P_{out} = 1W$  e  $\omega_s = 1rad/s$ )

Il trasformatore viene sostituito con un'induttanza normalizzata  $q_M$ , accompagnata dalla sua resistenza serie  $q_M/Q_M$ , e vengono introdotti due generatori di corrente pilotati per simulare l'interazione tra il lato primario e quello secondario. I condensatori effettivi  $C_{inv}$  e  $C_{rec}$  vengono sostituiti da condensatori normalizzati  $1/q_I$  e  $1/q_R$ , mentre le rispettive resistenze serie vengono sostituite con  $q_I/Q_{C_{inv}}$  e  $q_R/Q_{C_{rec}}$ . Il diodo raddrizzatore viene rappresentato come ideale, ma con una resistenza serie  $1/g_d^{ON}$  e una caduta di tensione normalizzata  $v_d^{ON}$  (quando in conduzione). Il MOS viene modellato come un interruttore ideale con resistenza serie  $1/g_{ds}^{ON}$ , inoltre il suo diodo body viene considerato come un diodo ideale con una resistenza serie  $1/g_b^{ON}$  e una caduta di tensione  $v_b^{ON}$ . Infine, sono state introdotte tre resistenze normalizzate aggiuntive  $1/g_{inv}$ ,  $1/g_{rec}$  e  $1/g_{cm}$  per tenere in considerazione le perdite nel loop dell'inverter, nel loop di rettifica o in entrambi.

Come osservato in precedenza il circuito può essere trovato in molte configurazioni differenti, a seconda dello stato *ON/OFF* dei tre dispositivi non lineari considerati (cioè, l'interruttore MOS e i due diodi). Vengono introdotte quindi tre variabili binarie  $m^{ON}$ ,  $b^{ON}$  e  $d^{ON}$  (corrispondenti a 1 quando il dispositivo associato è in conduzione e 0 quando è spento) per tenere conto, rispettivamente, dello stato dell'interruttore MOS, del diodo body e del diodo raddrizzatore. Ogni configurazione del circuito viene così identificata da una diversa combinazione di  $m^{ON}$ ,  $b^{ON}$  e  $d^{ON}$ . Inoltre, per consentire un'analisi più semplice, quando  $m^{ON} = 1$  o  $b^{ON} = 1$  si assume che la capacità  $1/q_I$  (e la sua resistenza parassita in serie) non abbia alcun effetto sul circuito, mentre quando  $d^{ON} = 1$  si assume che sia la capacità  $1/q_R$  (e la sua resistenza parassitaria) a non avere alcun effetto. Si

impone anche il vincolo aggiuntivo dato dal fatto che l'interruttore *MOS* e il suo diodo body non possono essere accesi contemporaneamente. Nel momento in cui l'interruttore *MOS* viene acceso la variabile  $v_{DS}(\theta)$  può essere discontinua, con un brusco cambiamento verso 0, in qualsiasi altra condizione la continuità di tutte e quattro le variabili di stato è garantita.

Di seguito vengono elencate le possibili configurazioni del circuito, ottenibili con le varie combinazioni di  $m^{ON}$ ,  $b^{ON}$  e  $d^{ON}$ :

1. quando  $m^{ON} = 1$  si impone  $v_{DS}(\theta) = 0$  e si considera  $1/g_{DS}^{ON}$  appartenente al loop dell'inverter;
2. quando  $b^{ON} = 1$  si impone  $v_{DS}(\theta) = -v_b^{ON}$  e si include  $1/g_b^{ON}$  nel loop dell'inverter;
3. quando  $m^{ON} = b^{ON} = 0$ ,  $v_{DS}(\theta)$  assume il valore della tensione ai capi della capacità  $1/q_I$  e viene considerata la sua resistenza parassitaria  $q_I/Q_{C_{inv}}$ ;
4. quando  $d^{ON} = 1$  si ha  $v_{KA}(\theta) = -v_d^{ON}$  e viene incluso  $1/g_d^{ON}$  nel loop del raddrizzatore
5. quando  $d^{ON} = 0$   $v_{KA}(\theta)$  prende il valore della tensione ai capi della capacità  $1/q_R$  e nel loop del raddrizzatore viene considerata la sua resistenza parassita  $q_R/Q_{C_{rec}}$ .

L'evoluzione del convertitore è regolata dal seguente sistema di equazioni lineari:

$$\left\{ \begin{array}{l}
 \frac{1-k_I}{k_I} q_M \frac{i_{inv}(\theta)}{Q_I} + \frac{1-k_I}{k_I} q_M \frac{di_{inv}(\theta)}{d\theta} + \left( \frac{1}{g_{cm}} + \frac{q_M}{Q_M} \right) (i_{inv}(\theta) + i_{rec}(\theta)) + \\
 + q_M \frac{d(i_{inv}(\theta) + i_{rec}(\theta))}{d\theta} + m^{ON} \frac{i_{inv}(\theta)}{g_{DS}^{ON}} + b^{ON} \left( \frac{i_{inv}(\theta)}{g_b^{ON}} - v_b^{ON} \right) + \\
 + (1 - m^{ON} - b^{ON}) \left( \frac{q_I}{Q_{C_{inv}}} i_{inv}(\theta) + v_{DS}(\theta) \right) + \frac{i_{inv}(\theta)}{g_{inv}} - 1 = 0 \\
 \\
 \frac{1-k_R}{k_R} q_M \frac{i_{rec}(\theta)}{Q_R} + \frac{1-k_R}{k_R} q_M \frac{di_{rec}(\theta)}{d\theta} + \left( \frac{1}{g_{cm}} + \frac{q_M}{Q_M} \right) (i_{rec}(\theta) + i_{inv}(\theta)) + \\
 + q_M \frac{d(i_{rec}(\theta) + i_{inv}(\theta))}{d\theta} + d^{ON} \left( \frac{i_{rec}(\theta)}{g_d^{ON}} - v_d^{ON} \right) + \\
 + (1 - d^{ON}) \left( \frac{q_R}{Q_{C_{rec}}} i_{rec}(\theta) + v_{KA}(\theta) \right) + \frac{i_{rec}(\theta)}{g_{rec}} - 1 = 0 \\
 \\
 i_{inv}(\theta) - \frac{1}{q_I} \frac{dv_{DS}(\theta)}{d\theta} = 0, \quad (\text{con } m^{ON} + b^{ON} = 0) \\
 \\
 i_{rec}(\theta) - \frac{1}{q_R} \frac{dv_{KA}(\theta)}{d\theta} = 0, \quad (\text{con } d^{ON} = 0)
 \end{array} \right. \quad (2.3)$$

La soluzione del circuito porta alla definizione delle espressioni matematiche per le quattro variabili di stato normalizzate  $i_{inv}(\theta)$ ,  $i_{rec}(\theta)$ ,  $v_{ds}(\theta)$ , e  $v_{KA}(\theta)$  (minuscolo per indicare le grandezze elettriche normalizzate del circuito), che descrivono l'evoluzione del circuito nel tempo normalizzato  $\theta$ . Queste variabili sono espresse come funzioni dei parametri del circuito e delle condizioni iniziali  $i_{inv}(0) = i_{inv}^{(0)}$ ,  $i_{rec}(0) = i_{rec}^{(0)}$ ,  $v_{KA}(0) = v_{KA}^{(0)}$ , tuttavia sono indipendenti da  $v_{DS}(0)$  grazie alla particolare scelta del tempo di riferimento  $\theta = 0$ .

La prima e la seconda equazione nel sistema 2.3 provengono dalla legge di Kirchhoff sulla tensione ( $KVL$ ) nella maglia dell'inverter e nella maglia del raddrizzatore, rispettivamente. Le ultime due righe provengono dalle equazioni delle due capacità  $1/q_I$  e  $1/q_R$ , e si mantengono solo se gli interruttori in parallelo ad essi sono spenti. Il sistema è lineare a pezzi e può essere diviso in un certo numero di sistemi lineari (a seconda del valore di  $m^{ON}$ ,  $b^{ON}$  e  $d_{ON}$ ) le cui soluzioni, una volta assicurata la continuità, possono essere combinate per dare la soluzione esatta in modo semi-analitico. Anche se si possono seguire molti approcci per risolvere ogni sistema lineare (ad esempio, usando il dominio di Laplace), in questo testo si segue una procedura basata sulla soluzione diretta del sistema di equazioni differenziali. Più in dettaglio, si stabilisce convenzionalmente il tempo iniziale  $\theta = 0$  come istante di tempo al quale l'interruttore *MOS* viene acceso (idealmente in modo istantaneo), e  $\theta_D = 2\pi D$  come istante di tempo al quale viene spento (idealmente in modo istantaneo), ciò viene gestito dal segnale di pilotaggio che esternamente controlla l'interruttore *MOS* alla frequenza di commutazione  $f_s$  e con duty cycle  $0 < D < 1$ . Questo modello viene poi ripetuto con un periodo di  $2\pi$ , cioè, ad ogni  $\theta = 2k\pi$  l'interruttore viene acceso (con  $k = 0, 1, 2, \dots$ ). In tutti questi istanti di tempo si ha  $v_{DS}(2k\pi^+) = 0$  indipendentemente dal valore di  $v_{DS}(2k\pi^-)$ .

Vengono definiti  $i_{inv}^{(0)}$ ,  $i_{rec}^{(0)}$  e  $v_{KA}^{(0)}$  come i valori di  $i_{inv}(\theta)$ ,  $i_{rec}(\theta)$  e  $v_{KA}(\theta)$  al tempo di riferimento  $\theta = 0$ . Per gli istanti di tempo normalizzati  $\theta$  immediatamente successivi allo zero, il diodo body è spento ( $m^{ON} = 1$  e di conseguenza il suo diodo body è spento  $b^{ON} = 0$ ), mentre il diodo di rettifica può essere acceso. Una volta che la configurazione del circuito è stata identificata (considerando i valori corretti di  $m^{ON}$ ,  $d^{ON}$ ,  $d^{ON}$  e le specifiche condizioni iniziali), è possibile analizzare il problema di Cauchy dato dal sistema di equazioni 2.3 e analizzare analiticamente l'evoluzione del convertitore.

I valori delle variabili di stato nell'esatto istante in cui cambia la configurazione del circuito vengono usati come condizioni iniziali per la configurazione successiva. Si noti che l'evoluzione raggiunta è esattamente quella che si potrebbe ottenere da qualsiasi simulatore circuitale. Tuttavia, in questo caso si ottiene per mezzo di esatte funzioni matematiche, che possono essere utilizzate per qualsiasi ulteriore ottimizzazione al posto di ricorrere a simulazioni circuitali che richiedono di estinguere i lunghi transitori di tempo per andare a regime. L'obiettivo è quello di sfruttare queste funzioni per descrivere lo *ZVS* e lo *ZVDS* in termini di vincoli matematici, e utilizzare un software di ottimizzazione numerica (come *MATLAB*)

per manipolare i parametri del circuito in modo che l'evoluzione del convertitore garantisca effettivamente le condizioni di un classe E ottimale, quando esso raggiunge il regime stazionario.

È possibile quindi sfruttare le espressioni matematiche chiuse di  $i_{inv}(\theta)$ ,  $i_{rec}(\theta)$ ,  $v_{DS}(\theta)$  e  $v_{KA}(\theta)$  per esprimere anche il vincolo di un convertitore in classe-E che opera alla condizione ottimale attraverso espressioni matematiche. In primo luogo, si ha una condizione stazionaria quando l'evoluzione viene ripetuta periodicamente ogni  $2\pi$ . Questo accade se si verificano le seguenti condizioni:

$$i_{inv}(2\pi) - i_{inv}^{(0)} = 0 \quad (2.4)$$

$$i_{rec}(2\pi) - i_{rec}^{(0)} = 0 \quad (2.5)$$

$$v_{KA}(2\pi) - v_{KA}^{(0)} = 0 \quad (2.6)$$

mentre  $v_{DS}(\theta)$  non dà luogo a una condizione analoga in quanto può essere discontinuo nell'istante  $\theta = 2k\pi$ .

Inoltre, è necessario soddisfare la normalizzazione della potenza di uscita imponendo un valore medio alla corrente che scorre nel circuito raddrizzatore:

$$\langle i_{rec}(\theta) \rangle + 1 = \frac{1}{2\pi} \int_0^{2\pi} i_{rec}(\theta) d\theta + 1 = 0 \quad (2.7)$$

Infine, lo *ZVS* e lo *ZVDS* devono essere raggiunti, vale a dire,  $v_{DS}(\theta)$  deve raggiungere gradualmente il livello zero immediatamente prima che il *MOS* si accenda, istante dato da  $\theta = 2\pi$ . Se il convertitore è un circuito autonomo (cioè non controllato da un segnale esterno) si definisce  $\theta_b^{ON}$  il tempo angolare al quale il diodo body si accende. Il tempo di commutazione effettivo è dato da  $\theta_{SW} = \min(2\pi; \theta_b^{ON})$ .

Si ottengono *ZVS* e *ZVDS* se si soddisfano le seguenti condizioni:

$$\theta_{SW} - 2\pi = 0 \quad (2.8)$$

$$v_{DS}(\theta_{SW}) = 0 \quad (2.9)$$

$$\left. \frac{v_{DS}(\theta)}{d\theta} \right|_{\theta=\theta_{SW}} = q_I i_{inv}(\theta_{SW}) = 0 \quad (2.10)$$

dove l'equazione 2.8 assicura che il diodo body non sia acceso, l'equazione 2.8 assicura lo *ZVS* e l'equazione 2.9 assicura lo *ZVDS*. La prima uguaglianza in 2.10 vale poiché, data la definizione di  $\theta_{SW}$  per  $\theta < \theta_{SW}$ , si hanno  $m^{ON} = 0$  e  $b^{ON} = 0$  in modo che  $i_{inv}(\theta)$  scorra effettivamente nella capacità  $1/q_I$ . Si noti inoltre che l'equazione 2.9 non è strettamente necessaria se il progettista è alla ricerca delle meno stringenti condizioni sub-ottimali per il convertitore in classe E. Il vincolo sullo *ZVDS*, supponendo che entrambi i vincoli dati dalle equazioni 2.8 e 2.9 siano soddisfatti e che sia  $q_I \neq 0$ , può essere semplificato con  $i_{inv}^{(0)} = 0$ . Questo

valore iniziale di  $i_{inv}(\theta)$  sarà sempre ottenuto quando viene garantita la condizione ottimale per un convertitore in classe E.

È possibile considerare le equazioni (2.4-2.10) come un sistema di sette equazioni da risolvere nelle otto incognite  $i_{inv}^{(0)}$ ,  $i_{rec}^{(0)}$ ,  $v_{KA}^{ON}$ ,  $q_I$ ,  $q_R$ ,  $q_M$ ,  $k_I$  e  $k_R$  supponendo che il duty cycle  $D$  sia una variabile fissa e che tutti i parametri di progetto in 2.1, così come le condizioni iniziali, siano variabili di progettazione libere e supponendo, inoltre, che i parametri di lossy in 2.2 siano dati noti (vincolati per esempio da limiti tecnologici).

Tuttavia, essendo il sistema fortemente non lineare (tutte le espressioni dell'evoluzione delle variabili di stato non sono lineari), proprietà come l'esistenza e il numero di soluzioni non possono essere determinate a priori solo guardando il numero di equazioni e di incognite. Empiricamente, esistono due gradi di libertà, e una volta che vengono scelti, una sola soluzione può essere trovata per quasi tutte le combinazioni dei parametri.

Ottenuta la soluzione del circuito normalizzato ci si riconduce al circuito reale tramite un'opportuna denormalizzazione delle variabili in gioco in modo da ottenere i valori reali dei componenti che andranno inseriti nel circuito. Per entrambe le topologie (accoppiamento diretto ed inverso visibili in Figura 1.2) viene sostituita la rete di uscita con un generatore di tensione (reale)  $V_{out}$ . Il circuito denormalizzato deve basarsi sulle variabili di stato  $I_{inv}(t)$ ,  $I_{rec}(t)$ ,  $V_{DS}(t)$  e  $V_{KA}(t)$  (maiuscolo per indicare le grandezze elettriche sul circuito reale) in funzione del tempo  $t$ . Vengono introdotte anche delle meta-variabili di progetto  $\langle I_{inv}(t) \rangle$  e  $\langle -I_{rec}(t) \rangle$  corrispondenti ai valori medi di  $I_{inv}(t)$  e  $-I_{rec}(t)$  su un periodo di conversione  $T_s = 1/f_s$  e le meta-variabili  $V_{inv}$  e  $V_{rec}$ , definite, per entrambi gli schemi, come:

$$\left\{ \begin{array}{l} V_{inv} = V_{in} \\ V_{rec} = V_{out} \\ \langle I_{inv}(t) \rangle = I_{in} \\ \langle -I_{rec}(t) \rangle = I_{out} \end{array} \right. \quad (2.11)$$

In questo modo, il loop dell'inverter e quello del raddrizzatore sono molto simili, con un generatore di tensione ( $V_{inv}$  e  $V_{rec}$ ), un induttore ( $L_{inv}$  e  $L_{rec}$ ), un lato del trasformatore e un condensatore ( $C_{inv}$  e  $C_{rec}$ ) in parallelo con un dispositivo di commutazione. Quindi, si sostituiscono tutti i dispositivi reali con i corrispettivi modelli per includere le principali fonti di perdite, in modo che entrambi gli schemi possano essere descritti dai principali parametri di progettazione del circuito:

$$L_{inv}, L_{rec}, M, L_p, L_s, C_{inv}, C_{rec}$$

e dai parametri secondari (per considerare le dissipazioni):

$$V_d^{ON}, V_b^{ON}, Q_{L_{inv}}, Q_{L_{rec}}, Q_M, Q_{L_p}, Q_{L_s}, \\ Q_{C_{inv}}, Q_{C_{rec}}, R_{in}, R_{out}, R_{DS}^{ON}, R_d^{ON}, R_b^{ON}$$

dove  $R_d^{ON}$  e  $V_d^{ON}$  si riferiscono al diodo del raddrizzatore,  $R_b^{ON}$  e  $V_b^{ON}$  si riferiscono al diodo body del MOS,  $Q_{L_{inv}}$  e  $Q_{L_{rec}}$  sono i fattori di qualità di  $L_{inv}$  e  $L_{rec}$ ,  $Q_M$ ,  $Q_{L_p}$  e  $Q_{L_s}$  indicano le perdite nel trasformatore,  $Q_{C_{inv}}$  and  $Q_{C_{rec}}$  sono i fattori di qualità di  $C_{inv}$  e  $C_{rec}$ , e infine  $R_{in}$  e  $R_{out}$  sono le resistenze in serie ai generatori reali (equivalente di Thevenin) utilizzati per sostituire, rispettivamente, la sorgente di input e la rete di output. Per scrivere le equazioni che regolano l'evoluzione dei convertitori si può seguire la stessa procedura usata per il convertitore normalizzato che porta al sistema 2.3. Tuttavia è possibile ottenere l'esatta equivalenza tra i sistemi imponendo:

$$\left\{ \begin{array}{l} I_{inv}(t) = \frac{V_{rec} \langle -I_{rec}(t) \rangle}{V_{inv}} i_{inv}(\theta) \\ I_{rec}(t) = \langle -I_{rec}(t) \rangle i_{rec}(\theta) \\ V_{DS}(t) = V_{inv} v_{DS}(\theta) \\ V_{KA}(t) = V_{rec} v_{KA}(\theta) \end{array} \right. \quad (2.12)$$

dove  $\theta = \omega_s t$ . Per il caso di accoppiamento diretto si possono, inoltre, ottenere i parametri iniziali di progetto come:

$$\left\{ \begin{array}{l} q_I = \frac{V_{rec} \langle -I_{rec} \rangle}{V_{inv}^2} \frac{1}{\omega_s C_{inv}} \\ q_R = \frac{\langle -I_{rec} \rangle}{V_{rec}} \frac{1}{\omega C_{rec}} \\ q_M = \frac{\langle -I_{rec} \rangle}{V_{inv}} \omega_s M \\ k_I = \frac{V_{inv}}{V_{rec}} \frac{M}{L_{inv} + L_p} \\ k_R = \frac{V_{inv}}{V_{rec}} \frac{M}{L_{rec} + L_s} \end{array} \right. \quad (2.13)$$

Mentre per il caso con accoppiamento inverso questi parametri possono essere ottenuti cambiando semplicemente di segno  $q_M$ ,  $k_I$ ,  $k_R$  trovati per l'accoppiamento diretto. Risultano invece invariati  $q_I$  e  $q_R$ .

Le equazioni per ricavare i parametri di perdita per il convertitore con accoppiamento diretto possono essere scritte nel seguente modo:

$$\begin{aligned} \frac{1}{Q_I} &= \frac{L_{inv}}{L_{inv} + L_p - \frac{V_{inv}}{V_{rec}} M} \frac{1}{Q_{L_p}} + \frac{L_p}{L_{inv} + L_p - \frac{V_{inv}}{V_{rec}} M} \frac{1}{Q_{L_p}} + \frac{-\frac{V_{inv}}{V_{rec}} M}{L_{inv} + L_p - \frac{V_{inv}}{V_{rec}} M} \frac{1}{Q_M} \\ \frac{1}{Q_R} &= \frac{L_{rec}}{L_{rec} + L_s - \frac{V_{rec}}{V_{inv}} M} \frac{1}{Q_{L_{rec}}} + \frac{L_s}{L_{rec} + L_s - \frac{V_{rec}}{V_{inv}} M} \frac{1}{Q_{L_p}} + \frac{-\frac{V_{rec}}{V_{inv}} M}{L_{rec} + L_s - \frac{V_{rec}}{V_{inv}} M} \frac{1}{Q_M} \\ v_d^{ON} &= \frac{V_d^{ON}}{V_{rec}}, \quad v_b^{ON} = \frac{V_b^{ON}}{V_{inv}}, \quad \frac{1}{g_{DS}^{ON}} = \frac{V_{rec} \langle -I_{rec}(t) \rangle}{V_{inv}^2} R_{DS}^{ON}, \\ \frac{1}{g_d^{ON}} &= \frac{\langle -I_{rec}(t) \rangle}{V_{rec}} R_d^{ON}, \quad \frac{1}{g_b^{ON}} = \frac{V_{rec} \langle -I_{rec}(t) \rangle}{V_{inv}^2} R_b^{ON}, \quad \frac{1}{g_{cm}} = 0, \\ \frac{1}{g_{inv}} &= \frac{V_{rec} \langle -i_{rec}(t) \rangle}{V_{inv}^2} R_{in}, \quad \frac{1}{g_{rec}} = \frac{\langle -i_{rec}(t) \rangle}{V_{rec}} R_{out} \end{aligned}$$

per il convertitore con accoppiamento inverso, invece, cambia la definizione di  $1/Q_I$  e  $1/Q_R$  nel seguente modo:

$$\begin{aligned} \frac{1}{Q_I} &= \frac{L_{inv}}{L_{inv} + L_p + \frac{V_{inv}}{V_{rec}} M} \frac{1}{Q_{L_p}} + \frac{L_p}{L_{inv} + L_p + \frac{V_{inv}}{V_{rec}} M} \frac{1}{Q_{L_p}} + \frac{\frac{V_{inv}}{V_{rec}} M}{L_{inv} + L_p + \frac{V_{inv}}{V_{rec}} M} \frac{1}{Q_M} \\ \frac{1}{Q_R} &= \frac{L_{rec}}{L_{rec} + L_s + \frac{V_{rec}}{V_{inv}} M} \frac{1}{Q_{L_{rec}}} + \frac{L_s}{L_{rec} + L_s + \frac{V_{rec}}{V_{inv}} M} \frac{1}{Q_{L_p}} + \frac{\frac{V_{rec}}{V_{inv}} M}{L_{rec} + L_s + \frac{V_{rec}}{V_{inv}} M} \frac{1}{Q_M} \end{aligned}$$

La differenza principale tra l'accoppiamento diretto e l'accoppiamento inverso è che nel primo si ha  $q_M > 0$ ,  $k_I > 0$  e  $k_R > 0$ , mentre nel secondo caso  $q_M < 0$ ,  $k_I < 0$  e  $k_R < 0$ . In entrambi i casi, l'efficienza del convertitore è data da:

$$\eta = \frac{V_{rec} \langle -I_{rec}(t) \rangle}{V_{inv} \langle I_{inv}(t) \rangle} = \frac{1}{\langle i_{inv}(\theta) \rangle} \quad (2.14)$$

Riassumendo, per analizzare il comportamento del convertitore reale, è sufficiente ottenere una soluzione di quello normalizzato, e convertirlo utilizzando soltanto le regole di denormalizzazione proposte utilizzando i valori di  $\omega_s$ ,  $V_{inv}$ ,  $V_{rec}$  e  $\langle -I_{rec}(t) \rangle$ .

Dal punto di vista del progettista, questo è davvero un vantaggio enorme. Riferendosi al sistema normalizzato 2.3, il numero di gradi di libertà è due. In altre parole, è possibile impostare due tra i parametri in 2.1 e trovare tutti gli altri risolvendo il problema matematico imposto dalla condizione ottimale di un convertitore

in classe E. Utilizzando  $k_I$  e  $k_R$  come variabili di progetto libere è possibile ottenere diversi vantaggi, il primo motivo pratico è che  $k_I$  e  $k_R$  fissano il rapporto delle induttanze nel circuito (poiché la selezione degli induttori è tipicamente il problema più grande nella progettazione di questi circuiti). Inoltre, il progettista con un'opportuna scelta di  $k_I$  e  $k_R$  può impostare  $L_{inv} = 0$  o  $L_{rec} = 0$  allo scopo di semplificare la progettazione del circuito. Il secondo motivo, deriva dal considerare il trasformatore modellato attraverso il fattore di accoppiamento  $k$  e il rapporto di spire  $n_p/n_s$ . Si dimostra che è possibile scrivere  $k = M/\sqrt{L_p L_s}$  e  $n_p/n_s = L_p/L_s$  e ottenere:

$$M = k L_p \frac{n_s}{n_p} = k L_s \frac{n_p}{n_s} = k \sqrt{L_s L_p}$$

$$L_p = \frac{M}{k} \frac{n_p}{n_s} = L_s \left( \frac{n_p}{n_s} \right)^2$$

$$L_s = \frac{M}{k} \frac{n_s}{n_p} = L_p \left( \frac{n_s}{n_p} \right)^2$$

inoltre è possibile ottenere la definizione di  $k_I$  e  $k_R$  come:

$$k_I = \pm k \frac{L_p}{L_{inv} + L_p} \frac{n_s}{n_p} \frac{V_{inv}}{V_{rec}} \quad (2.15)$$

$$k_R = \pm k \frac{L_s}{L_{rec} + L_s} \frac{n_s}{n_p} \frac{V_{rec}}{V_{inv}} \quad (2.16)$$

cioè,  $k_I$  e  $k_R$  possono essere considerati l'estensione (rispettivamente sul lato dell'inverter e del raddrizzatore) del fattore di accoppiamento  $k$  del trasformatore, che è un parametro piuttosto difficile da controllare.

Un'ultima ragione matematica è che i valori di  $k_I$  e  $k_R$  sono vincolati. Poiché  $L_{inv} \geq 0$ ,  $L_{rec} \geq 0$  e  $0 \leq k \leq 1$ , si hanno:

$$\begin{cases} |k_I| \leq k_I^{(lim)} = \frac{n_s}{n_p} \frac{V_{inv}}{V_{rec}} \\ |k_R| \leq k_R^{(lim)} = \frac{n_p}{n_s} \frac{V_{rec}}{V_{inv}} \\ k_I k_R \leq 1 \end{cases} \quad (2.17)$$

Quindi,  $k_I$  e  $k_R$  sono entrambi vincolati in modo indipendente (dove il limite viene conosciuto solo una volta che  $V_{inv}/V_{rec}$  e  $n_p/n_s$  vengono impostati), tuttavia essi sono anche reciprocamente vincolati, con  $k_I k_R < 1$  indipendentemente da tutti gli altri parametri.

Lo spazio delle soluzioni può essere tracciato in un grafico in due dimensioni, ed è possibile identificare le aree dello spazio dove la scelta dei gradi di libertà permette una soluzione al problema di progettazione, mentre per altre aree non esistono soluzioni a tale problema. Un esempio di ciò è mostrato in Figura 2.2, dove viene rappresentato lo spazio delle soluzioni per la progettazione di un convertitore in classe E normalizzato, senza perdite e con duty cycle  $D = 30\%$ . Assumendo  $k_I$  e  $k_R$  variabili libere, i punti azzurri si riferiscono alla soluzione ottimale (garantendo lo *ZVS* e lo *ZVDS*), mentre quelli gialli a una soluzione non ottimale (ovvero garantendo solo lo *ZVS*, chiamata sub-ottimale).

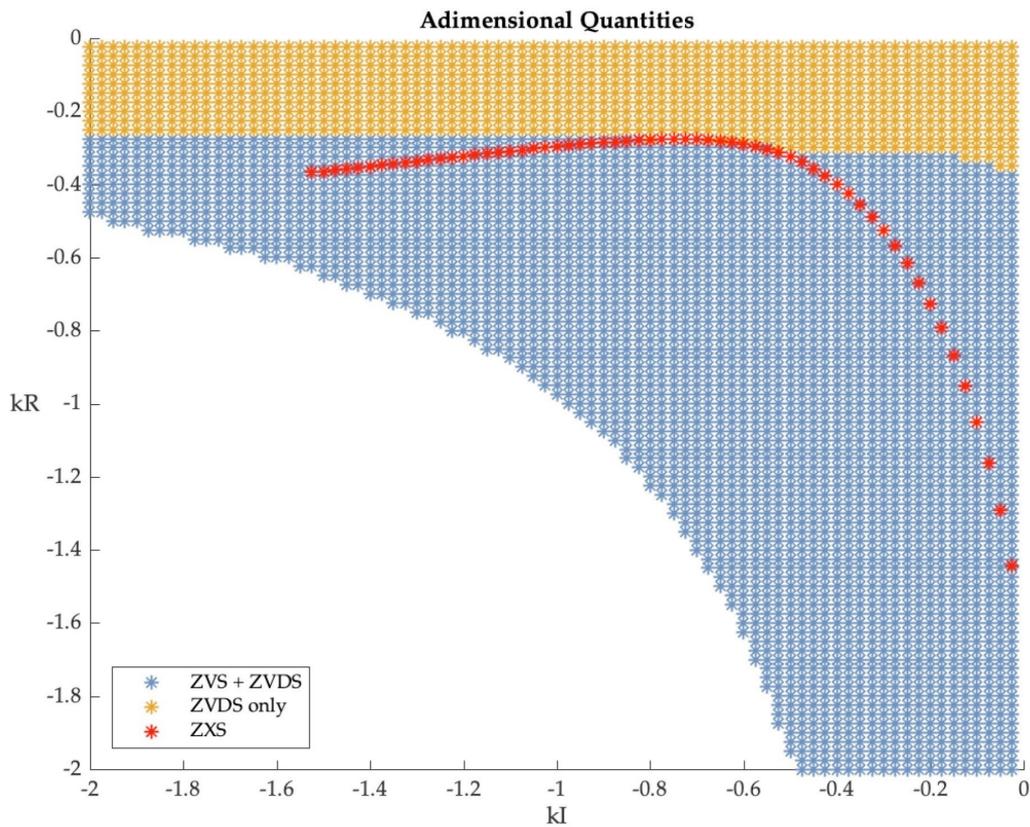


Figura 2.2. Spazio delle soluzioni

Infine, è possibile dimostrare che i punti situati sulla curva rossa permettono di ottenere anche entrambe le correnti  $i_{inv}(\theta)$  e  $i_{rec}(\theta)$  pari a zero nell'istante esatto in cui il transistor viene acceso, per cui in tutti i punti  $\theta = 2k\pi$  (con  $k = 0, 1, 2, \dots$ ). Questo è fondamentale nel momento in cui si vuole lavorare a doppia frequenza, poiché permette di garantire la continuità delle forme d'onda e di eliminare i lunghi transitori di tempo necessari per andare a regime, che renderebbero impossibile il

cambio praticamente istantaneo della frequenza di funzionamento necessario per il metodo di controllo che si vuole realizzare.

Un altro vantaggio di questo approccio è dato dalla normalizzazione sia per quanto riguarda la tensione in ingresso che per quella in uscita, ciò consente il confronto delle performance in termini di quantità sia sul lato primario che sul secondario. Ad esempio, una delle condizioni di stress più importanti per il dispositivo *MOS* è data dal valore massimo di  $V_{DS}(t)$  quando l'interruttore è spento. Nell'approccio proposto è possibile studiare questo problema osservando solamente la forma d'onda normalizzata  $v_{DS}(\theta)$ , poiché la sua denormalizzazione dipende dalla tensione di ingresso, e non dalla tensione di uscita.

È possibile alleggerire i requisiti richiesti ad un convertitore in classe E accettando di soddisfare solo la condizione di *ZVS*, questo caso viene indicato come sub-ottimale. Per quanto riguarda il problema dal punto di vista matematico è sufficiente rimuovere il vincolo identificato dall'equazione 2.10. Infatti, una soluzione non ottimale non è unica in quanto il valore di  $d v_{DS}(\theta)/d\theta$  nell'istante di accensione del *MOS* ( $\theta = 0$ ) non è limitato a zero, viene quindi introdotto un ulteriore grado di libertà. Inoltre, invece di guardare alla derivata di  $v_{DS}(\theta)$ , si preferisce concentrarsi sul valore del parametro  $i_{inv}^{(0)}$ . Poiché, come già osservato,  $i_{inv}^{(0)} = 0$  porta allo *ZVDS*.

Più ci si allontana dallo *ZVDS*, cioè maggiore è il valore di  $|i_{inv}(0)|$ , minore sarà il valore di  $q_I$ ,  $q_R$  e  $q_M$ . Questo porta a valori delle induttanze più piccoli e valori dei condensatori più grandi nel sistema denormalizzato. Induttori più piccoli sono sempre i benvenuti, con una riduzione delle dimensioni del convertitore. Al contrario, i condensatori per i quali la dimensione non è tipicamente un problema, dovrebbero essere il più grande possibile per fare in modo di mascherare i componenti parassiti dei semiconduttori. Quando i valori dei condensatori ottenuti dalla denormalizzazione diventano troppo piccoli e confrontabili con i componenti parassiti questi ultimi dovranno essere adeguatamente compensati per garantire il corretto funzionamento del circuito. Inoltre, allontanarsi dalla soluzione ottimale porta anche ad un vantaggio in termini di una lieve riduzione del valore di picco sia di  $v_{DS}(\theta)$  che di  $v_{KA}(\theta)$ . Tuttavia, i valori *RMS* delle correnti aumentano, portando ad una riduzione dell'efficienza del convertitore. Da questo punto di vista, la soluzione ottimale (partendo dal presupposto che i valori di induttori e condensatori rendono fattibile la progettazione, ovvero che siano disponibili in commercio) deve essere preferita.

In conclusione, invertendo le precedenti equazioni e con semplici manipolazioni matematiche è possibile ottenere i valori di  $L_{inv}$ ,  $C_{inv}$ ,  $L_{rec}$ ,  $C_{rec}$  e  $M$  da inserire nel circuito con accoppiamento diretto in modo da ottenere le desiderate condizioni ottimali:

$$\begin{aligned}
 M &= \frac{q_M V_{inv}}{\langle -I_{rec}(t) \rangle \omega_s} & L_{rec} &= \frac{q_M V_{rec}}{\langle -I_{rec}(t) \rangle \omega_s k_R} - L_s \\
 L_{inv} &= \frac{q_M V_{inv}^2}{\langle -I_{rec}(t) \rangle \omega_s V_{rec} k_I} - L_p \\
 C_{inv} &= \frac{\langle -I_{rec}(t) \rangle V_{rec}}{\omega_s q_I V_{inv}^2} & C_{rec} &= \frac{\langle -I_{rec}(t) \rangle}{\omega_s q_R V_{rec}}
 \end{aligned}$$

Sviluppando le equazioni anche per il circuito con accoppiamento inverso si può notare che l'unica differenza è segno di  $M$  che in questo caso diventa negativo.

## 2.4 Stress sui componenti

Uno dei principali problemi dei convertitori risonanti è l'elevato valore di picco delle tensioni  $V_{DS}(t)$  e  $V_{KA}(t)$ . Particolare attenzione viene data alla tensione  $V_{DS}(t)$ , che dovrebbe essere limitata per evitare uno stress eccessivo sull'interruttore *MOS*, il quale potrebbe causare un guasto permanente al dispositivo. Questa differenza di potenziale può, infatti, raggiungere livelli superiori a quattro volte la tensione di ingresso.

È interessante notare che il circuito normalizzato proposto nell'analisi precedente permette di stimare il rapporto tra il valore di picco della tensione  $V_{DS}(t)$  del *MOS* e il valore della tensione di ingresso  $V_{in}$  semplicemente guardando il valore di picco  $\hat{v}_{DS}$  del parametro normalizzato  $v_{DS}(\theta)$ . In modo simile, è possibile anche valutare il valore di picco della tensione tra  $V_{KA}(t)$  del diodo in rapporto alla tensione di uscita, semplicemente osservando il valore di picco  $\hat{v}_{KA}$  del parametro normalizzato  $v_{KA}(\theta)$ .

Inoltre, è possibile dimostrare che il valore di picco  $\hat{v}_{KA}$  ha importanti variazioni in base al punto di lavoro scelto all'interno dello spazio delle soluzioni, e può essere ridotto utilizzando valori bassi di  $|k_I|$ . Al contrario, il valore di picco  $\hat{v}_{DS}$  è quasi costante, e apparentemente dipende principalmente da  $D$ , questo valore varia da circa 2,6 per un duty cycle  $D = 30\%$ , fino a circa 3,7 per un duty cycle  $D = 50\%$ . Da un punto di vista matematico, tutto ciò è ragionevole. Considerando lo schema di Figura 2.1 e supponendo che gli elementi con perdita siano trascurabili è possibile eseguire il *KVL* (Kirchhoff's Voltage Law) al loop dell'inverter, ottenendo:

$$v_{DS}(\theta) + v_{q_M}(\theta) + v_{k_I}(\theta) = 1 \quad (2.18)$$

dove  $v_{q_M}(\theta)$  e  $v_{k_I}(\theta)$  sono le tensioni ai capi delle due induttanze  $q_M$  e  $q_M(1-k_I)/k_I$ . Integrando su un periodo completo si ottiene:

$$\int_0^{2\pi} v_{DS}\theta \, d\theta + \int_0^{2\pi} v_{q_M}\theta \, d\theta + \int_0^{2\pi} v_{k_I}\theta \, d\theta = \int_{\theta_D}^{2\pi} v_{DS}\theta \, d\theta = 2\pi \quad (2.19)$$

dove è possibile calcolare il primo termine su un intervallo limitato, poiché il parametro  $v_{DS}(\theta) = 0$  nell'intervallo  $0 < \theta < \theta_D$ , con  $\theta_D = 2\pi D$ , mentre il secondo e il terzo termine sono pari a zero (assumendo condizioni stazionarie). Quindi, l'integrale di  $v_{DS}(\theta)$  ha un valore costante, e più grande è l'intervallo di integrazione  $2\pi - \theta_D$ , più si riduce il valore di picco  $\hat{v}_{DS}(\theta)$  teorico. Considerando quindi  $v_{DS}(\theta_D) = v_{DS}(2\pi) = 0$  e assumendo una forma d'onda sinusoidale a singola semionda, l'integrale può essere approssimato come:

$$2\hat{v}_{DS} \frac{(2\pi - \theta_D)}{\pi}$$

che porta a:

$$\hat{v}_{DS} = \frac{\pi^2}{2\pi - \theta_D} = \frac{\pi}{2(1 - D)}$$

I valori finali osservati in circuiti simulati sono molto simili a quelli ottenuti con questi modelli anche se molto semplici e approssimati. Empiricamente, il valore di picco viene ulteriormente ridotto quando si introducono le perdite nel convertitore. Questo può essere facilmente spiegato considerando che qualsiasi elemento circuitale con perdita nel loop dell'inverter aggiungerà un contributo positivo al primo termine nell'equazione 2.19, mentre il secondo termine risulta costante. Alla luce di ciò, sembra che l'opzione migliore quando si progetta un convertitore risonante sia quella di mantenere il valore di  $D$  più basso possibile per ridurre lo stress sull'interruttore principale. Con un'analisi simile, è possibile dire che il valore di  $\hat{v}_{KA}$  può essere ridotto riducendo il ciclo di lavoro del diodo raddrizzatore. Questo può essere ottenuto impostando valori bassi di  $|k_I|$ .

## 2.5 Efficienza

Per il calcolo dell'efficienza viene proposta una valutazione ad alto-livello, considerando solo il comportamento del convertitore senza perdita come approssimazione per qualsiasi tipo di convertitore con perdite. Poiché, un'indagine completa basata sul calcolo di  $\langle i_{inv}(\theta) \rangle$  richiederebbe la conoscenza esatta di tutti i parametri lossy e non sarebbe di validità generale. Inoltre, quando si studiano le fonti di perdita su un convertitore reale, si può notare che durante la fase di commutazione le perdite sul *MOS* vengono già limitate dalla tecnica di soft switching. Mentre, la potenza media  $P_D$  dissipata sul diodo raddrizzatore, essendo  $I_K(t)$  e  $I_{C_{rec}}(t)$  le correnti che scorrono nel diodo e nel condensatore  $C_{rec}$  con  $I_{rec}(t) = I_K(t) + I_{C_{rec}}(t)$ , può essere approssimata con:

$$\begin{aligned} P_D &\approx -\frac{1}{T_S} \int_0^{T_S} V_D^{ON} I_K(t) dt = -\frac{1}{T_S} \int_0^{T_S} V_D^{ON} I_{rec}(t) dt + \frac{1}{T_S} \int_0^{T_S} V_D^{ON} I_{C_{rec}}(t) dt \\ &= V_D^{ON} \langle -i_{rec}(t) \rangle \end{aligned}$$

dove l'ultima uguaglianza vale grazie alle condizioni stazionarie sul condensatore  $C_{rec}$ . In altri termini, la potenza dissipata sul diodo raddrizzatore dipende da  $\langle -I_{rec}(t) \rangle$  (cioè da  $I_{out}$ ), ma non dal punto di funzionamento del convertitore. Al contrario, tutte le perdite ohmiche, come quelle dovute ai fattori di qualità non infiniti degli elementi reattivi del circuito o come  $R_{DS}^{ON}$ , dipendono dal valore della corrente  $RMS$  che scorre attraverso l'elemento corrispondente. Vengono considerate solo le correnti  $RMS$  appartenenti al loop dell'inverter e al loop del raddrizzatore, rispettivamente,  $I_{inv}^{RMS}$  e  $I_{rec}^{RMS}$ , supponendo che queste due correnti possano essere considerate una buona approssimazione di tutta la corrente  $RMS$  che scorre in qualsiasi dispositivo del circuito. Nel dettaglio, vengono considerati i rapporti:

$$\frac{I_{inv}^{RMS}}{\langle I_{inv}(t) \rangle} \quad e \quad \frac{I_{rec}^{RMS}}{\langle I_{rec}(t) \rangle}$$

pari ai valori  $RMS$  delle correnti normalizzate  $i_{inv}^{RMS}$  e  $i_{rec}^{RMS}$ . Queste quantità sono interessanti in quanto i valori delle correnti medie fissano il limite inferiore per le perdite, considerando che le perdite effettive siano date dai valori delle correnti  $RMS$  (che in un convertitore risonante possono essere molto superiori al valore medio).

Si noti che l'analisi proposta non mira ad essere esaustiva, per molte ragioni. In primo luogo, un'analisi esaustiva richiederebbe il calcolo della corrente  $RMS$  per tutti i dispositivi ohmici considerati, mentre il calcolo di  $I_{inv}^{RMS}$  e  $I_{rec}^{RMS}$  deve essere considerato solo un'approssimazione. Quindi, la scelta dei valori ottimali di  $I_{inv}^{RMS}$  e  $I_{rec}^{RMS}$  comporta molti compromessi. Ad esempio, concentrandosi sulle perdite degli induttori, cambiare i valori di  $k_I$  e  $k_R$  non comporterà un cambiamento solo di  $I_{inv}^{RMS}$  e  $I_{rec}^{RMS}$ , ma anche il cambiamento del valore degli induttori, e così della loro resistenza parassitaria. Quanto più il convertitore funziona lontano dalla condizione di  $ZVDS$ , tanto maggiore è il valore di  $I_{inv}^{RMS}$  e  $I_{rec}^{RMS}$ , ma anche minore è il valore di  $q_M$  (cioè è minore il valore delle induttanze) e anche questo effetto dovrebbe essere preso in considerazione. Si noti tuttavia che le perdite aumentano linearmente con la dimensione dell'induttanza, ma quadraticamente con le correnti  $RMS$ , di conseguenza un punto di lavoro con basse correnti  $RMS$  è tipicamente preferibile.

## 2.6 Boost a singola frequenza

Per lo scopo di questo progetto si è interessati alla topologia boost non isolata, derivata dal circuito di Figura 1.2(b), ovvero con accoppiamento inverso. In questo caso il trasformatore può essere sostituito da una vera e propria induttanza singola con  $L_p = L_s = M$  e  $Q_{L_p} = Q_{L_s} = Q_M$ . Si dimostra che lo schema in Figura 2.3 può essere semplicemente ottenuto dal convertitore isolato di Figura 2.1 riorganizzando gli elementi nella maglia dell'inverter e nella maglia del raddrizzatore per ottenere

$V_{out}$  riferita a ground. Questa topologia è caratterizzata da una tensione di uscita  $V_{out}$  maggiore dalla tensione di ingresso  $V_{in}$ , ed entrambe positive.

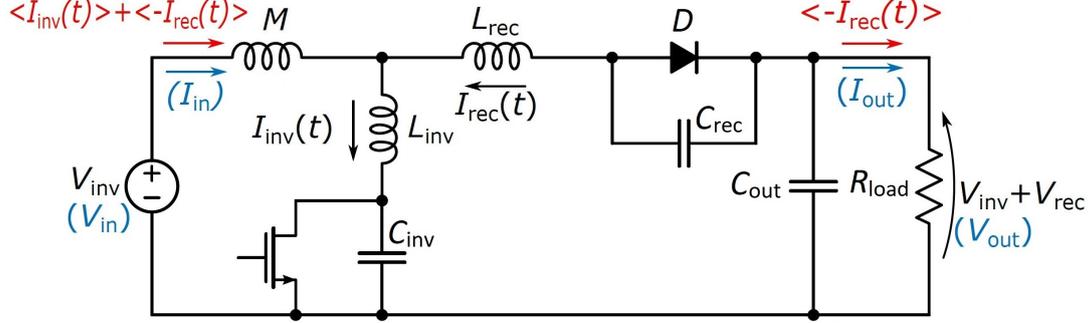


Figura 2.3. Schema convertitore boost in classe E, non isolato, a singola frequenza

Come per i convertitori isolati, è possibile dimostrare l'equivalenza tra questo circuito e quello normalizzato rappresentato in Figura 2.1. Vengono riportate in seguito le variabili, opportunamente modificate, necessarie per il progetto di questa topologia:

$$\begin{cases} V_{inv} = V_{in} \\ V_{rec} = V_{out} - V_{inv} \\ \langle I_{inv}(t) \rangle = I_{in} - \langle -I_{rec}(t) \rangle \\ \langle -I_{rec}(t) \rangle = I_{out} \end{cases} \quad (2.20)$$

mentre le equazioni che regolano l'evoluzione del converter sono:

$$\begin{cases} I_{inv}(t) = \frac{V_{rec} \langle -I_{rec}(t) \rangle}{V_{inv}} i_{inv}(\theta) \\ I_{rec}(t) = \langle -I_{rec}(t) \rangle i_{rec}(\theta) \\ V_{DS}(t) = V_{inv} v_{DS}(\theta) \\ V_{KA}(t) = V_{rec} v_{KA}(\theta) \end{cases} \quad (2.21)$$

dove  $\theta = \omega_s t$ .

I parametri di progetto per il circuito normalizzato possono essere scritti come:

$$\left\{ \begin{array}{l} q_I = \frac{V_{rec} \langle -I_{rec} \rangle}{V_{inv}^2} \frac{1}{\omega_s C_{inv}} \\ q_R = \frac{\langle -I_{rec} \rangle}{V_{rec}} \frac{1}{\omega_s C_{rec}} \\ q_M = -\frac{\langle -I_{rec} \rangle}{V_{inv}} \omega_s M \\ k_I = -\frac{V_{inv}}{V_{rec}} \frac{M}{L_{inv} + M} \\ k_R = -\frac{V_{rec}}{V_{inv}} \frac{M}{L_{rec} + M} \end{array} \right. \quad (2.22)$$

Infine si riportano tutti i parametri relativi alle perdite:

$$\frac{1}{Q_I} = \frac{L_{inv}}{L_{inv} + L_p + \frac{V_{inv}}{V_{rec}} M} \frac{1}{Q_{L_p}} + \frac{L_p}{L_{inv} + L_p + \frac{V_{inv}}{V_{rec}} M} \frac{1}{Q_{L_p}} + \frac{\frac{V_{inv}}{V_{rec}} M}{L_{inv} + L_p + \frac{V_{inv}}{V_{rec}} M} \frac{1}{Q_M}$$

$$\frac{1}{Q_R} = \frac{L_{rec}}{L_{rec} + L_s + \frac{V_{rec}}{V_{inv}} M} \frac{1}{Q_{L_{rec}}} + \frac{L_s}{L_{rec} + L_s + \frac{V_{rec}}{V_{inv}} M} \frac{1}{Q_{L_p}} + \frac{\frac{V_{rec}}{V_{inv}} M}{L_{rec} + L_s + \frac{V_{rec}}{V_{inv}} M} \frac{1}{Q_M}$$

$$\begin{aligned} v_d^{ON} &= \frac{V_d^{ON}}{V_{rec}}, & v_b^{ON} &= \frac{V_b^{ON}}{V_{inv}}, & \frac{1}{g_{DS}^{ON}} &= \frac{V_{rec} \langle -I_{rec}(t) \rangle}{V_{inv}^2} R_{DS}^{ON}, \\ \frac{1}{g_d^{ON}} &= \frac{\langle -I_{rec}(t) \rangle}{V_{rec}} R_d^{ON}, & \frac{1}{g_b^{ON}} &= \frac{V_{rec} \langle -I_{rec}(t) \rangle}{V_{inv}^2} R_b^{ON}, \\ \frac{1}{g_{cm}} &= -\frac{\langle -I_{rec}(t) \rangle}{V_{inv}} R_{in}, & \frac{1}{g_{inv}} &= \frac{(V_{inv} + V_{rec}) \langle -I_{rec}(t) \rangle}{V_{inv}^2} R_{in}, \\ \frac{1}{g_{rec}} &= \frac{(V_{inv} + V_{rec}) \langle -I_{rec}(t) \rangle}{V_{inv} V_{rec}} R_{in} + \frac{\langle -I_{rec}(t) \rangle}{V_{rec}} R_{out} \end{aligned}$$

È possibile notare che le variazioni dei parametri che governano il comportamento del circuito sono minime rispetto al caso generale introdotto in precedenza. Le principali differenze rispetto ai casi già considerati riguardano il modo in cui  $V_{in}$ ,  $V_{out}$ ,  $I_{in}$  e  $I_{out}$  sono correlati alle meta-variabili  $V_{inv}$ ,  $V_{rec}$ ,  $\langle I_{inv}(t) \rangle$  e  $\langle -I_{rec}(t) \rangle$ , e la definizione di  $1/g_{inv}$ ,  $1/g_{cm}$  e  $1/g_{rec}$ . Invertendo le precedenti equazioni e con

semplici manipolazioni matematiche è possibile ottenere i valori di  $L_{inv}$ ,  $C_{inv}$ ,  $L_{rec}$ ,  $C_{rec}$  e  $M$  da inserire nel circuito per ottenere le condizioni ottimali desiderate:

$$M = -\frac{q_M V_{inv}}{\langle -I_{rec}(t) \rangle \omega_s} = -\frac{q_M V_{inv}}{I_{out} \omega_s} \quad (2.23)$$

$$L_{inv} = \frac{q_M V_{inv}}{\langle -I_{rec}(t) \rangle \omega_s} \left( \frac{V_{inv}}{V_{rec} k_I} + 1 \right) = \frac{q_M V_{inv}}{I_{out} \omega_s} \left( \frac{V_{inv}}{V_{rec} k_I} + 1 \right) \quad (2.24)$$

$$L_{rec} = \frac{q_M V_{inv}}{\langle -I_{rec}(t) \rangle \omega_s} \left( \frac{V_{rec}}{V_{inv} k_R} + 1 \right) = \frac{q_M V_{inv}}{I_{out} \omega_s} \left( \frac{V_{rec}}{V_{inv} k_R} + 1 \right) \quad (2.25)$$

$$C_{inv} = \frac{\langle -I_{rec}(t) \rangle V_{rec}}{\omega_s q_I V_{inv}^2} = \frac{I_{out} V_{rec}}{\omega_s q_I V_{inv}^2} \quad C_{rec} = \frac{\langle -I_{rec}(t) \rangle}{\omega_s q_R V_{rec}} = \frac{I_{out}}{\omega_s q_R V_{rec}} \quad (2.26)$$

Infine, l'efficienza del convertitore in funzione di  $\langle I_{inv}(t) \rangle$  è stata calcolata per la topologia di convertitore considerato:

$$\eta = \frac{1 + \frac{V_{rec}}{V_{inv}}}{1 + \langle i_{inv}(\theta) \rangle \frac{V_{rec}}{V_{inv}}} > \frac{1}{\langle i_{inv}(\theta) \rangle} \quad (2.27)$$

## 2.7 Boost a doppia frequenza

Per passare alla progettazione del convertitore boost in classe E a doppia frequenza è possibile, semplicemente, eseguire due volte il procedimento seguito per il circuito a singola frequenza, facendo però attenzione a mantenere costante il prodotto  $I_{out1} \omega_{s1} = I_{out2} \omega_{s2}$  (in modo da garantire un'esatta equivalenza degli induttori ad entrambe le frequenze). Questo è facilmente ottenibile dimezzando la corrente e raddoppiando la frequenza quando si passa dalla frequenza più bassa a quella più alta oppure dimezzando la frequenza e raddoppiando la corrente quando si passa dalla frequenza più alta a quella più bassa. A dimostrazione di ciò si possono osservare le equazioni di denormalizzazione ottenute in precedenza per  $M$ ,  $L_{inv}$  e  $L_{rec}$  che vengono, rispettivamente, riportate in seguito:

$$M = -\frac{q_M V_{inv}}{I_{out} \omega_s} \quad L_{inv} = \frac{q_M V_{inv}}{I_{out} \omega_s} \left( \frac{V_{inv}}{V_{rec} k_I} + 1 \right) \quad L_{rec} = \frac{q_M V_{inv}}{I_{out} \omega_s} \left( \frac{V_{rec}}{V_{inv} k_R} + 1 \right)$$

In tutte e tre le equazioni è facilmente visibile il prodotto tra  $I_{out}$  e  $\omega_s$  a denominatore, dove  $\omega_s = 2\pi f_s$ , mentre tutti gli altri parametri presenti sono costanti. Tuttavia il valore dei condensatori necessari a soddisfare la condizione ottimale del convertitore classe E varia a seconda della frequenza di funzionamento. É quindi necessario modificare dinamicamente il valore di  $C_{inv}$  e  $C_{rec}$  durante l'utilizzo del circuito. Nella Figura 2.4 viene raffigurato lo schema elettrico del convertitore boost in classe E a doppia frequenza.

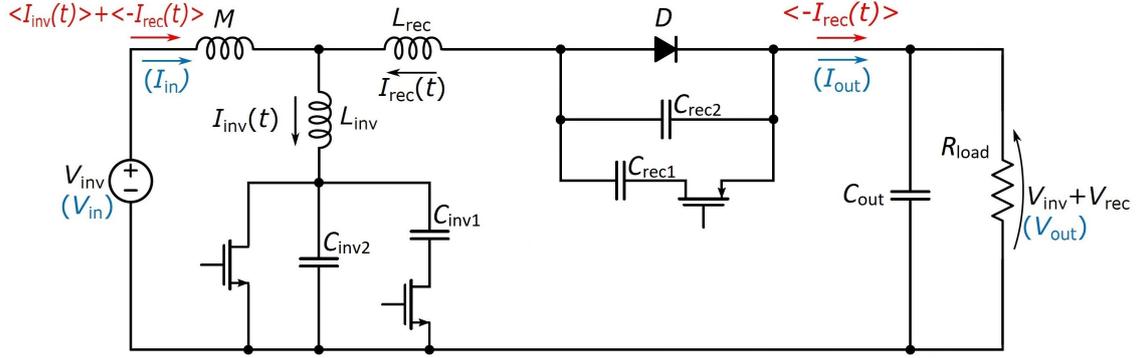


Figura 2.4. Schema convertitore boost in classe E, non isolato, a doppia frequenza

Si può notare come sia stato necessario aggiungere due interruttori in serie ai due condensatori  $C_{inv1}$  e  $C_{rec1}$  in modo da modificare il valore di  $C_{inv_{tot}}$  e  $C_{rec_{tot}}$  durante il normale funzionamento del circuito e garantire il raggiungimento dello *ZVS* e dello *ZVDS* ad entrambe le frequenze. Quando questi interruttori sono chiusi le capacità aggiuntive  $C_{inv1}$  e  $C_{rec1}$  vengono collegate in parallelo a  $C_{inv2}$  e  $C_{rec2}$  portando il valore totale delle capacità a:

$$\begin{cases} C_{inv_{tot}} = C_{inv1} + C_{inv2} \\ C_{rec_{tot}} = C_{rec1} + C_{rec2} \end{cases} \quad (2.28)$$

Quando i condensatori  $C_{inv1}$  e  $C_{rec1}$  vengono scollegati il circuito è in grado di lavorare alla frequenza più elevata, ovvero a  $f_{s2}$ . Quando essi vengono collegati in parallelo a  $C_{inv2}$  e  $C_{rec2}$  il circuito è in grado di funzionare correttamente alla frequenza più bassa, ovvero a  $f_{s1}$ . Quindi, è possibile modulare in modo dinamico il valore di queste capacità in parallelo al transistor MOS principale e al diodo, semplicemente modulando i segnali di pilotaggio dei due interruttori aggiuntivi in base alla frequenza del segnale che va a pilotare il transistor principale. Come già anticipato nel capitolo introduttivo, nel passaggio da un regime all'altro varierà il valore della potenza erogata al carico, in questo modo si può far variare la potenza media in uscita  $P_{out}$  mantenendo sempre le condizioni ottimali e di conseguenza con un'efficienza molto elevata, inoltre questo garantisce meno stress per i componenti. La potenza media in uscita può essere scritta come:

$$\langle P_{out} \rangle = \frac{P_{out1}T_{f_{s1}} + P_{out2}T_{f_{s2}}}{T_{f_{s1}} + T_{f_{s2}}} \quad (2.29)$$

dove  $T_{f_{s1}}$  è il tempo per il quale il convertitore lavora alla frequenza  $f_{s1}$  e  $T_{f_{s2}}$  è il tempo per il quale il convertitore lavora alla frequenza  $f_{s2}$ . Inoltre è possibile sfruttare ciò per creare un controllo in retroazione ad anello chiuso in modo da controllare la tensione di uscita  $V_{out}$ , rendendola stabile rispetto alle variazioni del carico.

Gli interruttori aggiuntivi sono due transistor MOS. Tuttavia, quello in serie a  $C_{inv}$  è un MOS a canale-n ed è riferito a ground (ovvero in configurazione low-side), che risulta quindi facile da pilotare. Mentre quello in serie a  $C_{rec}$  è un transistor MOS a canale-p riferito alla tensione di uscita  $V_{out}$  (ovvero in configurazione high-side). Il fatto di essere riferito alla tensione di uscita complica notevolmente il suo pilotaggio. Questo problema però si può facilmente risolvere utilizzando un opportuno gate-driver tra i molti disponibili in commercio.



# Capitolo 3

## Progettazione

### 3.1 Specifiche di progetto

In questa sezione vengono riportate le principali specifiche di progetto scelte per la realizzazione del convertitore DC-DC boost in classe E non isolato, che può essere controllato con una modulazione a doppia frequenza. Prima di arrivare al progetto finale si procede per passi. Il primo passo è scegliere la tensione di ingresso e la tensione di uscita. Si è deciso di imporre una tensione di ingresso  $V_{in} = 5V$  e una tensione di uscita  $V_{out} = 10V$ . In seguito si passa alla scelta della potenza massima erogata al carico alle due frequenze, in questo caso sono state scelte  $P_{out1} = 1W$  quando il circuito è funzionante alla frequenza  $f_{s1}$  e  $P_{out2} = 0,5W$  quando il circuito è funzionante alla frequenza  $f_{s2}$ . Questo permette di ricavare le correnti erogate al carico come  $I = P/V$ , che risultano, rispettivamente,  $I_{out1} = 100mA$  alla frequenza  $f_{s1}$  e  $I_{out2} = 50mA$  alla frequenza  $f_{s2}$ . Poi, vengono selezionate le due frequenze alle quali far lavorare il circuito e il loro relativo duty cycle. È stato scelto di optare per  $f_{s1} = 4MHz$  e  $f_{s2} = 8MHz$  entrambe con duty cycle fisso impostato a  $D = 30\%$ . Queste frequenze, come si può notare, sono decisamente elevate rispetto ai classici convertitori  $DC - DC$  e portano con sé tutti i vantaggi già citati in precedenza. Tuttavia, introducono anche degli svantaggi, soprattutto dovuti ai componenti parassiti degli interruttori che devono opportunamente essere presi in considerazione. Ad esempio a frequenze così elevate i valori delle capacità parassite del transistor e del diodo diventano confrontabili con i valori delle capacità  $C_{inv}$  e  $C_{rec}$  necessarie per garantire il funzionamento in condizioni ottimali, generando una notevole differenza tra il caso teorico e quello reale se non adeguatamente compensate. Altri dati importanti sono relativi ai valori tipici della resistenza tra catodo e anodo del diodo raddrizzatore in conduzione  $R_D^{ON}$ , della tensione di ginocchio del diodo raddrizzatore  $V_D^{ON}$ , della resistenza tra drain e source del transistor MOS in conduzione  $R_{DS}^{ON}$ , della resistenza tra anodo e catodo del diodo body del MOS  $R_b^{ON}$ , della tensione di ginocchio del diodo body  $V_b^{ON}$  e dei fattori di qualità degli induttori e dei condensatori. È importante considerare che i fattori di qualità degli

induttori variano considerevolmente al variare della frequenza, mentre quelli dei condensatori sono pressoché costanti. Infine, le resistenze  $R_{in}$  e  $R_{out}$  vengono sfruttate nel progetto come delle resistenze di sensing, in modo ricavare indirettamente le correnti  $I_{in}$  e  $I_{out}$  che scorrono attraverso ad esse semplicemente misurando la tensione ai loro capi. Inoltre, viene aggiunta un'ulteriore resistenza  $R_{sensing}$  sotto il blocco dell'interruttore MOS in parallelo ai condensatori e riferita a ground per poter ricavare facilmente  $I_{inv}$ . Questa resistenza aggiuntiva andrà tenuta in considerazione introducendo semplici modifiche nel parametro  $g_{inv}$  (introdotto in precedenza), che diventa:

$$\frac{1}{g_{inv}} = \frac{\langle -I_{rec}(t) \rangle R_{in}}{V_{inv}} + \frac{\langle -I_{rec}(t) \rangle R_{in} V_{rec}}{V_{inv}^2} + \frac{\langle -I_{rec}(t) \rangle R_{sensing} V_{rec}}{V_{inv}^2}$$

Vengono elencati in seguito tutti i valori selezionati per questo progetto:

$$R_D^{ON} = 0,1\Omega \quad V_D^{ON} = 0,6V \quad R_{DS}^{ON} = 0,05\Omega \quad R_b^{ON} = 0,1\Omega \quad V_b^{ON} = 0,5V$$

$$R_{in} = 0,1\Omega \quad R_{out} = 0,1\Omega \quad R_{sensing} = 0,1\Omega \quad Q_{C_{inv}} = 1000 \quad Q_{C_{rec}} = 1000$$

Alla frequenza  $f_{s1} = 4MHz$  si fissano:

$$Q_{L_{inv1}} = Q_{M1} = Q_{L_{rec1}} = 75$$

Mentre alla frequenza  $f_{s2} = 8MHz$  si fissano:

$$Q_{L_{inv2}} = Q_{M2} = Q_{L_{rec2}} = 55$$

Inoltre, vanno definiti i parametri essenziali  $V_{inv}$ ,  $V_{rec}$  e le correnti medie  $\langle -I_{rec1} \rangle$  alla frequenza  $f_{s1}$  e  $\langle -I_{rec2} \rangle$  alla frequenza  $f_{s2}$ , nel seguente modo:

$$\begin{cases} V_{inv} = V_{in} = 5V \\ V_{rec} = V_{out} - V_{in} = 5V \\ \langle -I_{rec1} \rangle = I_{out1} = 100mA \\ \langle -I_{rec2} \rangle = I_{out2} = 50mA \end{cases}$$

Una volta scelti tutti i parametri, si può procedere con la progettazione e simulazione alla prima frequenza. Poi si ripeterà il procedimento per la seconda frequenza e, infine, si passa alla progettazione del circuito finale che unisce entrambi i risultati in un unico sistema.

## 3.2 Progetto boost in classe E a 4MHz

Partendo dai parametri di progetto impostati precedentemente, è stato sviluppato uno script *MATLAB* per ottenere la soluzione del sistema 2.3 e ricavare le quattro variabili di stato  $i_{inv1}(\theta)$ ,  $i_{rec1}(\theta)$ ,  $v_{DS1}(\theta)$ , e  $v_{KA1}(\theta)$ . È possibile individuare graficamente dei valori iniziali per  $k_I$  e  $k_R$  tramite il grafico dello spazio delle soluzioni in Figura 2.2, ottenendo di conseguenza anche  $q_M$ ,  $q_I$  e  $q_R$ . Per questo progetto sono stati scelti  $k_I = -0,4$ ,  $k_R = -0,4$ ,  $q_M = -0,1665$ ,  $q_I = 0,3934$  e  $q_R = 0,3934$ . Successivamente, vengono calcolati tutti i parametri relativi alle perdite, come ampiamente descritto nei capitoli precedenti, e si procede con una prima ottimizzazione numerica nell'intorno di questo punto di lavoro. Una volta verificato che sia un buon punto di partenza e ottenuti i valori ideali delle induttanze si cerca il valore standard disponibile in commercio il più vicino possibile (ovvero appartenente alla serie E12). Vengono scelte:

$$\begin{cases} L_{inv} = 330nH \\ L_{rec} = 330nH \\ M = 220nH \end{cases}$$

Questi induttori sono stati acquistati e successivamente testati attraverso un impedenziometro, per ricavare un valore più accurato dei fattori di qualità alle due frequenze utili. Poiché, non essendo molto elevati anche un cambiamento relativamente piccolo nel loro valore porta a risultati diversi per le capacità necessarie al corretto funzionamento del circuito. Marca e codice produttore delle induttanze selezionate vengono riportati in Appendice A e dalla loro misura è stato ottenuto:

$$L = 220nH \quad \rightarrow \quad \begin{cases} Q = 60 & \text{alla frequenza di 4MHz} \\ Q = 43 & \text{alla frequenza di 8MHz} \end{cases}$$

$$L = 330nH \quad \rightarrow \quad \begin{cases} Q = 58 & \text{alla frequenza di 4MHz} \\ Q = 42 & \text{alla frequenza di 8MHz} \end{cases}$$

A questo punto, nello script si sostituiscono i fattori di qualità appena trovati e si fissano le induttanze al loro valore nominale. Si procede nuovamente con il calcolo dei vari parametri di progetto e si esegue un'ottimizzazione iterativa per trovare il migliore punto di lavoro. Una volta ottenuta la soluzione delle quattro variabili di stato  $i_{inv}(\theta)$ ,  $i_{rec}(\theta)$ ,  $v_{DS}(\theta)$ , e  $v_{KA}(\theta)$  è possibile visualizzare graficamente le forme d'onda teoriche calcolate matematicamente, che vengono riportate in Figura 3.1.

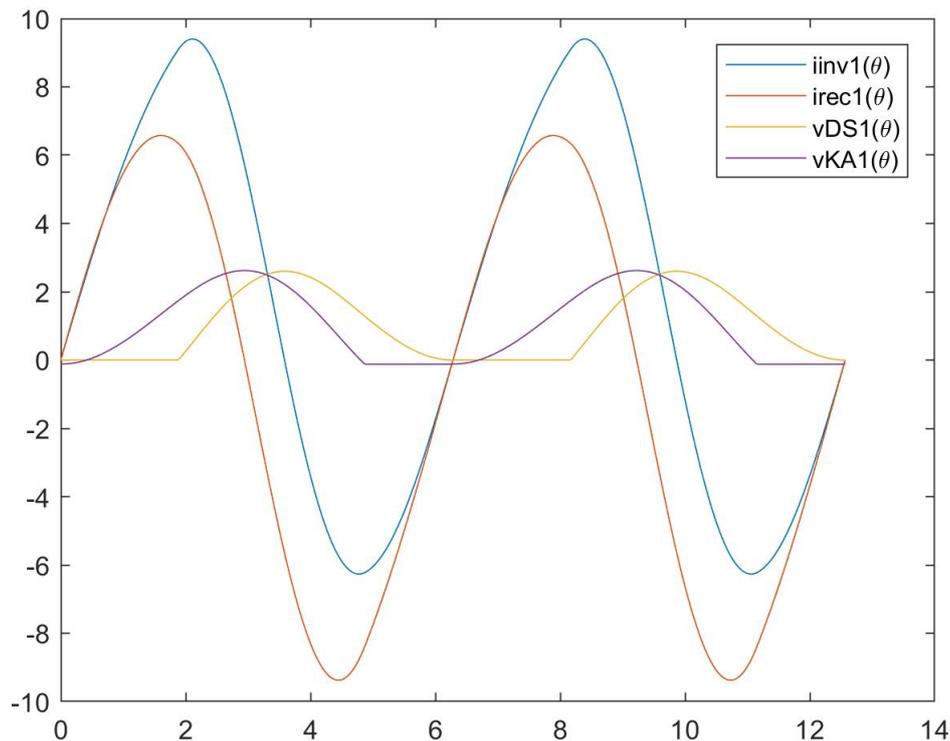


Figura 3.1. Forme d'onda teoriche di  $i_{inv}(\theta)$  in azzurro,  $i_{rec}(\theta)$  in arancione,  $v_{DS}(\theta)$  in giallo e  $v_{KA}(\theta)$  in arancione.

Si può notare come le condizioni di lavoro ottimale siano raggiunte. Inoltre, è importante notare che entrambe le correnti sono pari a zero nell'istante di accensione dell'interruttore MOS, ovvero al tempo  $\theta = 2k\pi$  (dove  $k = 1,2,3,\dots$ ). A questo punto si può procedere con la denormalizzazione di tutti i parametri, in modo da ottenere i valori esatti di tutti i componenti. È possibile stampare direttamente sul terminale di *MATLAB* i valori dei componenti da copiare su *SPICE* per procedere con la simulazione parametrica del circuito. Vengono riportati in seguito i risultati ottenuti dalle denormalizzazioni:

- $V_{in} = 5V$   $V_{out} = 10V$   $I_{out} = 100,2mA$   $D = 0,3$   $f_s = 4MHz$
- $T = 250ns$   $M = 220nH$   $L_{inv} = 330nH$   $L_{rec} = 330nH$
- $C_{inv} = 3,28nF$   $C_{rec} = 3,73nF$   $V_d^{ON} = 0,6V$   $V_b^{ON} = 0,5V$
- $R_{L_{inv}} = 138,2m\Omega$   $R_{L_{rec}} = 138,2m\Omega$   $R_M = 92,2m\Omega$   $R_{C_{inv}} = 12,2m\Omega$
- $R_{C_{rec}} = 10,7m\Omega$   $R_{DS}^{ON} = 50m\Omega$   $R_b^{ON} = 100m\Omega$   $R_d^{ON} = 100m\Omega$
- $R_{in} = 100m\Omega$   $R_{sensing} = 100m\Omega$   $R_{out} = 100m\Omega$

Questi dati vengono inseriti come parametri su *SPICE* e il circuito di Figura 3.2 viene simulato. Tuttavia, per il momento vengono utilizzati ancora dei modelli ideali per il transistor *MOS* e per il diodo raddrizzatore. Nel circuito,  $V_g$  è un generatore di tensione che produce un'onda quadra con duty cycle  $D = 0,3$  ad una frequenza di  $4MHz$ , necessaria per pilotare l'interruttore *MOS* secondo le specifiche di progetto. Viene eseguita una simulazione in transitorio di  $5\mu s$  in modo che il sistema vada adeguatamente a regime.

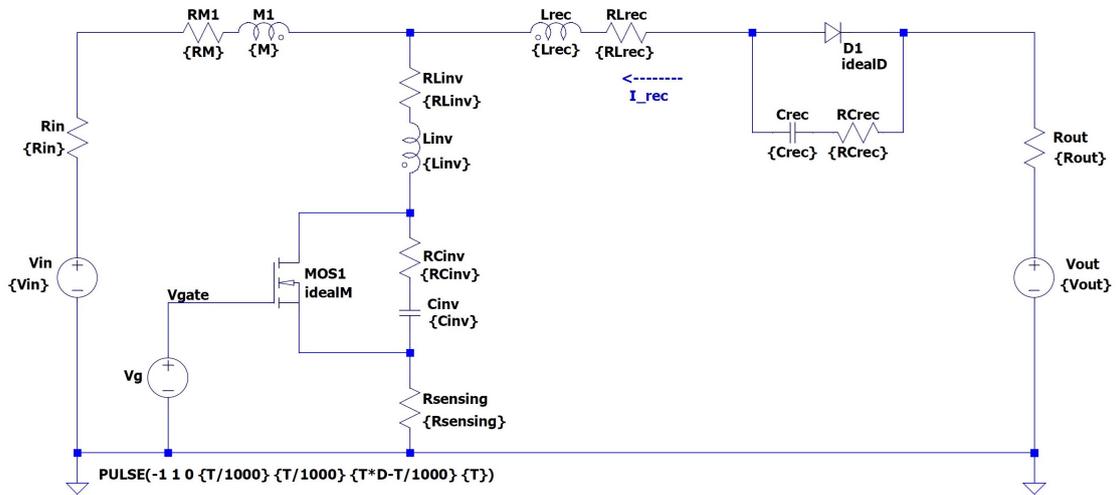


Figura 3.2. Schema elettrico per la simulazione in *SPICE*

Si riportano in Figura 3.3 due periodi (pari a  $500ns$ ) delle forme d'onda della tensione tra il drain e il source del transistor *MOS*, ovvero  $V_{DS}(t)$ , e della tensione tra il catodo e l'anodo del diodo, ovvero  $V_{KA}(t)$ , ottenute dalla simulazione.

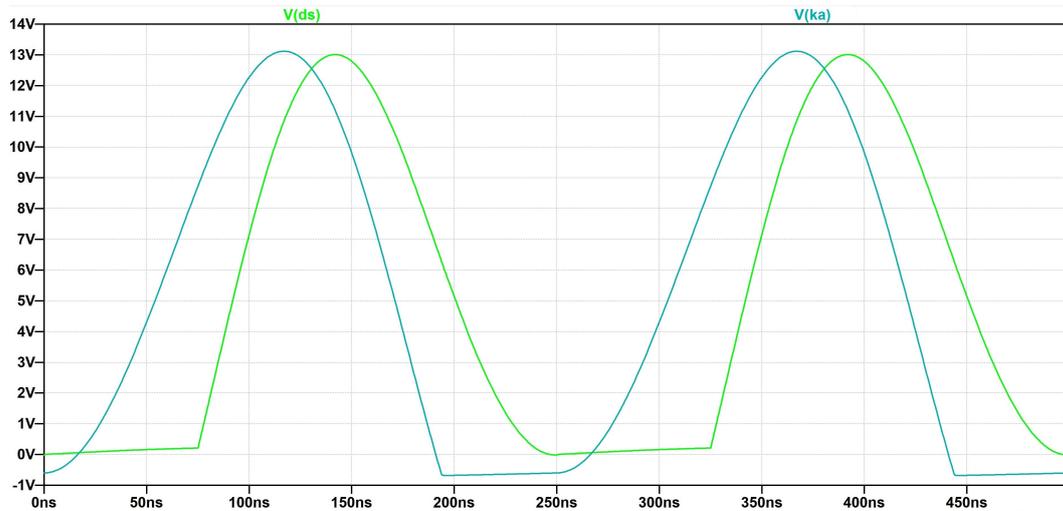


Figura 3.3. Forme d'onda della tensione  $V_{DS}(t)$  in verde e della tensione  $V_{KA}(t)$  in azzurro, simulate nel circuito funzionante a  $4MHz$

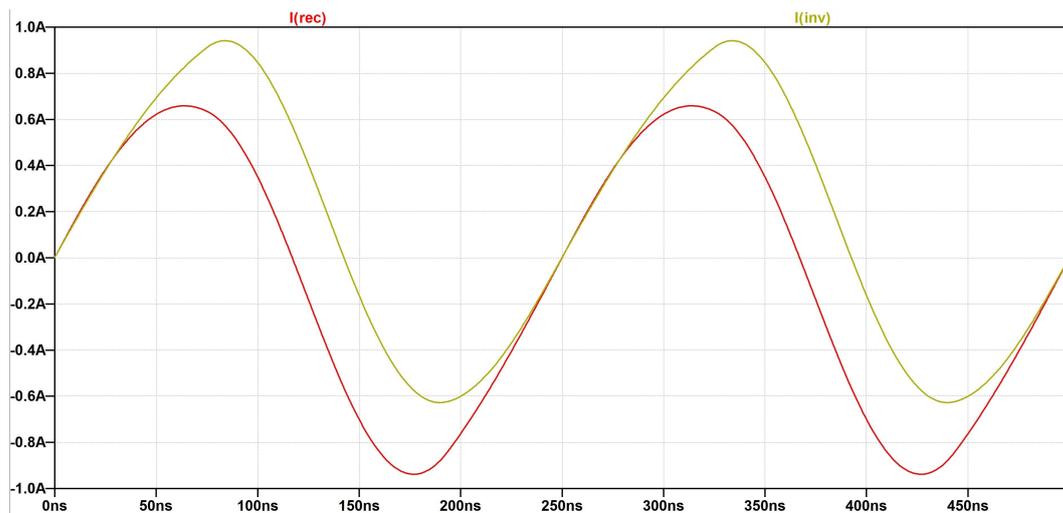


Figura 3.4. Forme d'onda della corrente  $I_{inv}(t)$  in rosso e della corrente  $I_{rec}(t)$  in giallo, simulate nel circuito funzionante a  $4MHz$

Mentre, in Figura 3.4 si riportano due periodi (sempre  $500ns$ ) delle forme d'onda della corrente  $I_{inv}(t)$  che scorre nel ramo di  $L_{inv}$  e della corrente  $I_{rec}(t)$  che scorre nel ramo di  $L_{rec}$ . Si può facilmente notare come tutte queste forme d'onda siano molto simili a quelle ottenute matematicamente tramite lo script *MATLAB* e visualizzate in Figura 3.1.

Dalla Figura 3.3 si vede che le condizioni di *ZVS* e *ZVDS* vengono entrambe soddisfatte, garantendo un punto di lavoro ottimale e un'efficienza molto elevata. I valori di picco della tensione  $V_{DS}(t)$  e della tensione  $V_{KA}(t)$  sono circa di 13V, questo livello di tensione è facilmente sopportabile dalla maggior parte dei dispositivi in commercio. Inoltre, dalla Figura 3.4 si può notare che negli istanti in cui il *MOS* si accende (ovvero a 0ns, 250ns e 500ns) entrambe le correnti  $I_{inv}(t)$  e  $I_{rec}(t)$  sono pari a zero, questo permette di poter cambiare frequenza garantendo la continuità delle forme d'onda e aiuta ad incrementare ulteriormente l'efficienza. Inoltre è possibile ottenere il valore della corrente media erogata in uscita dal circuito semplicemente calcolando la media di  $I_{rec}(t)$ , ricordando che  $I_{out} = \langle -I_{rec}(t) \rangle$ . Grazie al programma di simulazione è possibile ottenere direttamente questo dato:

$$\langle I_{rec}(t) \rangle = -99,9mA \quad \rightarrow \quad I_{out} = 99,9mA$$

Il valore ottenuto è molto vicino ai 100mA impostati come obiettivo del progetto e permette di ottenere in uscita una potenza  $P_{out} = 999mW$ . In conclusione i risultati ottenuti sono molto soddisfacenti. Tuttavia, si può notare come i valori dei condensatori che vengono utilizzati per la simulazione siano ideali e non appartengono alla serie *E12*, quindi difficilmente reperibili in commercio. Essi verranno ottenuti in seguito tramite il parallelo di più condensatori standard (ovvero sommando i loro valori), in modo da avvicinarsi il più possibile al valore ideale calcolato con *MATLAB*. Inoltre andranno considerate le tolleranze di fabbrica dei vari componenti che faranno variare il valore effettivo di induttori e condensatori. Infine, è stata calcolata l'efficienza del sistema che risulta essere circa dell'80%.

### 3.3 Progetto boost in classe E a 8MHz

A questo punto, si procede con la progettazione del circuito funzionante a 8MHz semplicemente partendo dai risultati ottenuti dalla progettazione del circuito funzionante a 4MHz. In questo modo, sarà successivamente possibile unificare i due circuiti ottenuti per le singole frequenze e ricavare un circuito, che con opportuni accorgimenti, può funzionare ad entrambe le frequenze. Quindi, per prima cosa si impostano  $k_I$ ,  $k_R$ ,  $q_M$ ,  $q_I$  e  $q_R$  uguali a quelli ottenuti per il circuito precedente (utilizzando come induttori  $M = 220nH$ ,  $L_{inv} = 330nH$  e  $L_{rec} = 330nH$ ), poi si procede con il calcolo di tutti i parametri relativi alle perdite. Infine, viene eseguita un'ulteriore ottimizzazione numerica intorno a questo punto di lavoro.

Anche in questo caso, una volta ottenuta la soluzione delle quattro variabili di stato  $i_{inv}(\theta)$ ,  $i_{rec}(\theta)$ ,  $v_{DS}(\theta)$  e  $v_{KA}(\theta)$  è possibile visualizzare graficamente le forme d'onda teoriche calcolate matematicamente tramite *MATLAB*, come riportato in Figura 3.5. Da un'attenta osservazione si può notare un leggero gradino presente nelle forme d'onda esattamente nel momento in cui l'interruttore si accende, ovvero al tempo  $\theta = 2k\pi$  (dove  $k = 1,2,3,\dots$ ), tuttavia da un'immagine così estesa questo

effetto è quasi impercettibile. In Figura 3.6 viene riportato uno zoom attorno  $\theta = 2\pi$  per una migliore visualizzazione. Ciò è dovuto ai limiti imposti dall'uguaglianza dei parametri iniziali  $k_R$ ,  $q_M$ ,  $q_I$  e  $q_R$  con quelli ottenuti per il circuito funzionante a  $4MHz$  che non permettono una perfetta ottimizzazione numerica nell'intorno del punto di lavoro alla nuova frequenza di  $8MHz$ . Le condizioni di lavoro ottimale per un convertitore in classe E non vengono quindi perfettamente raggiunte.

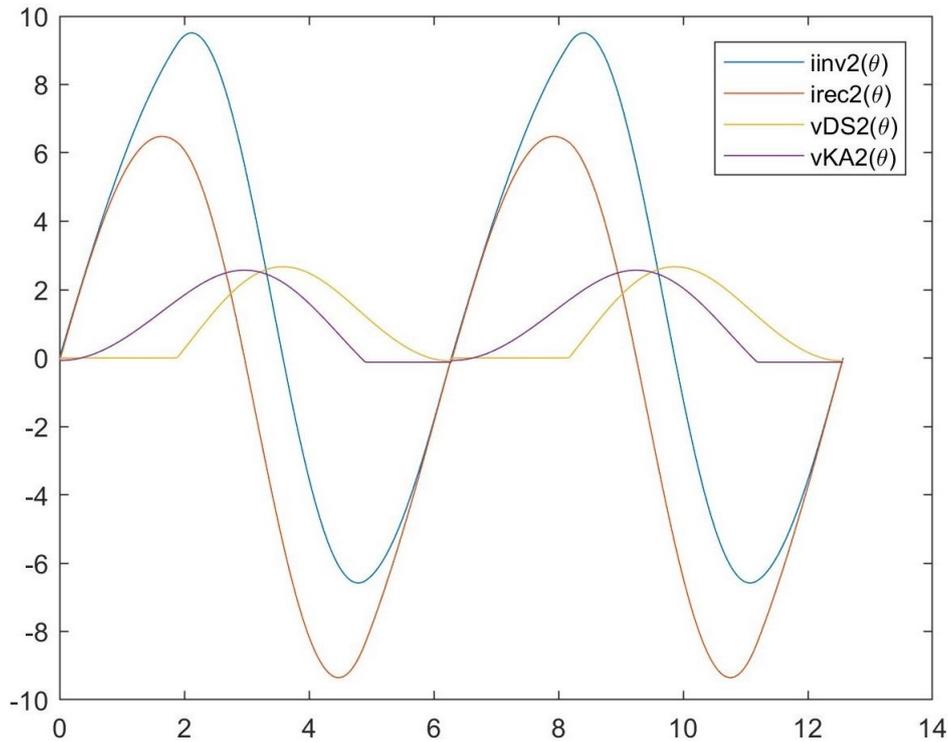


Figura 3.5. Forme d'onda teoriche di  $i_{inv}(\theta)$  in azzurro,  $i_{rec}(\theta)$  in arancione,  $v_{DS}(\theta)$  in giallo e  $v_{KA}(\theta)$  in arancione.

Nonostante questo gradino porti ad un aumento della potenza dissipata in commutazione, i livelli di tensione e di corrente negli istanti di accensione dell'interruttore MOS sono ancora molto vicini a zero e di conseguenza portano ad un aumento relativamente basso della dissipazione di potenza. Questo garantisce di mantenere un'efficienza molto elevata e permette il corretto funzionamento del circuito anche a  $8MHz$ . Successivamente si può procedere con la denormalizzazione di tutti i parametri, in modo da ottenere i valori esatti dei componenti da inserire nel circuito.

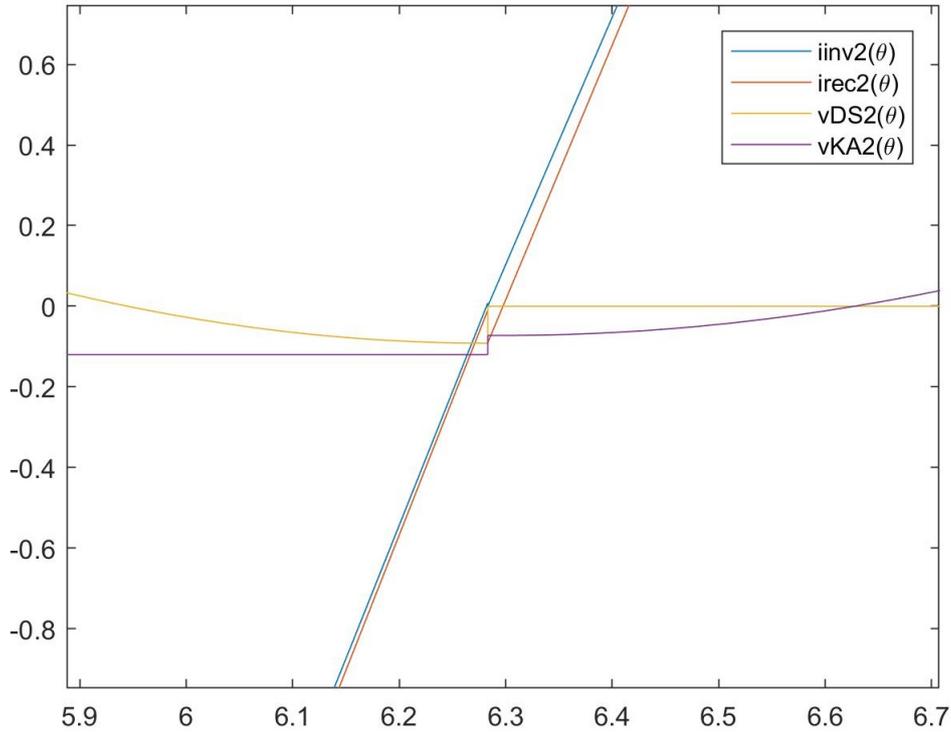


Figura 3.6. Zoom delle forme d'onda teoriche attorno a  $\theta = 2\pi$ , rispettivamente,  $i_{inv}(\theta)$  in azzurro,  $i_{rec}(\theta)$  in arancione,  $v_{DS}(\theta)$  in giallo e  $v_{KA}(\theta)$  in arancione.

Grazie allo script *MATLAB* è possibile stampare direttamente su terminale i parametri da copiare su *SPICE* per eseguire la simulazione del circuito in Figura 3.2. Vengono riportati in seguito i risultati ottenuti:

- $V_{in} = 5V$   $V_{out} = 10V$   $I_{out} = 50,17mA$   $D = 0,3$   $f_s = 8MHz$
- $T = 125ns$   $M = 220nH$   $L_{inv} = 330nH$   $L_{rec} = 330nH$
- $C_{inv} = 816,7pF$   $C_{rec} = 936,5pF$   $V_d^{ON} = 0,6V$   $V_b^{ON} = 0,5V$
- $R_{L_{inv}} = 385,8m\Omega$   $R_{L_{rec}} = 385,8m\Omega$   $R_M = 257,3m\Omega$   $R_{C_{inv}} = 24,4m\Omega$
- $R_{C_{rec}} = 21,2m\Omega$   $R_{DS}^{ON} = 50m\Omega$   $R_b^{ON} = 100m\Omega$   $R_d^{ON} = 100m\Omega$
- $R_{in} = 100m\Omega$   $R_{sensing} = 100m\Omega$   $R_{out} = 100m\Omega$

Viene quindi eseguita una simulazione in transitorio di  $2,5\mu s$  in modo che il circuito vada adeguatamente a regime e vengono riportati in Figura 3.7 due periodi (pari a  $250ns$ ) delle forme d'onda della tensione  $V_{DS}(t)$  ai capi del MOS e della tensione  $V_{KA}(t)$  ai capi del diodo.

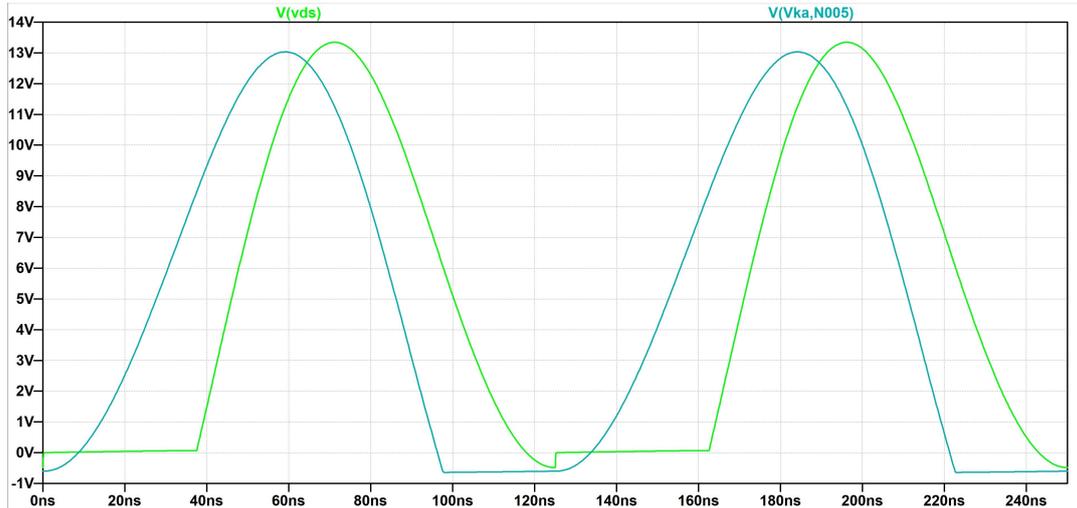


Figura 3.7. Forme d'onda della tensione  $V_{DS}(t)$  in verde e della tensione  $V_{KA}(t)$  in azzurro, simulate nel circuito funzionante a  $8MHz$

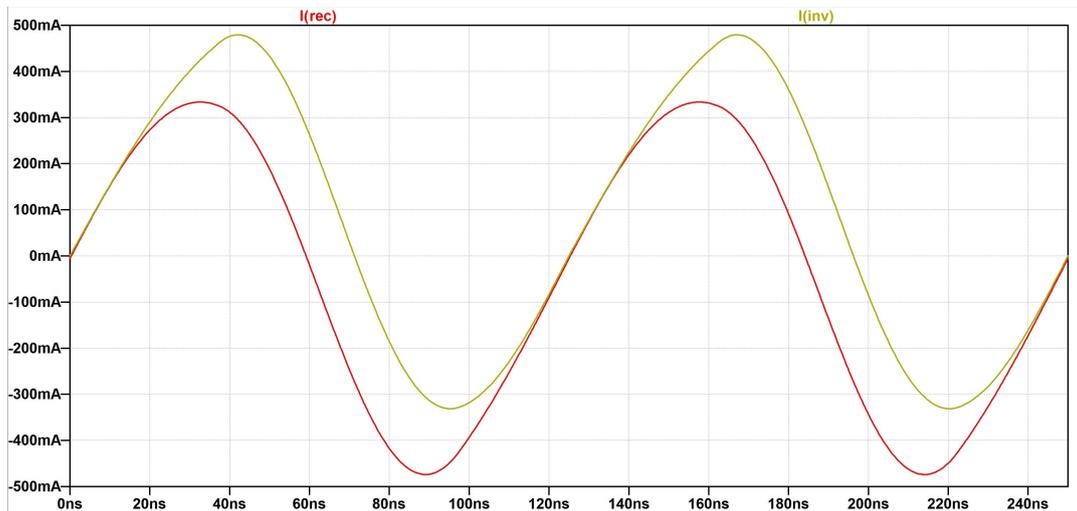


Figura 3.8. Forme d'onda della corrente  $I_{inv}(t)$  in rosso e della corrente  $I_{rec}(t)$  in giallo, simulate nel circuito funzionante a  $8MHz$

Mentre, in Figura 3.8 vengono riportati due periodi delle forme d'onda della corrente  $I_{inv}(t)$  che scorre nel ramo di  $L_{inv}$  e della corrente  $I_{rec}(t)$  che scorre nel ramo di  $L_{rec}$ . A conferma della previsione fatta in precedenza con la soluzione esatta delle equazioni e come mostrato in Figura 3.5, anche con la simulazione circuitale in *SPICE* è possibile notare la presenza di un gradino nella forma d'onda della tensione  $V_{DS}(t)$ , che va ad inficiare sulla potenza dissipata in commutazione. Come nel caso precedente, i valori di picco della tensione  $V_{DS}(t)$  e della tensione  $V_{KA}(t)$  ottenuti dalla simulazione sono circa di 13V. Tuttavia, questo livello di tensione è facilmente sopportabile dalla maggior parte dei dispositivi di potenza disponibili in commercio e non crea particolari problemi. Inoltre, dalla Figura 3.4 si può notare che nell'istante in cui il *MOS* si accende (ovvero a  $0ns$ ,  $125ns$  e  $250ns$ ) entrambe le correnti  $I_{inv}(t)$  e  $I_{rec}(t)$  sono circa pari a zero, questo permette di poter cambiare frequenza mantenendo la continuità e ottenere una potenza dissipata estremamente bassa. Viene, infine, ricavare la corrente media erogata in uscita dal circuito semplicemente calcolando la media di  $I_{rec}(t)$ , ricordando che  $I_{out} = \langle -I_{rec}(t) \rangle$ . Grazie al programma di simulazione è possibile ottenere direttamente questo dato:

$$\langle I_{rec}(t) \rangle = -49,6mA \quad \rightarrow \quad I_{out} = 49,6mA$$

Si può notare come  $I_{out}$  sia molto vicina ai  $50mA$  che si volevano ottenere dalle specifiche del progetto e permette di raggiungere una potenza in uscita  $P_{out} = 496mW$ . Anche in questo caso i risultati ottenuti sono molto soddisfacenti. Tuttavia, come per il circuito funzionante a  $4MHz$ , si può notare che i valori dei condensatori utilizzati per la simulazione non sono appartenenti alla serie *E12* e quindi difficilmente reperibili in commercio. Essi verranno ottenuti in seguito tramite il parallelo di più condensatori. Infine, come nel caso precedente, è stata calcolata l'efficienza del sistema che risulta ancora essere circa dell'80%.

### 3.4 Progetto boost in classe E a doppia frequenza

Infine, utilizzando i risultati dei due progetti precedenti è possibile unire il tutto e realizzare un convertitore boost in classe E in grado di funzionare ad entrambe le frequenze. Il circuito che permette di ottenere ciò è mostrato in Figura 2.4. I parametri di progetto sono gli stessi impostati precedentemente ed è stato sviluppato un nuovo script *MATLAB* per ottenere la soluzione del sistema 2.3. Questo script semplicemente ripete gli stessi calcoli fatti in precedenza e ricava la soluzione delle quattro variabili di stato  $i_{inv1}(\theta)$ ,  $i_{rec1}(\theta)$ ,  $v_{DS1}(\theta)$  e  $v_{KA1}(\theta)$  ad entrambe le frequenze. Anche in questo caso, dopo aver ricavato i dati relativi alle perdite, si può procedere con la denormalizzazione e ottenere tutti i valori dei componenti necessari al corretto funzionamento del circuito. Inoltre, con opportune considerazioni è possibile stampare direttamente sul terminale di *MATLAB* i parametri da copiare

su *SPICE* per procedere con la simulazione circuitale. Quando i due interruttori in serie ai condensatori  $C_{inv1}$  e  $C_{rec1}$  sono aperti il circuito è in grado di lavorare alla frequenza  $f_{s2} = 8MHz$ , di conseguenza i valori di  $C_{inv2}$  e  $C_{rec2}$  sono esattamente quelli trovati dai calcoli precedenti per il circuito a  $8MHz$ . Mentre, quando gli interruttori sono chiusi il circuito è in grado di lavorare alla frequenza  $f_{s1} = 4MHz$ , i valori di  $C_{inv}$  e  $C_{rec}$  trovati dai calcoli precedenti per il circuito a  $4MHz$  vengono ottenuti, rispettivamente, dalla somma di  $C_{inv1} + C_{inv2}$  e  $C_{rec1} + C_{rec2}$ . Riassumendo si possono ottenere i valori dei condensatori come:

$$C_{inv2} = C_{inv}|_{8MHz} \quad C_{inv1} = C_{inv}|_{4MHz} - C_{inv}|_{8MHz}$$

$$C_{rec2} = C_{rec}|_{8MHz} \quad C_{rec1} = C_{rec}|_{4MHz} - C_{rec}|_{8MHz}$$

Dove il pedice riferito alla frequenza indica il valore del relativo componente ricavato nei due capitoli precedenti, rispettivamente, per il circuito funzionante a  $4MHz$  e per quello funzionante a  $8MHz$ . Con queste semplici modifiche è possibile variare dinamicamente il valore di  $C_{inv}$  e  $C_{rec}$  e ottenere le capacità richieste per lavorare ad ognuna delle due frequenze.

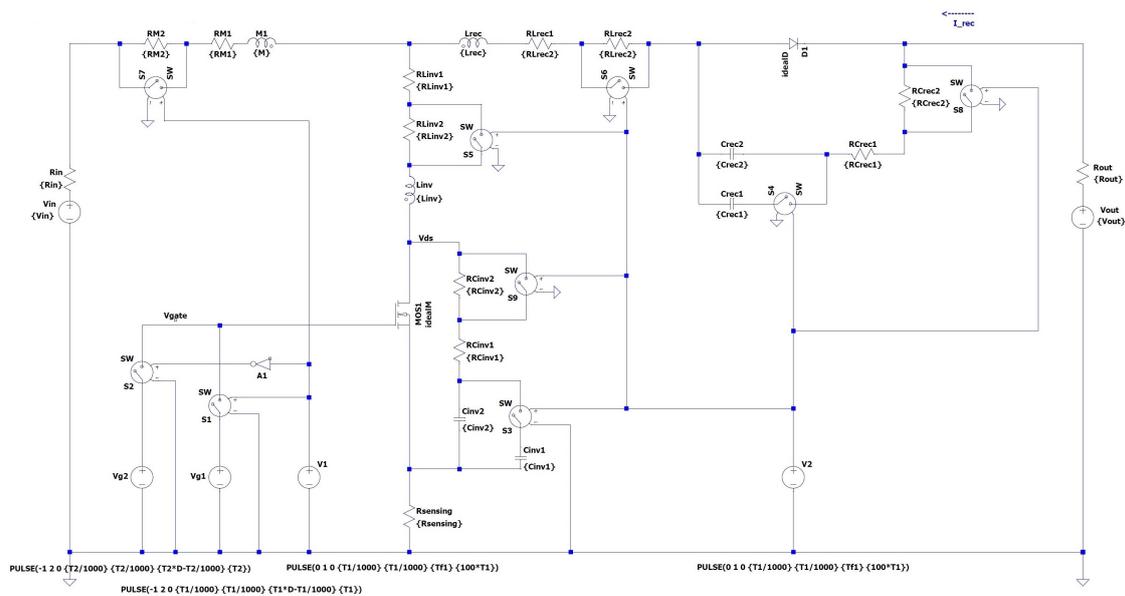


Figura 3.9. Schema elettrico per la simulazione in *SPICE*

È necessario, però, considerare anche la variazione delle resistenze parassite in serie ai componenti reattivi al variare della frequenza. Si noti come le resistenze parassite dei condensatori, grazie all'elevato  $Q$  dei componenti disponibili in commercio, saranno relativamente piccole, mentre le resistenze parassite associate agli

induttori saranno decisamente più rilevanti data la difficoltà di trovare in commercio induttori ad elevato  $Q$ . Per considerare queste variazioni in fase di simulazione vengono utilizzati dei "trucchi", come si può vedere in Figura 3.9. Vengono utilizzate due resistenze serie, dove una delle due viene opportunamente mascherata o meno a seconda della frequenza di funzionamento del circuito, ovvero quando si lavora a  $4MHz$  sarà necessaria solo una delle due resistenze mentre quando si lavora a  $8MHz$  entrambe. Per mascherare queste resistenze vengono utilizzati degli interruttori ideali in parallelo ad esse, i quali quando vengono chiusi operano come un cortocircuito. Rispetto agli script *MATLAB* dei capitoli precedenti andranno quindi modificati valori delle resistenze parassite nel seguente modo:

$$\begin{aligned}
 R_{M1} &= R_M|_{4MHz} & R_{M2} &= R_M|_{8MHz} - R_M|_{4MHz} \\
 R_{L_{inv1}} &= R_{L_{inv}}|_{4MHz} & R_{L_{inv2}} &= R_{L_{inv}}|_{8MHz} - R_{L_{inv}}|_{4MHz} \\
 R_{L_{rec1}} &= R_{L_{rec}}|_{4MHz} & R_{L_{rec2}} &= R_{L_{rec}}|_{8MHz} - R_{L_{rec}}|_{4MHz} \\
 R_{C_{inv1}} &= R_{C_{inv1}}|_{4MHz} & R_{C_{inv2}} &= R_{C_{inv1}}|_{4MHz} - R_{C_{inv1}}|_{8MHz} \\
 R_{C_{rec1}} &= R_{C_{rec1}}|_{4MHz} & R_{C_{rec2}} &= R_{C_{rec1}}|_{4MHz} - R_{C_{rec1}}|_{8MHz}
 \end{aligned}$$

Tutti gli altri parametri non citati restano uguali a quelli già identificati in precedenza e comuni ad entrambe le frequenze. Vengono riportati in seguito tutti i risultati ottenuti dallo script e necessari per la simulazione su *SPICE*:

- $V_{in} = 5V$     $V_{out} = 10V$     $I_{out1} = 100,2mA$     $I_{out2} = 50,17mA$
- $f_{s1} = 4MHz$     $f_{s2} = 8MHz$     $T_1 = 250ns$     $T_2 = 125ns$     $D = 0,3$
- $M = 220nH$     $L_{inv} = 330nH$     $L_{rec} = 330nH$
- $C_{inv1} = 2,46nF$     $C_{inv2} = 818,7pF$     $C_{rec1} = 2,8nF$     $C_{rec2} = 936,5pF$
- $R_{L_{inv1}} = 138m\Omega$     $R_{L_{inv2}} = 247m\Omega$     $R_{L_{rec1}} = 138m\Omega$     $R_{L_{rec2}} = 247m\Omega$
- $R_{M1} = 92,2m\Omega$     $R_{M2} = 165m\Omega$     $R_{C_{inv1}} = 12,2m\Omega$     $R_{C_{inv2}} = 12,2m\Omega$
- $R_{C_{rec1}} = 10,7m\Omega$     $R_{C_{rec2}} = 10,7m\Omega$     $V_d^{ON} = 0,6V$     $V_b^{ON} = 0,5V$
- $R_{DS}^{ON} = 50m\Omega$     $R_b^{ON} = 100m\Omega$     $R_d^{ON} = 100m\Omega$
- $R_{in} = 100m\Omega$     $R_{sensing} = 100m\Omega$     $R_{out} = 100m\Omega$

Questi dati vengono inseriti in *SPICE* e il circuito in Figura 3.9 viene simulato, dove per ora sono ancora presenti i modelli ideali per i transistor *MOS* e per il diodo. I due generatori di segnale  $V_{g1}$  e  $V_{g2}$  creano due onde quadre a duty cycle fisso  $D = 30\%$  e a frequenza fissa, rispettivamente, di  $4MHz$  e  $8MHz$ . Essi vengono collegati al gate del transistor principale attraverso due interruttori ideali mutuamente esclusivi, ottenendo così il segnale  $V_{gate}$ . Il generatore  $V_1$  crea un'ulteriore onda quadra che va a pilotare gli interruttori in serie ai due generatori citati e in questo modo è possibile generare molto semplicemente la modulazione in frequenza necessaria per la simulazione del circuito. Mentre, il generatore  $V_2$  crea un segnale identico a  $V_1$  e insieme scandiscono il tempo per il quale gli interruttori in serie ai condensatori aggiuntivi e gli interruttori in parallelo alle resistenze parassite risultano aperti oppure chiusi, a seconda della frequenza alla quale il circuito sta lavorando. Quando il circuito funziona alla frequenza  $f_{s1} = 4MHz$  tutti gli interruttori risultano chiusi, quindi le due capacità aggiuntive vengono collegate al circuito e tutte le resistenze parassite secondarie vengono mascherate. Quando, invece, il circuito funziona alla frequenza  $f_{s2} = 8MHz$  tutti gli interruttori saranno aperti, quindi, le due capacità aggiuntive non vengono collegate e le resistenze parassite secondarie vengono viste dal circuito. In pratica modulando il duty cycle di  $V_1$  e  $V_2$  si decide per quanto tempo far funzionare il circuito ad una frequenza o all'altra all'interno di un periodo totale fisso e prestabilito (ovvero l'inverso della frequenza a cui commutano  $V_1$  e  $V_2$ ), in modo da modulare conseguentemente l'uscita del circuito. Per le simulazioni si è deciso di far funzionare il circuito con una modulazione al 50%.

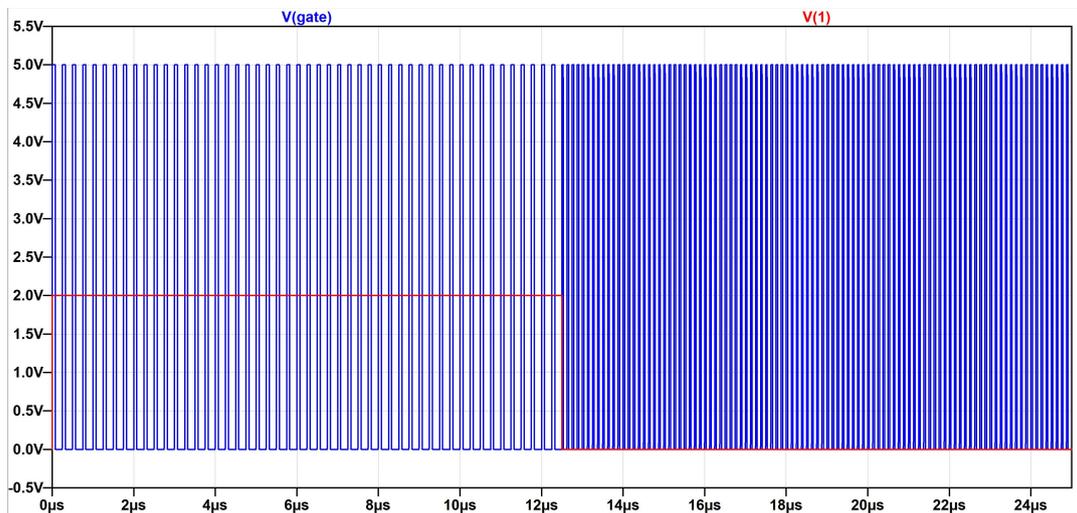


Figura 3.10. Forme d'onda della tensione di pilotaggio del transistor *MOS*  $V_{gate}$  in blu e della tensione  $V_1$  che controlla il cambio della frequenza in rosso, simulate nel circuito funzionante a doppia frequenza

Viene eseguita una simulazione in transitorio di  $50\mu s$  in modo che il circuito vada ampiamente a regime e vengono plottati su schermo gli ultimi  $25\mu s$  delle forme d'onda più rilevanti per il funzionamento del circuito. Di questi  $25\mu s$  si è deciso di simulare il circuito per  $12,5\mu s$  con il segnale che pilota il gate del transistor alla frequenza  $f_{s1} = 4MHz$  (ovvero 50 periodi) e i restanti  $12,5\mu s$  alla frequenza  $f_{s2} = 8MHz$  (ovvero 100 periodi), in modo da ottenere in uscita  $10V$  di tensione e una corrente media  $I_{out} \approx 75mA$  pari alla media pesata delle due correnti erogate in uscita per il tempo di funzionamento alle singole frequenze (ovvero  $I_{out1} = 100mA$  alla frequenza  $f_{s1} = 4MHz$  e  $I_{out2} = 50mA$  alla frequenza  $f_{s2} = 8MHz$ ).

In Figura 3.10 vengono mostrati i segnali di pilotaggio  $V_{gate}$  e  $V_1$ , citati in precedenza. È possibile notare come il transistor principale risulta commutato per metà del tempo ad una frequenza e per metà all'altra frequenza (segnale in blu). Il cambio tra le due frequenze viene gestito dal segnale  $V_1$  mostrato in Figura 3.10 in rosso. Quando questo segnale commuta, la frequenza di pilotaggio del transistor cambia e il circuito viene dinamicamente modificato come spiegato in precedenza. Si noti, inoltre, come anche le resistenze parassite vengono modificate al fine di rendere coerente la simulazione con l'evoluzione reale del circuito. Il periodo di  $V_1$  viene impostato a  $25\mu s$  (che genera una frequenza pari a  $f_{V_1} = 40kHz$ ), mentre il duty cycle di questo segnale viene fissato al 50%. Dalla Figura 3.11 è possibile vedere le forme d'onda della tensione  $V_{DS}(t)$  ai capi del transistor MOS principale e la  $V_{KA}(t)$  ai capi del diodo raddrizzatore su  $25\mu s$  di simulazione. Tuttavia, in un periodo di tempo così ampio la comprensione dei segnali non risulta affatto facile, per cui viene riportato in Figura 3.12 uno zoom di  $1\mu s$  attorno al punto in cui cambia frequenza.

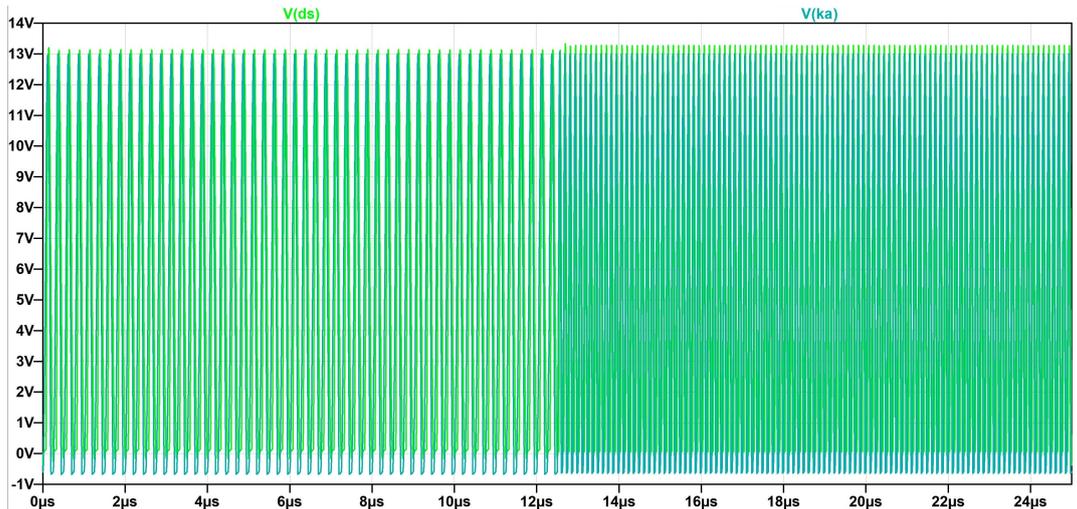


Figura 3.11. Forme d'onda della tensione  $V_{DS}(t)$  in verde e della tensione  $V_{KA}(t)$  in azzurro, simulate nel circuito a doppia frequenza

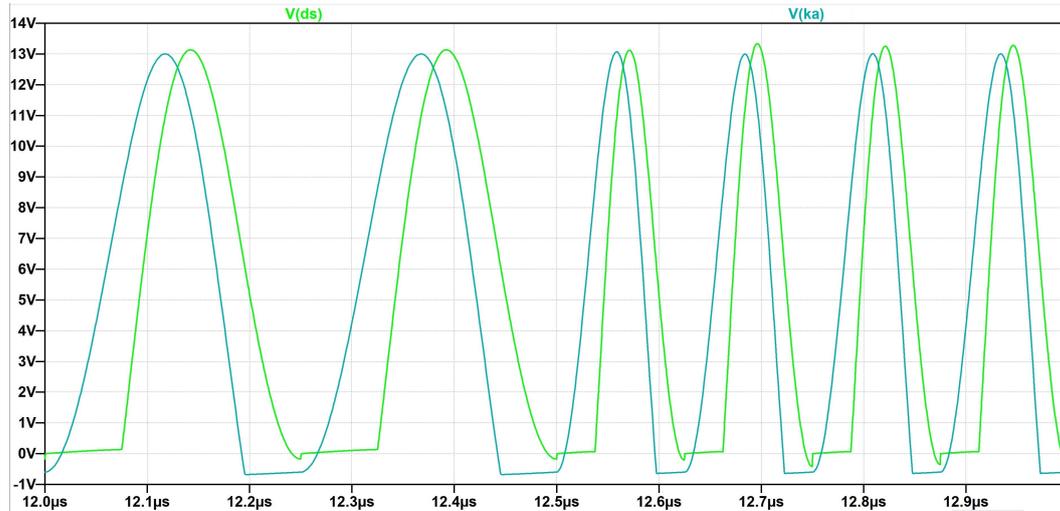


Figura 3.12. Zoom delle forme d'onda della tensione  $V_{DS}(t)$  in verde e della tensione  $V_{KA}(t)$  in azzurro, nell'intorno del punto in cui cambia la frequenza di funzionamento, simulate nel circuito a doppia frequenza

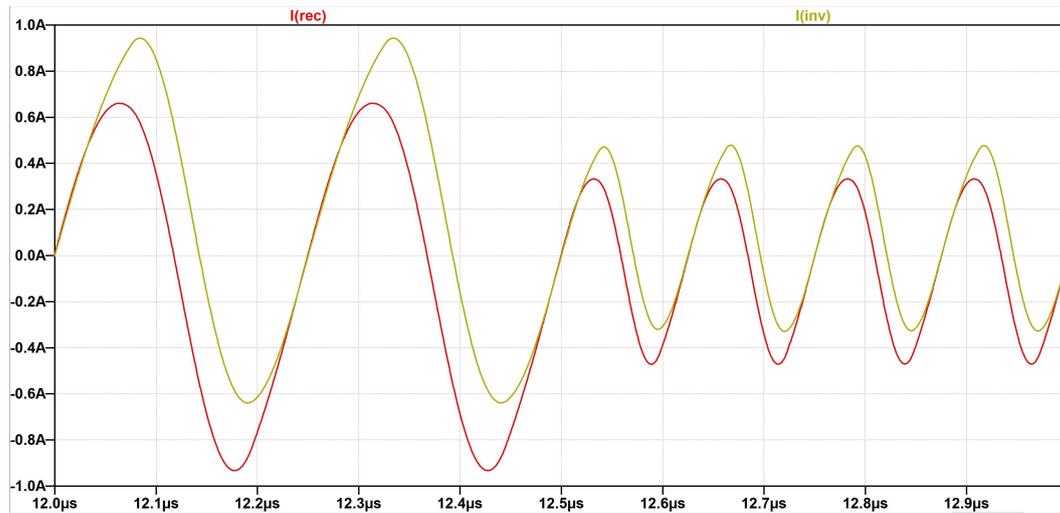


Figura 3.13. Zoom delle forme d'onda della corrente  $I_{rec}(t)$  in rosso e della corrente  $I_{inv}(t)$  in giallo, nell'intorno del punto in cui cambia la frequenza di funzionamento, simulate nel circuito a doppia frequenza

Più precisamente viene visualizzata una porzione della simulazione che va da  $12\mu s$  a  $13\mu s$ , con il cambio di frequenza che avviene esattamente a  $12,5\mu s$ . Come si può vedere dopo il cambio della frequenza il circuito impiega circa due cicli per

andare completamente a regime. Così come per le simulazioni dei circuiti a singola frequenza è possibile notare come il valore di picco di entrambe le tensioni sia di circa  $13V$ , facilmente sopportabile dalla maggior parte dei dispositivi in commercio. Inoltre, coerentemente con quanto accade nel circuito a singola frequenza funzionante a  $8MHz$  visto in precedenza è presente un gradino nella tensione  $V_{DS}(t)$  che non permette di ottenere le perfette condizioni ottimali. Nonostante ciò, essendo questo gradino di appena  $-370mV$  non crea evidenti problemi se non diminuire leggermente l'efficienza complessiva. In modo analogo, per questo circuito è visibile anche un piccolo gradino nella  $V_{DS}(t)$  durante il funzionamento a  $4MHz$ , non presente nella simulazione del circuito a singola frequenza. Tuttavia, anche in questo caso il suo effetto è totalmente trascurabile poiché raggiunge un livello di appena  $-170mV$ .

In Figura 3.13 viene riportato lo zoom tra  $12\mu s$  e  $13\mu s$  delle forme d'onda delle correnti  $I_{inv}(t)$  e  $I_{rec}(t)$  risultanti dalla simulazione del circuito e appartenenti, rispettivamente, al ramo dell'inverter e al ramo del raddrizzatore. Si può notare che nel punto in cui cambia la frequenza (ovvero a  $12,5\mu s$ ) il valore di entrambe le correnti risulta pari a zero. Questo risultato è uno dei più importanti, in quanto permette di mantenere la continuità delle forme d'onda nella commutazione da una frequenza all'altra. Inoltre, è possibile ottenere il valore della corrente media erogata in uscita dal circuito semplicemente calcolando la media di  $I_{rec}(t)$ , ricordando che  $I_{out} = \langle -I_{rec}(t) \rangle$ . Grazie al programma di simulazione è possibile ottenere facilmente questo dato:

$$\langle I_{rec}(t) \rangle = -71,8mA \quad \rightarrow \quad I_{out} = 71,8mA$$

Si può procedere anche a simulare il circuito alle singole frequenze, modificando i duty cycle dei segnali generati da  $V_1$  e  $V_2$ . Per lavorare alla frequenza  $f_{s1} = 4MHz$  è necessario impostare i duty cycle al 100%, mentre per ottenere la frequenza  $f_{s2} = 8MHz$  è necessario imporre i duty cycle allo 0%. Queste due simulazioni sono state eseguite per verificare la congruenza con le simulazioni dei capitoli precedenti. Per prima cosa vengono calcolate le correnti di uscita medie ad entrambe le frequenze:

$$\begin{cases} I_{out} = 95mA & \text{alla frequenza di } 4MHz \\ I_{out} = 48,6mA & \text{alla frequenza di } 8MHz \end{cases}$$

Si può notare come questi valori siano leggermente più bassi rispetto a quelli ottenuti dalle precedenti simulazioni a singole frequenze, tuttavia sono differenze accettabili. Successivamente, viene calcolata l'efficienza per il circuito fatto operare sia a doppia che a singola frequenza, ottenendo:

$$\eta_{4MHz} = 77\%$$

$$\eta_{DF} = 78\%$$

$$\eta_{8MHz} = 79\%$$

dove il pedice DF indica il circuito a doppia frequenza, il quale viene fatto lavorare al 50% a 4MHz e il restante 50% a 8MHz. Questi valori sono coerenti con quelli ottenuti in precedenza.

### 3.5 Scelta dei dispositivi di commutazione

Stabilito che il circuito funziona correttamente è necessario scegliere i dispositivi di potenza reali tra quelli disponibili in commercio, che e soddisfino le specifiche tecniche necessarie. Per questo progetto sono stati selezionati i seguenti dispositivi:

Transistor n-MOS → Infineon IRLML0030TRPBF

Transistor p-MOS → Infineon BSS315PH6327XTSA1

Diodo → Nexperia PMEG6030ELPX

A questo punto, è possibile sostituire in *SPICE* i modelli ideali di questi dispositivi con i loro corrispettivi modelli reali forniti dalle case costruttrici. Questi modelli vengono ricavati empiricamente ed emulano in modo molto accurato il comportamento dei dispositivi, tenendo in considerazione anche gli elementi parassiti che non possono essere trascurati quando si lavora ad alte frequenze. Di particolare importanza risultano le capacità parassite presenti in parallelo a questi dispositivi (ovvero tra il drain e il source nei transistor e tra l'anodo e il catodo del diodo). Poiché, alle frequenze di lavoro del circuito in progetto risultano nell'ordine dei  $100pF$ , diventando confrontabili con i valori dei condensatori  $C_{inv1}$ ,  $C_{inv2}$ ,  $C_{rec1}$  e  $C_{rec2}$  necessari per ottenere il punto di lavoro ottimale di un convertitore *DC – DC* in classe E. Nel dettaglio, i condensatori parassiti risulteranno, rispettivamente, in parallelo a  $C_{inv2}$  e  $C_{rec2}$ , mentre a  $C_{inv1}$  e  $C_{rec1}$  saranno collegati in serie. Questo andrà ad alterare il valore totale delle capacità, portando il sistema a non funzionare correttamente, con le forme d'onda che non saranno più quelle desiderate. Il problema va considerato in modo approfondito e si devono compensare le capacità parassite per ottenere il valore corretto trovato in precedenza tramite lo script *MATLAB*. In Figura 3.14 viene mostrato il circuito *SPICE* utilizzato per la simulazione, nel quale sono presenti i modelli dei dispositivi reali.

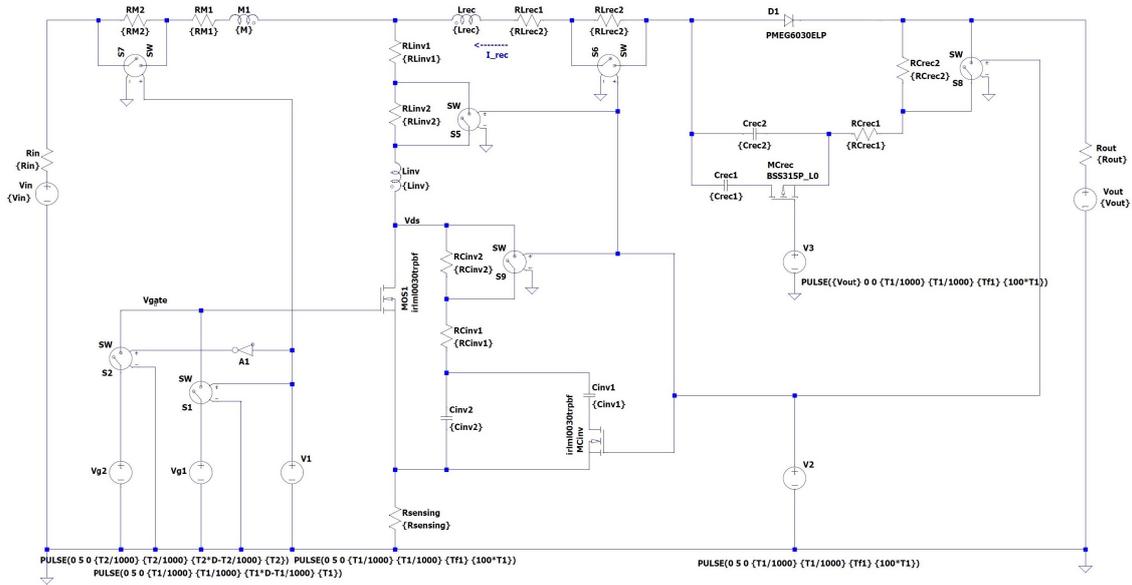


Figura 3.14. Schema elettrico per la simulazione in *SPICE* con i modelli dei dispositivi reali

Lo script *MATLAB* viene adeguatamente modificato e i valori delle capacità  $C_{inv1}$ ,  $C_{inv2}$ ,  $C_{rec1}$  e  $C_{rec2}$  vengono compensati tramite quattro variabili aggiuntive chiamate  $C_{comp1}$ ,  $C_{comp2}$ ,  $C_{comp3}$  e  $C_{comp4}$ .  $C_{comp1}$  è associata alla capacità parassita del transistor a canale-n principale, chiamato *MOS1* nello schema in Figura 3.14.  $C_{comp2}$  è associata alla capacità parassita del transistor a canale-n utilizzato per modificare il valore di  $C_{inv}$ , chiamato nello schema *MC<sub>inv</sub>*.  $C_{comp3}$  è associata alla capacità parassita del diodo raddrizzatore, chiamato *D1*. Infine,  $C_{comp4}$  è associata alla capacità parassita del transistor a canale-p utilizzato per modificare il valore di  $C_{rec}$ , chiamato nello schema *MC<sub>rec</sub>*. Guardando i datasheet dei componenti sono state stimare le capacità parassite presenti, come:

$$C_{comp1} = 125pF$$

$$C_{comp2} = 125pF$$

$$C_{comp3} = 180pF$$

$$C_{comp4} = 100pF$$

Quando i dispositivi sono in stato di conduzione il problema delle capacità parassite non sussiste, mentre quando sono spenti queste capacità devono essere compensate in modo corretto, considerando le varie combinazioni che possono crearsi durante il funzionamento del circuito a seconda dello stato dei vari dispositivi. Nel

caso in cui sia  $MOS1$  che  $MC_{inv}$  siano aperti la capacità parassita tra drain e source di  $M1$  va sottratta da  $C_{inv2}$ , mentre la capacità tra source e drain di  $MC_{inv}$  va in serie alla capacità  $C_{inv1}$ . Questa serie va poi sottratta da  $C_{inv2}$ . Ricordando che la serie di due capacità si ottiene moltiplicandole l'una per l'altra e dividendo il risultato per la loro somma, si ottiene come risultato circa il valore della capacità parassita associata a  $MC_{inv}$  (essendo questa molto minore rispetto a  $C_{inv1}$ ), per cui si sottrae semplicemente questo valore alla capacità  $C_{inv2}$ . Quando, invece,  $MOS1$  è aperto e  $MC_{inv}$  è in conduzione va considerata solo la capacità parassita associata a  $MOS1$ , di conseguenza si deve compensare questo effetto sommando a  $C_{inv1}$  il valore della capacità parassita associata a  $MC_{inv}$ . In questo modo il valore complessivo di  $C_{inv}$  è sempre pari a quello ottenuto matematicamente della risoluzione del circuito.

Analogamente si può fare il ragionamento con il diodo  $D1$  al posto del transistor  $MOS1$  e con il transistor  $MC_{rec}$  al posto del transistor  $MC_{inv}$ . Si ottiene quindi, che alla capacità  $C_{rec2}$  vanno sottratte le capacità parassite associate a  $D1$  e  $MC_{rec}$ , mentre alla capacità  $C_{rec1}$  va sommata la capacità parassita associata a al solo  $MC_{rec}$ . In seguito vengono i valori dei condensatori dopo questa compensazione:

$$C_{inv1} = C_{inv1}|_{ideal} + C_{comp2} = 2,58nF$$

$$C_{rec1} = C_{inv1}|_{ideal} + C_{comp4} = 2,98nF$$

$$C_{inv2} = C_{inv1}|_{ideal} - C_{comp1} - C_{comp2} = 567pF$$

$$C_{rec2} = C_{inv1}|_{ideal} - C_{comp3} - C_{comp4} = 656pF$$

Anche in questo caso i valori dei condensatori non fanno parte della serie  $E12$  e saranno difficilmente reperibili in commercio. Questo problema verrà risolto in seguito cercando di avvicinarsi il più possibile ai valori richiesti collegando due o più condensatori appartenenti alla serie  $E12$  in parallelo tra loro.

Inoltre, in Figura 3.14 si può facilmente osservare come sia stato aggiunto un generatore di segnale in modo da pilotare il transistor  $p-MOS$   $MC_{rec}$ , che essendo in configurazione high-side non può essere gestito dallo stesso segnale di  $MC_{inv}$ . Il generatore  $V_3$  produce un'onda quadra che varia tra  $V_{out} = 10V$  e  $0V$  con polarità opposta a quella di  $V_1$  e  $V_2$  ma di uguale periodo (pari a  $25\mu s$ ) e duty cycle. Quando  $V_3$  è al livello alto (ovvero ad una tensione di  $10V$ ) il transistor  $MC_{rec}$  è spento poiché la differenza di potenziale  $V_{sg}$  risulta pari a zero, mentre quando trova al livello basso (ovvero ad una tensione di  $0V$ ) la  $V_{sg}$  supera la tensione di soglia e il transistor si accende. Il resto del circuito resta invariato rispetto al caso precedente con i modelli dei dispositivi ideali.

Successivamente, vengono eseguite tutte le simulazioni necessarie a verificare l'esatta evoluzione del sistema. Come per il circuito ideale si vogliono visualizzare le forme d'onda della tensione  $V_{DS}(t)$  ai capi del transistor  $n-MOS$  principale e la

$V_{KA}(t)$  ai capi del diodo raddrizzatore, tuttavia un periodo di  $25\mu s$  di simulazione risulta molto ampio e la comprensione dei segnali non risulta affatto facile. In Figura 3.15 si riporta direttamente uno zoom attorno al punto in cui cambia frequenza in un periodo di  $2\mu s$ . Più precisamente, viene mostrata la porzione della simulazione che va da  $11,5\mu s$  a  $13,5\mu s$ , con il cambio di frequenza che avviene esattamente a  $12,5\mu s$ .

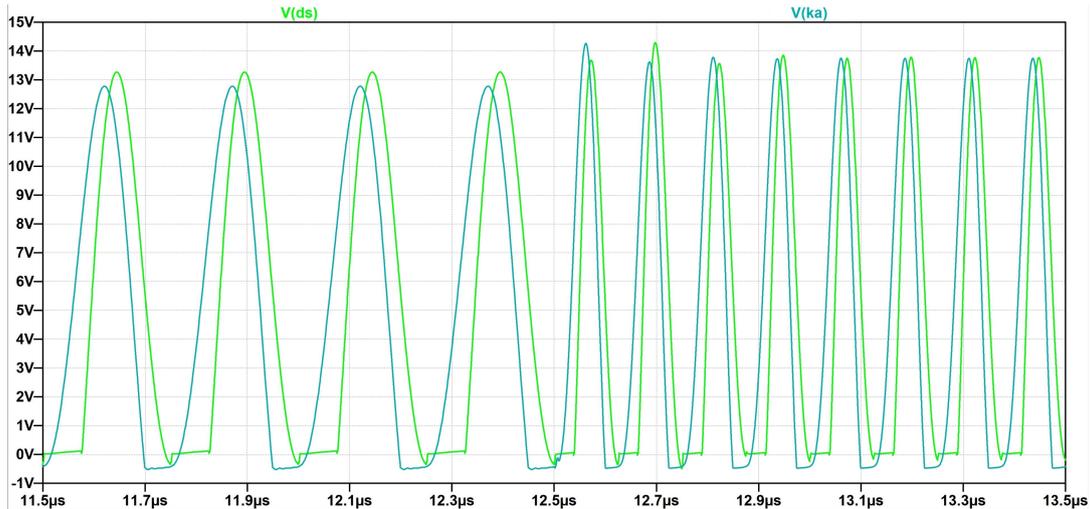


Figura 3.15. Zoom delle forme d'onda della tensione  $V_{DS}(t)$  in verde e della tensione  $V_{KA}(t)$  in azzurro, nell'intorno del punto in cui cambia la frequenza di funzionamento, simulate nel circuito a doppia frequenza con modelli dei dispositivi reali

Come si può vedere, dopo il cambio della frequenza il circuito impiega circa cinque cicli per andare completamente a regime, per questo motivo si è deciso di riportare lo zoom in un periodo doppio rispetto al caso precedente (che impiegava meno cicli per andare a regime). Rispetto alle simulazioni dei circuiti eseguite con i modelli ideali è possibile notare che in questo caso il valore di picco di entrambe le tensioni ( $V_{DS}(t)$  e  $V_{KA}(t)$ ) è leggermente più elevato e raggiunge un valore di circa  $15V$ , tuttavia facilmente sopportabile dai dispositivi selezionati. Il diodo scelto è in grado di sopportare una tensione inversa di  $60V$  mentre tutti e tre i transistor quando sono aperti sopportano una tensione massima di  $30V$ . Inoltre, coerentemente con quanto accade nella simulazione del circuito con i dispositivi ideali è presente un piccolo gradino nella tensione  $V_{DS}(t)$  ad entrambe le frequenze di funzionamento, che non permette di ottenere le perfette condizioni ottimali. Nonostante ciò, questi gradini sono di circa  $-300mV$  durante il funzionamento a  $4MHz$  e  $-200mV$  durante il funzionamento a  $8MHz$  ed essendo valori decisamente

piccoli, come nel caso precedente, non creano particolari problemi durante il funzionamento del circuito se non diminuire leggermente l'efficienza complessiva del sistema.

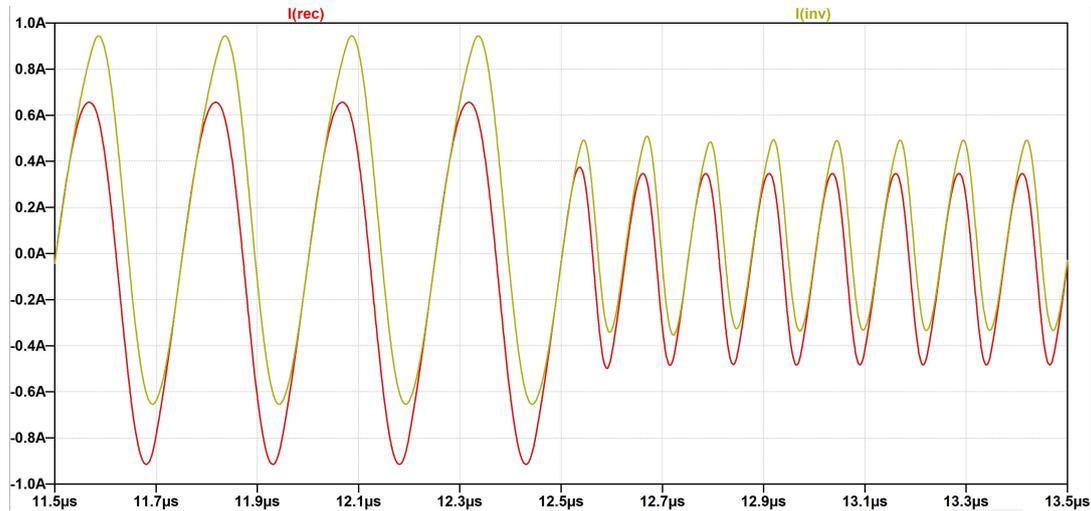


Figura 3.16. Zoom delle forme d'onda della corrente  $I_{rec}(t)$  in rosso e della corrente  $I_{inv}(t)$  in giallo, nell'intorno del punto in cui cambia la frequenza di funzionamento, simulate nel circuito a doppia frequenza con modelli dei dispositivi reali

Nella Figura 3.16 viene riportato lo zoom tra  $11,5\mu s$  e  $13,5\mu s$  delle forme d'onda delle correnti  $I_{inv}(t)$  e  $I_{rec}(t)$  ottenute dalla simulazione del circuito e appartenenti, rispettivamente, al ramo di  $L_{inv}$  e al ramo del di  $L_{rec}$ . Si può notare che anche in questo caso nel punto in cui cambia la frequenza (ovvero a  $12,5\mu s$ ) il valore di entrambe le correnti risulta pari a zero. Questo, permette di mantenere la continuità delle forme d'onda nella commutazione da una frequenza all'altra e di ottenere un'efficienza molto elevata. Inoltre, il valore della corrente media erogata in uscita può essere ottenuta dal circuito semplicemente calcolando la media di  $I_{rec}(t)$ , ricordando che  $I_{out} = \langle -I_{rec}(t) \rangle$ . Grazie al programma di simulazione è possibile ottenere facilmente questo dato:

$$\langle I_{rec}(t) \rangle = -70,2mA \quad \rightarrow \quad I_{out} = 70,2mA$$

Anche per questo circuito è possibile simulare il sistema alle singole frequenze, semplicemente modificando i duty cycle dei segnali che gestiscono il funzionamento del circuito. Le simulazioni a  $4MHz$  e  $8MHz$  sono state eseguite per verificare la congruenza delle correnti erogate a queste frequenze con i casi precedenti, ottenendo:

$$\begin{cases} I_{out} = 93,9mA & \text{alla frequenza di } 4MHz \\ I_{out} = 50,1mA & \text{alla frequenza di } 8MHz \end{cases}$$

Si può notare come questi valori siano leggermente diversi rispetto a quelli ottenuti dalle simulazioni del circuito con componenti ideali. La corrente erogata durante il funzionamento a  $8MHz$  risulta essere più grande rispetto al caso precedente e ancora più vicina alla specifica di progetto. Mentre, la corrente erogata durante il funzionamento a  $4MHz$  risulta essere inferiore rispetto al caso con dispositivi ideale, allontanandosi leggermente dalla specifica di progetto. Tuttavia, queste differenze sono ancora accettabili e il circuito simulato si comporta esattamente come desiderato. Infine, viene calcolata l'efficienza per il circuito fatto operare sia a doppia che alle singole frequenze, ottenendo i seguenti risultati:

$$\eta_{4MHz} = 76\%$$

$$\eta_{DF} = 77\%$$

$$\eta_{8MHz} = 78\%$$

dove il pedice DF indica il circuito a doppia frequenza, il quale viene fatto lavorare al 50% a  $4MHz$  e il restante 50% a  $8MHz$ . Questi valori sono coerenti con quelli ottenuti in precedenza.

### 3.6 Circuito finale

A questo punto, è necessario selezionare i valori dei condensatori tra quelli disponibili in commercio per avvicinarsi il più possibile a quelli ideali. La capacità di  $C_{inv1}$  è stata ottenuta come il parallelo di due condensatori, rispettivamente,  $C_{inv1a} = 1nF$  e  $C_{inv1b} = 1,5nF$  per un valore complessivo di  $2,5nF$  (molto vicino ai  $2,58nF$  del condensatore ideale). Anche la capacità di  $C_{inv2}$  viene ottenuta come il parallelo di due condensatori, ovvero  $C_{inv2a} = 220p$  e  $C_{inv2b} = 330pF$  per un valore complessivo di  $550pF$  (anche in questo caso molto vicino ai  $567pF$  del condensatore ideale). Per ricavare la capacità di  $C_{rec1}$  vengono posti in parallelo  $C_{rec1a} = 1nF$  e  $C_{rec1b} = 1,8nF$ , ottenendo  $2,8nF$  (leggermente inferiore la valore ideale di  $2,98nF$ ). Infine, la capacità  $C_{rec2}$  viene generata come il parallelo di  $C_{rec2a} = 330pF$  e  $C_{rec2b} = 330pF$  per un totale di  $660pF$  (vicinissimo al valore ideale di  $656pF$ ). Questi condensatori vengono sostituiti ai precedenti e si procede nuovamente con una simulazione del circuito in Figura 3.14 per assicurarsi che nonostante questi piccoli cambiamenti in circuito funzioni correttamente. Come per le simulazioni precedenti vengono riportati gli zoom delle forme d'onda delle

tensioni  $V_{DS}(t)$  e  $V_{KA}(t)$  e delle correnti  $I_{inv}(t)$  e  $I_{rec}(t)$ , rispettivamente in Figura in Figura 3.17 e e in Figura 3.18.

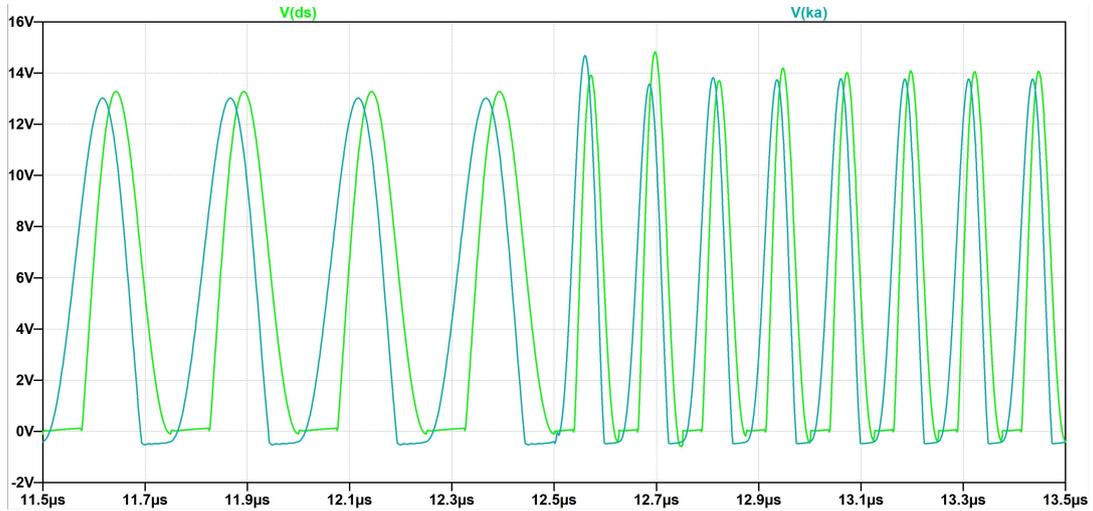


Figura 3.17. Zoom delle forme d'onda della tensione  $V_{DS}(t)$  in verde e della tensione  $V_{KA}(t)$  in azzurro, nell'intorno del punto in cui cambia la frequenza di funzionamento, simulate nel circuito a doppia frequenza

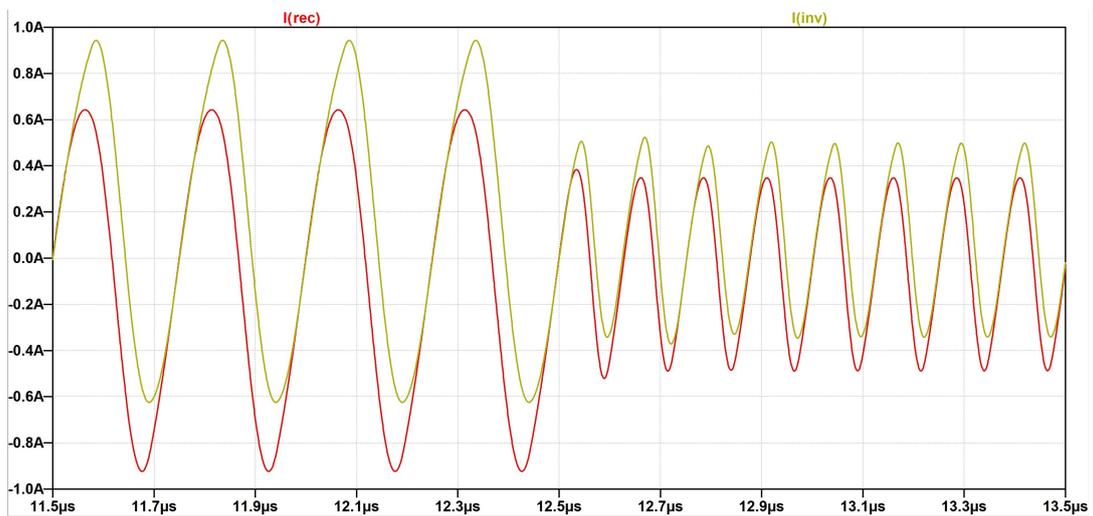


Figura 3.18. Zoom delle forme d'onda della corrente  $I_{rec}(t)$  in rosso e della corrente  $I_{inv}(t)$  in giallo, nell'intorno del punto in cui cambia la frequenza di funzionamento, simulate nel circuito a doppia frequenza

Come si può osservare anche in questo caso le forme d'onda sono quelle sperate. Inoltre, i gradini presenti nella tensione  $V_{DS}(t)$  vengono leggermente modificati rispetto al caso precedente, per la frequenza di  $4MHz$  viene ulteriormente attenuato, riducendosi ad appena  $-100mV$ , mentre alla frequenza di  $8MHz$  aumenta leggermente raggiungendo  $-300mV$ . Le tensioni di picco rimangono sostanzialmente invariate. Nel punto in cui cambia la frequenza (ovvero a  $12,5\mu s$ ), anche in questo caso, il valore di entrambe le correnti risulta pari a zero. È possibile ricavare il valore della corrente media erogata in uscita dal circuito semplicemente calcolando la media di  $I_{rec}(t)$ , ricordando che  $I_{out} = \langle -I_{rec}(t) \rangle$ . Per il circuito simulato si ottiene:

$$\langle I_{rec}(t) \rangle = -75,5mA \quad \rightarrow \quad I_{out} = 75,5mA$$

Inoltre, viene simulato il circuito alle singole frequenze modificando i duty cycle dei segnali che gestiscono il funzionamento del circuito. Si eseguono le simulazioni a  $4MHz$  e  $8MHz$  per verificare la congruenza delle correnti erogate a queste frequenze con i casi precedenti, ottenendo:

$$\begin{cases} I_{out} = 99,9mA & \text{alla frequenza di } 4MHz \\ I_{out} = 51,1mA & \text{alla frequenza di } 8MHz \end{cases}$$

In entrambi i casi questi valori sono superiori a quelli ottenuti dalla simulazione precedente. La corrente erogata durante il funzionamento a  $8MHz$  si avvicina moltissimo alla specifica di progetto. Mentre, la corrente erogata durante il funzionamento a  $4MHz$  si allontana leggermente dai  $50mA$  desiderati. Tuttavia, queste differenze sono accettabili e il circuito simulato si comporta esattamente come da progetto. Infine, anche in questo caso è stata calcolata l'efficienza per il circuito fatto operare sia a doppia che a singola frequenza, ottenendo i seguenti risultati:

$$\eta_{4MHz} = 78\%$$

$$\eta_{DF} = 78\%$$

$$\eta_{8MHz} = 78,5\%$$

dove il pedice DF indica il circuito a doppia frequenza, il quale viene fatto lavorare al 50% a  $4MHz$  e il restante 50% a  $8MHz$ . Si può notare come questi valori siano leggermente più elevati rispetto a quelli ottenuti in precedenza.



# Capitolo 4

## Realizzazione del circuito su PCB

### 4.1 Schema elettrico

Per prima cosa, si procede con il disegno dello schema elettrico del circuito finale, in questo progetto come programma cad viene utilizzato *KiCad*. Al fine di semplificare il progetto si è deciso di utilizzare una scheda programmabile esterna già disponibile in commercio per la generazione dei segnali necessari al pilotaggio degli interruttori (come descritto in precedenza) e per l'elaborazione dei dati necessari al controllo in retroazione. Questa scheda verrà poi semplicemente connessa al PCB in progetto tramite dei connettori standard presenti su di essa. Nello specifico, viene scelta una board NUCLEO-F334R8 della STMicroelectronics equipaggiata con un microcontrollore della famiglia STM-32 (più precisamente il STM32F334R8T6). È stata fatta questa scelta, poiché, all'interno del microcontrollore STM32F334R8T6 sono presenti alcuni timer ad alta risoluzione (chiamati *HRTIM*) che possono essere controllati da un clock variabile via software e in grado di raggiungere frequenze molto elevate. La frequenza massima a cui si può arrivare questo segnale di clock è  $4,608GHz$ , che permette di generare in modo molto preciso i segnali richiesti ad entrambe le frequenze (ovvero  $f_{s1} = 4MHz$  e  $f_{s2} = 8MHz$ ). Inoltre, l'elevatissima precisione che garantiscono di ottenere questi timer sarà essenziale per sincronizzare correttamente tutti i segnali che governano il circuito (condizione estremamente difficile da raggiungere con dei classici timer).

Nelle figure 4.1, 4.2 e 4.4 viene riportato lo schema completo del circuito realizzato con l'editor di schemi elettrici presente in *KiCad*. In Appendice A viene riportata la BOM (bill of material), nella quale sono elencati tutti i componenti scelti in fase di progettazione, con associato sia il loro codice produttore che il codice fornitore per uno dei principali distributori di componenti elettronici (in questo

caso Mouser). La maggior parte dei componenti selezionati è a montaggio superficiale (ovvero SMD), tuttavia sono presenti anche alcuni elementi through hole come i connettori di ingresso e uscita, i connettori per collegare il PCB alla scheda sulla quale è presente il microcontrollore e i vari jumper sui segnali di pilotaggio.

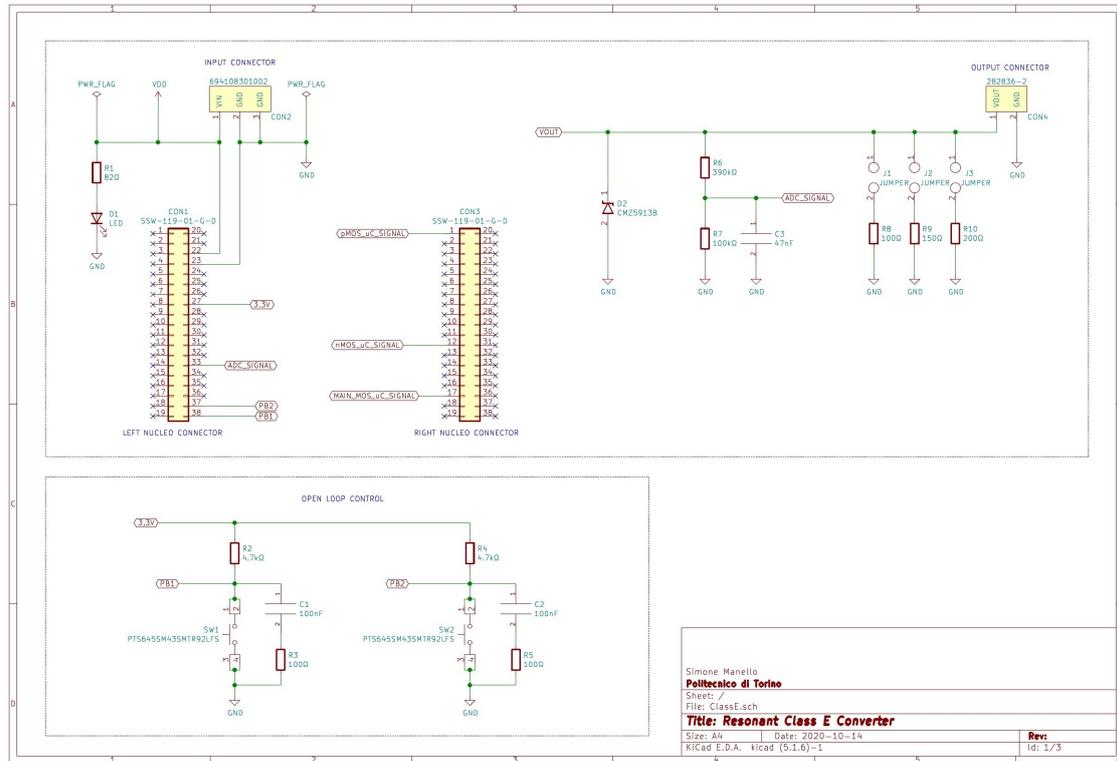


Figura 4.1. Pagina 1 dello schema elettrico completo

In Figura 4.1 si può osservare la prima pagina dello schema elettrico, contenente:

1. un connettore di ingresso per alimentare l'intero circuito, compresa la scheda NUCLEO-F334R8;
2. un LED per segnalare che il sistema è alimentato correttamente, con la relativa resistenza necessaria per assorbire una corrente adeguata;
3. due connettori da 2 righe e 19 colonne con passo di 2,54mm per collegare il circuito alla scheda NUCLEO-F334R8;
4. un connettore con morsetti a vite a cui viene collegata l'uscita del circuito;
5. un diodo Zener da 13V come protezione in uscita;

6. tre resistenze di carico collegate al nodo d'uscita attraverso dei jumper in modo da poter essere collegate o meno a seconda delle necessità in fase di sperimentazione;
7. un partitore di tensione collegato al nodo di uscita in modo da ottenere una dinamica adeguata all'ingresso dell'ADC presente nel microcontrollore. Questo è necessario per eseguire il controllo a loop chiuso sull'uscita;
8. due pulsanti collegati a due pin di ingresso del microcontrollore, con i relativi componenti utili ad un corretto funzionamento. Utili a ottenere un controllo manuale a loop aperto in fase di sperimentazione del circuito.

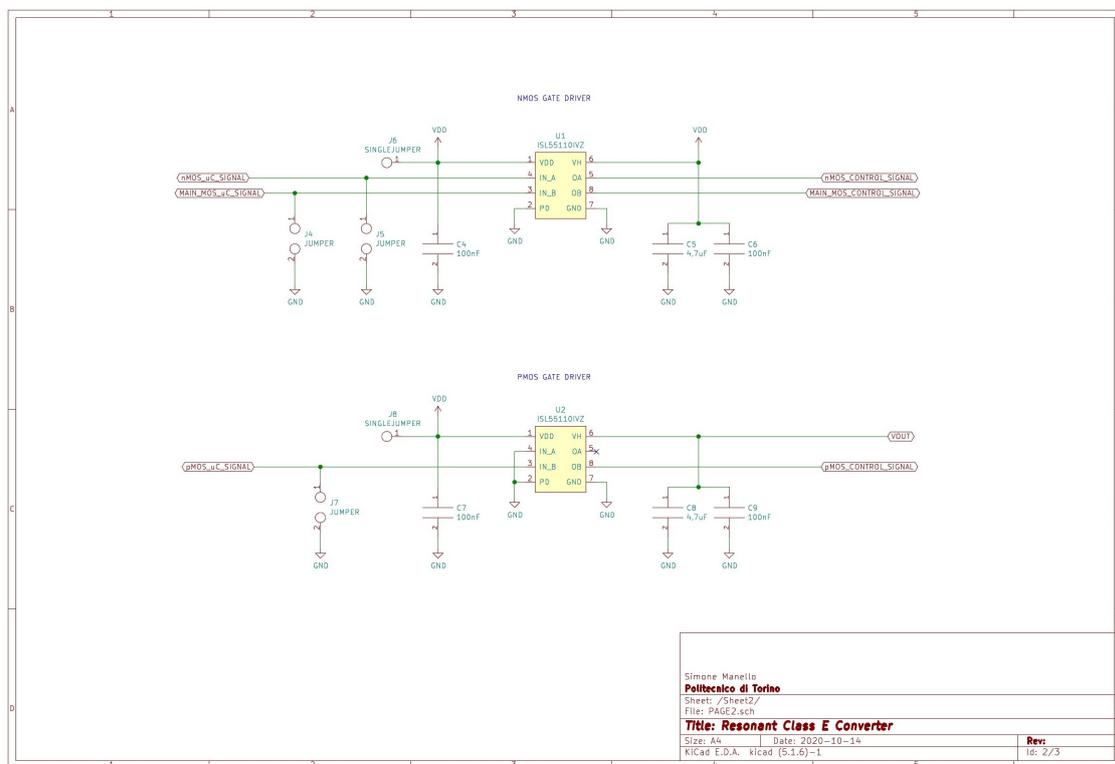


Figura 4.2. Pagina 2 dello schema elettrico completo

In Figura 4.2 viene riportata la seconda pagina dello schema elettrico, contenente i gate-driver necessari a pilotare correttamente tutti e tre i transistor. Poiché, il livello di tensione alto fornito in uscita dal microcontrollore è appena sufficiente a superare la tensione di soglia dei transistor, inoltre la massima corrente erogata non è abbastanza elevata per accendere velocemente i transistor. In aggiunta, essendo il transistor a canale-p in configurazione high-side, sarebbe impossibile pilotarlo senza

sfruttare un circuito di gate driver. Per completezza, il circuito interno di questi componenti viene mostrato in Figura 4.3. Come si può facilmente notare sono presenti due canali per ogni dispositivo. Di conseguenza, i due transistor a canale-n vengono pilotati entrambi dallo stesso gate-driver, chiamato  $U1$  in Figura 4.2. I due segnali ai suoi pin di ingressi provengono direttamente dal microcontrollore e hanno una dinamica che va da  $0V$  a  $3,3V$ . Il pin  $VH$  viene collegato a  $V_{in}$  (ovvero a  $5V$ ) e permette di ottenere una dinamica che va da  $0V$  a  $5V$  per i due segnali che vengono generati in uscita, che vanno a pilotare i gate dei transistor  $nMOS_1$  e  $nMOS_2$ . Mentre, il transistor a canale-p necessita di un gate driver dedicato, chiamato  $U2$  in in Figura 4.2. Poiché, la dinamica richiesta del segnale in uscita va da  $0V$  a  $10V$ , ovvero deve raggiungere la tensione di uscita in modo da pilotare correttamente il transistor  $pMOS_1$  (che si trova in una configurazione high-side). Per garantire ciò il pin  $VH$  viene collegato a  $V_{out}$  (ovvero  $10V$ ). Il segnale di ingresso, come in precedenza, proviene dal microcontrollore e presenta una dinamica di  $0V - 3,3V$ . Il secondo pin di ingresso, che in questo caso non serve, viene collegato a ground. Infine, il pin PD serve per il power-dow ed è attivo alto. Siccome in questo progetto lo spegnimento di questi dispositivi non è necessario, il pin PD viene collegato a ground. Tutti i condensatori di bypass presenti sono stati selezionati secondo quanto specificato sul datasheet dei componenti. Vengono, inoltre, collegati dei jumper ai segnali provenienti dal microcontrollore che possono essere utili in fase di sperimentazione.

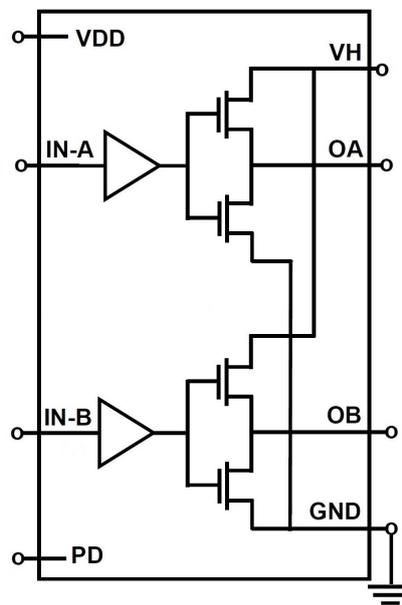


Figura 4.3. Circuito interno dei gate-driver

Nella Figura 4.4 è possibile osservare l'ultima e più importante pagina dello schema, nella quale è presente il circuito vero e proprio frutto della precedente progettazione. Rispetto al circuito base visto in precedenza sono stati aggiunti dei condensatori in ingresso e in uscita per stabilizzare le due tensioni e ridurre la presenza di ripple. I componenti chiamati con la sigla *MP* non sono altro che delle semplici piazzole di rame che verranno stampate sul *PCB* per permettere di misurare facilmente e in modo più accurato i segnali utili, come ad esempio le tensioni ai capi delle resistenze di sensing che permettono di ottenere indirettamente le correnti che scorrono nei vari rami. Infine, si può notare come siano stati inseriti tre condensatori in parallelo al posto di dei singoli  $C_{inv1}$ ,  $C_{inv2}$ ,  $C_{rec1}$  e  $C_{rec2}$ , questo perché in commercio non sono disponibili i valori ideali provenienti dal calcolo teorico fatto in precedenza ed è quindi necessario avvicinarsi il più vicino possibile a questi valori collegando in parallelo più condensatori appartenenti alla serie *E12*.

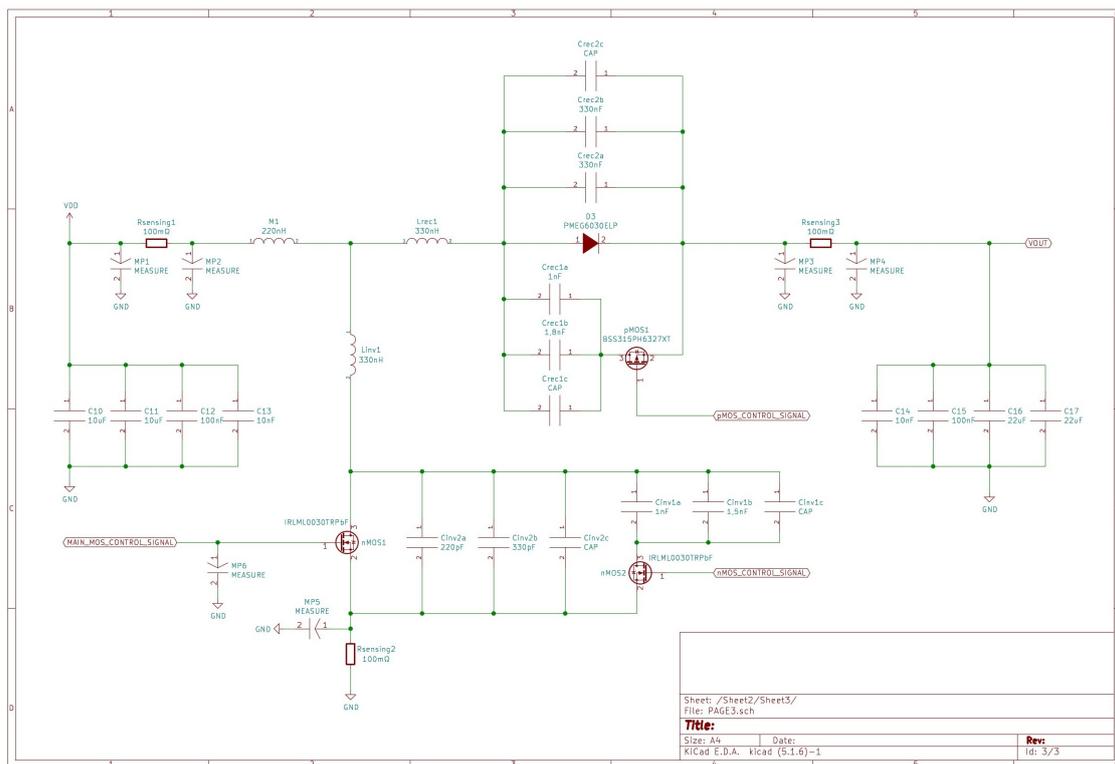


Figura 4.4. Pagina 3 dello schema elettrico completo

## 4.2 Circuito stampato

Per ogni componente presente nel circuito è stato disegnato il relativo footprint, utilizzando l'apposito tool messo a disposizione in *KiCad*. Dopo aver associato ogni impronta al corrispettivo componente nello schema elettrico, è possibile procedere con la progettazione del layout del circuito stampato e di conseguenza tracciare tutte le piste che collegano i vari componenti tra di loro. Uno dei principali limiti che riguarda il layout è la posizione dei due connettori che collegheranno il *PCB* alla scheda NUCLEO-F334R8, tuttavia lo spazio che intercorre tra questi due connettori è più che sufficiente a contenere il resto del circuito. In aggiunta, non ci sono particolari limitazioni di spazio lungo i restanti 2 lati.

Si è deciso di creare un piano di massa su entrambi i layer del circuito, che successivamente vengono collegati in modo opportuno attraverso dei vias sparsi per la scheda e grazie ai fori metallizzati necessari per collegare a ground i componenti through-hole. Per quanto possibile, si è cercato di tracciare le piste di collegamento tra i componenti principalmente sul layer superiore in modo da non tagliare troppo il piano di ground inferiore. In questo modo si evita di creare delle isole non connesse e di ostacolare il percorso della corrente di ritorno.

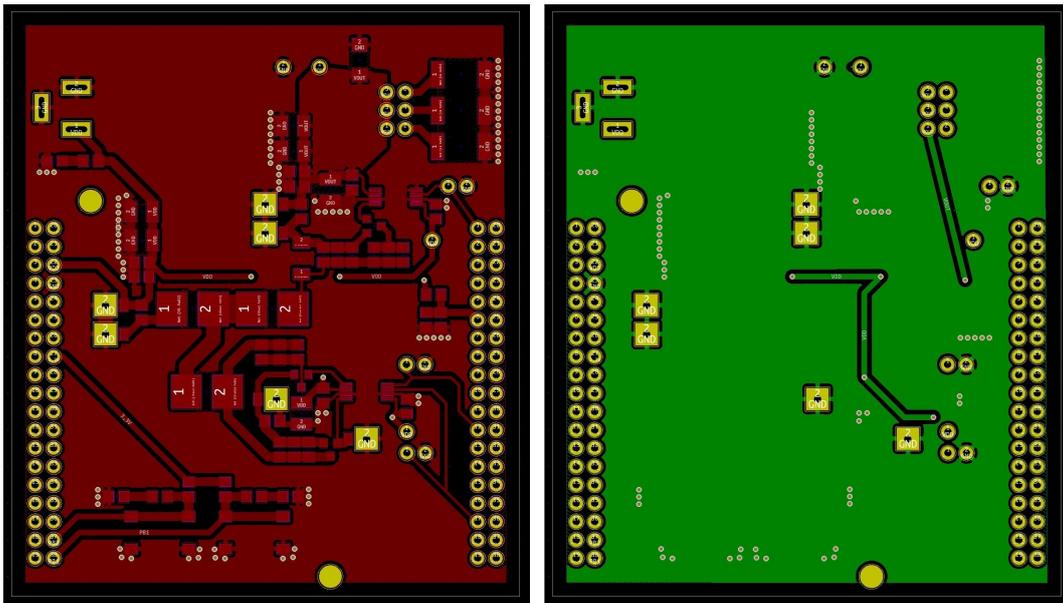


Figura 4.5. Layout del circuito stampato, rispettivamente quello superiore a sinistra e quello inferiore a destra

Nella Figura 4.5 vengono mostrati, rispettivamente, a sinistra il layer superiore e a destra il layer inferiore. In entrambi, risulta facile distinguere le piste di collegamento dai piani di massa ed è possibile notare come nel layer inferiore siano state

tracciate solamente due piste, mentre tutte le altre sono state poste nel layer superiore. Per una migliore visualizzazione grafica in Figura 4.6 vengono evidenziate le tracce che collegano i vari componenti, grazie alla possibilità di nascondere i piani di massa.

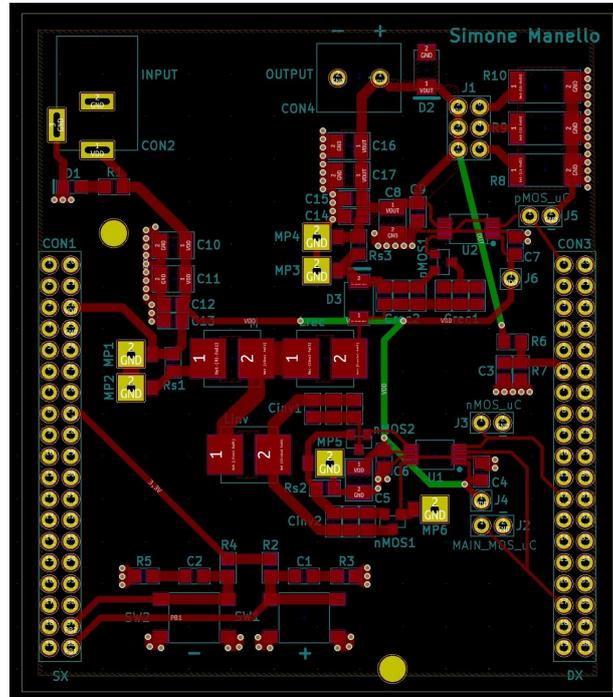


Figura 4.6. Layout delle tracce con entrambi i piani di massa nascosti

Vengono anche praticati due fori passanti non metallizzati per permettere di fissare saldamente il PCB alla scheda sulla quale è presente il microcontrollore (anch'essa fornita degli stessi fori) attraverso delle viti da  $3mm$  di diametro. Infine, si può notare come gli induttori (che sono tra i componenti più ingombranti) siano stati posizionati il più vicino possibile tra loro, in modo da minimizzare le induttanze parassite generate dalle piste. Poiché, è possibile dimostrare che l'induttanza parassita associata alle piste è direttamente proporzionale alla loro lunghezza. Al contempo, è anche possibile dimostrare che l'induttanza parassita associata ad una pista è inversamente proporzionale alla larghezza della stessa, per cui questa larghezza è stata massimizzata dove possibile. La dimensione totale della scheda finita risulta essere di  $81mm$  di lunghezza per  $70mm$  di larghezza.

Successivamente, sono stati inseriti in *KiCad* tutti i modelli 3D dei componenti selezionati, per ottenere un modello accurato di come sarà il PCB quando verrà effettivamente realizzato. In Figura 4.7 viene riportato il risultato ottenuto, più precisamente a sinistra viene mostrata una visuale frontale del circuito, mentre a

destra quella del lato inferiore. Nella Figura 4.8 è possibile osservare una visuale in prospettiva del lato frontale, dalla quale è possibile intuire meglio la profondità dei vari componenti.

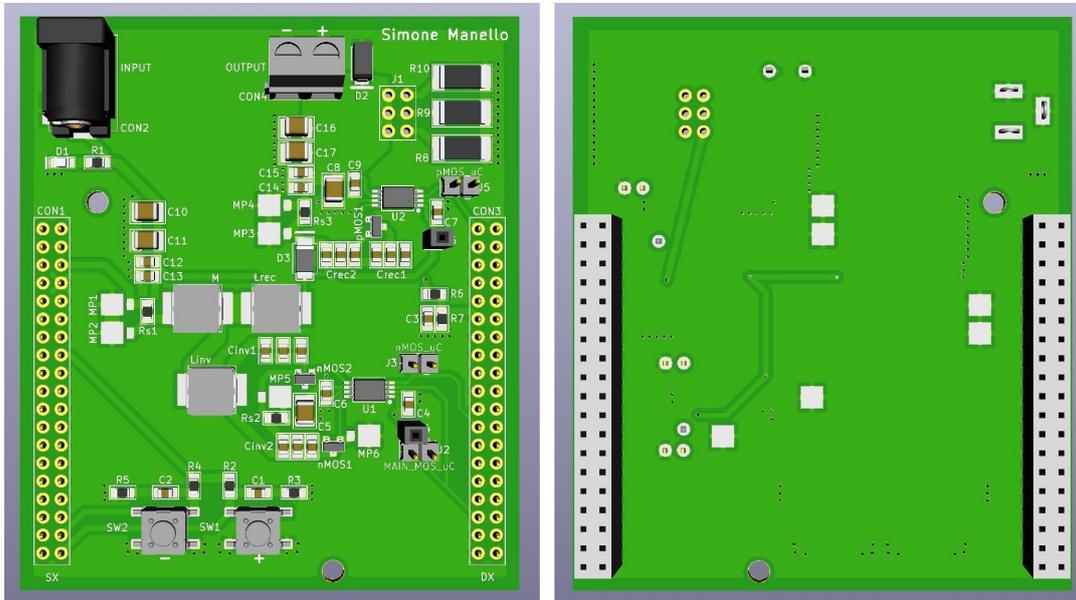


Figura 4.7. Modello 3D del circuito stampato finale, rispettivamente una visuale superiore a sinistra e inferiore a destra

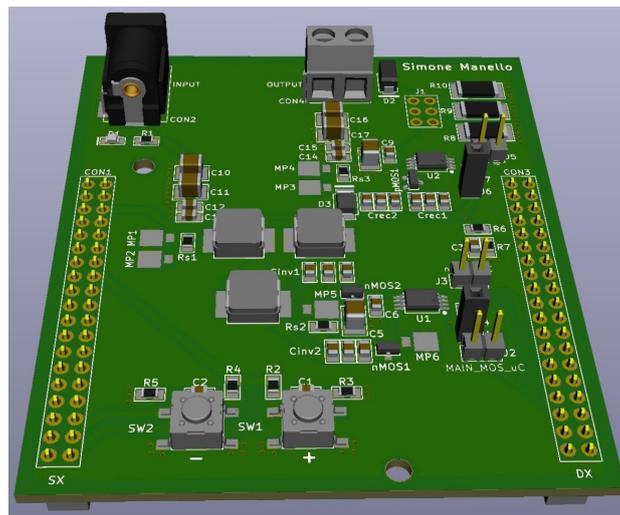


Figura 4.8. Visuale in prospettiva del modello 3D del circuito stampato finale

## 4.3 Software

A questo punto, si procede con lo sviluppo del codice di programmazione della scheda NUCLEO-F334R8 in modo da gestire tutti i segnali di pilotaggio dei transistor come descritto in precedenza. Successivamente, si passa al codice relativo al controllo a loop aperto (ovvero tramite i pulsanti), essenziale in fase di sperimentazione. Infine, viene generato il codice associato al controllo a loop chiuso (ovvero tramite l'ADC). Tutto il codice sviluppato viene riportato in Appendice B.

Sono stati utilizzati tre dei cinque HRTIM disponibili, nello specifico TimerA, TimerB e TimerE. Il timer A viene utilizzato per generare il segnale che controlla il transistor a canale-n  $nMOS2$ . Inoltre, viene impiegato per chiamare due interrupt in modo da gestire il cambio della frequenza del segnale che pilota il transistor principale  $nMOS1$ . Il segnale che pilota  $nMOS1$  è stato realizzato sfruttando il TimerB. Quando un interrupt viene ricevuto la routine software va a cambiare il valore del periodo del segnale, mantenendo costante il duty cycle al 30%. Infine, il TimerE viene utilizzato per produrre il segnale necessario al corretto funzionamento del transistor a canale-p  $pMOS1$ . I segnali generati dal TimerA e dal TimerE avranno lo stesso periodo e lo stesso duty cycle, tuttavia saranno di polarità opposta. Uno degli aspetti più complessi del programma è quello della gestione dalla sincronizzazione di tutti questi segnali, soprattutto con il cambio della frequenza.

Si è deciso di impostare al TimerA e al TimerE un periodo di  $25\mu s$ , pari a  $40kHz$ . Quando il sistema viene acceso il circuito viene fatto lavorare per il 50% del tempo ad una frequenza e il restante 50% all'altra, quindi, come nelle simulazioni precedenti si vedranno 50 impulsi alla frequenza  $f_{s1}$  e 100 impulsi alla frequenza  $f_{s2}$  (più che sufficienti a mandare il circuito a regime ad entrambe le frequenze). Questo impone anche la banda massima alla quale può funzionare il controllo in retroazione.

Quando il pulsante  $SW1$  viene premuto si scatena un interrupt, con priorità meno elevata rispetto a quelli chiamati dal TimerA, e i duty cycle dei segnali generati da TimerA e da TimerE vengono aumentati dell'1%. Questo corrisponde esattamente a ritardare i fronti, di discesa per il TimerA e di salita per il TimerE di  $250ns$ . Di conseguenza rispetto al caso precedente viene realizzato un impulso in più alla frequenza di  $4MHz$  e due in meno alla frequenza di  $8MHz$ . Viceversa, quando si preme il pulsante  $SW2$  viene generato un interrupt che diminuisce del 1% il duty cycle, di conseguenza vengono realizzati due impulsi in più alla frequenza di  $8MHz$  e uno in meno alla frequenza di  $4MHz$ .

Infine, ogni  $100ms$  l'ADC legge il valore della tensione in uscita per realizzare un controllo in retroazione a loop chiuso, regolando l'uscita al livello di tensione desiderato. Se questa tensione è superiore a  $10V$  il software diminuisce del 1% il duty cycle dei segnali generati da TimerA e da TimerE fino a quando non vengono raggiunti i  $10V$ . Viceversa se la tensione in uscita è inferiore a  $10V$  il software aumenta del 1% il duty cycle fino al raggiungimento della tensione desiderata.



# Capitolo 5

## Sperimentazione

### 5.1 Introduzione

Dopo aver assemblato il PCB è possibile collegare il circuito alla scheda programmabile e procedere con le varie misure. Il circuito viene inizialmente fatto lavorare al 50% ad ognuna delle due frequenze come nelle simulazioni *SPICE* fatte in precedenza. Per testare il circuito, come carico viene utilizzato un potenziometro da  $250\Omega$  (in grado di assorbire  $4W$ ) collegato in serie ad una resistenza da  $100\Omega$ , in modo da impedire al carico di raggiungere valori troppo bassi e rischiare un cortocircuito. Quindi il carico può essere fatto variare da un minimo di  $100\Omega$  ad un massimo di  $350\Omega$ , anche se la dinamica utile ad analizzare il circuito in esame è solamente  $100 - 200\Omega$ . Per ottenere  $10V$  in uscita con il circuito che lavora al 50% è necessario avere un carico a metà di questa dinamica, con l'ausilio di un multimetro digitale utilizzato come ohmmetro viene impostato il carico a  $150\Omega$ . Tutte le misure vengono prima eseguite con il controllo a loop aperto (ovvero con il controllo manuale attraverso i pulsanti presenti sul circuito stampato) e solo successivamente, verificato che tutto funziona correttamente, si procederà con il test a loop chiuso. Nella Figura 5.1 è possibile vedere un'immagine del circuito sotto esame, alimentato e con il carico collegato.

Per prima cosa, vengono visualizzate con l'oscilloscopio le forme d'onda all'uscita dei gate driver. È stato necessario compensare via software i diversi ritardi introdotti tra l'ingresso e l'uscita dai gate driver in modo che le forme d'onda siano perfettamente sincronizzate all'uscita di questi dispositivi e quindi sui gate dei transistor. I risultati ottenuti dopo la compensazione vengono mostrati nelle Figure 5.2 e 5.3, dove si può osservare come i segnali siano correttamente sincronizzati tra loro. In Figura 5.2 vengono visualizzate le forme d'onda dei segnali che pilotano rispettivamente il transistor a canale-p *pMOS1* in giallo (*CH1*) e il transistor a canale-n *nMOS2* in azzurro (*CH2*), per entrambi i canali è stata impostata una risoluzione verticale di  $2V/div$ , mentre la risoluzione orizzontale è stata impostata a  $5\mu s/div$ . In questo modo è possibile calcolare la frequenza di commutazione di

questi segnali, il duty cycle e la tensione di picco. Per il segnale in giallo (sul canale CH1) dell'oscilloscopio viene misurata una frequenza di  $39,99\text{KHz}$  e un duty cycle del 50%, con una dinamica di circa  $0 - 10\text{V}$ . Anche per il segnale in azzurro (sul canale CH2) si ottengono una frequenza di  $40\text{KHz}$  e un duty cycle del 50%, mentre la dinamica del segnale è di circa  $0 - 5\text{V}$ . Questi valori sono esattamente quelli desiderati in fase di progetto e utili a pilotare correttamente i transistor.

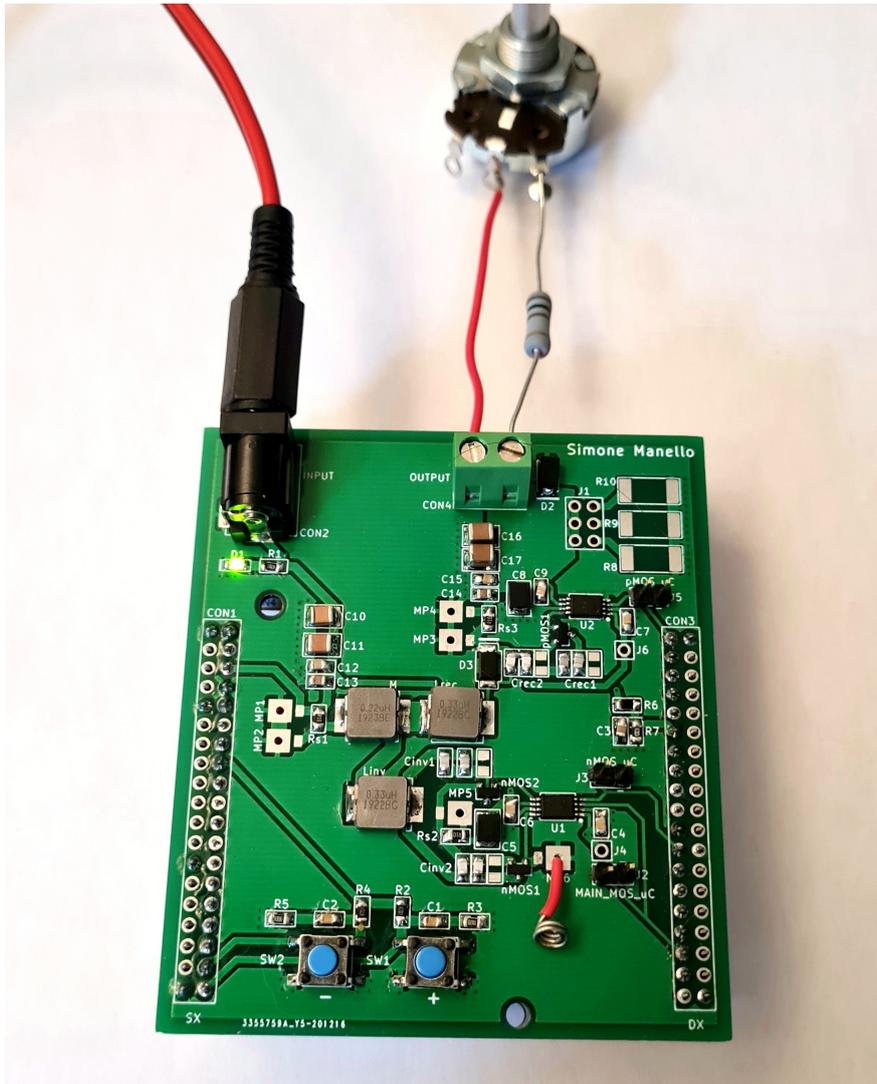


Figura 5.1. Immagine del circuito durante i test

Inoltre, è possibile notare come sul segnale azzurro sia presente un rumore, dovuto al fatto che esso viene generato dallo stesso gate-driver adibito alla realizzazione del segnale ad alta frequenza (che pilota il transistor  $nMOS1$ ). Malgrado ciò, il

problema è trascurabile e non va ad influenzare il corretto funzionamento del sistema. Poiché l'oscilloscopio in uso dispone solamente di due canali non è possibile visualizzare tutti e tre i segnali di pilotaggio in una sola immagine. In Figura 5.3 viene riportato in azzurro il segnale ad alta frequenza che va a pilotare il gate del transistor  $nMOS1$ , mentre in giallo viene nuovamente mostrato il segnale che pilota il transistor a canale-p  $pMOS1$ . In questo caso la risoluzione verticale del canale CH2 è stata impostata a  $1V/div$  e quella del canale CH1 lasciata a  $2V/div$ . Inoltre, la risoluzione orizzontale è stata impostata a  $100ns/div$ , poiché una visualizzazione più ampia risulterebbe di difficile comprensione. Da questa immagine è possibile vedere il punto in cui cambia la frequenza del segnale, che avviene in modo sincronizzato rispetto al segnale sul canale CH1 (utilizzato come trigger). Vengono calcolate entrambe le frequenze e il duty cycle del segnale in azzurro, ottenendo  $4MHz$  e  $8MHz$  con un duty cycle del 30% per entrambe. Anche in questo è possibile calcolare la dinamica del segnale, che risulta di circa  $0 - 5V$ . Come si può notare le forme d'onda non sono più onde quadre ma vengono deformate con dei ripple sia sul fronte di salita che su quello di discesa ad entrambe le frequenze. Questo, tuttavia, non preclude il corretto funzionamento del circuito. Tutti i risultati ottenuti sono molto soddisfacenti e permettono di pilotare nel modo corretto tutti e tre i transistor.

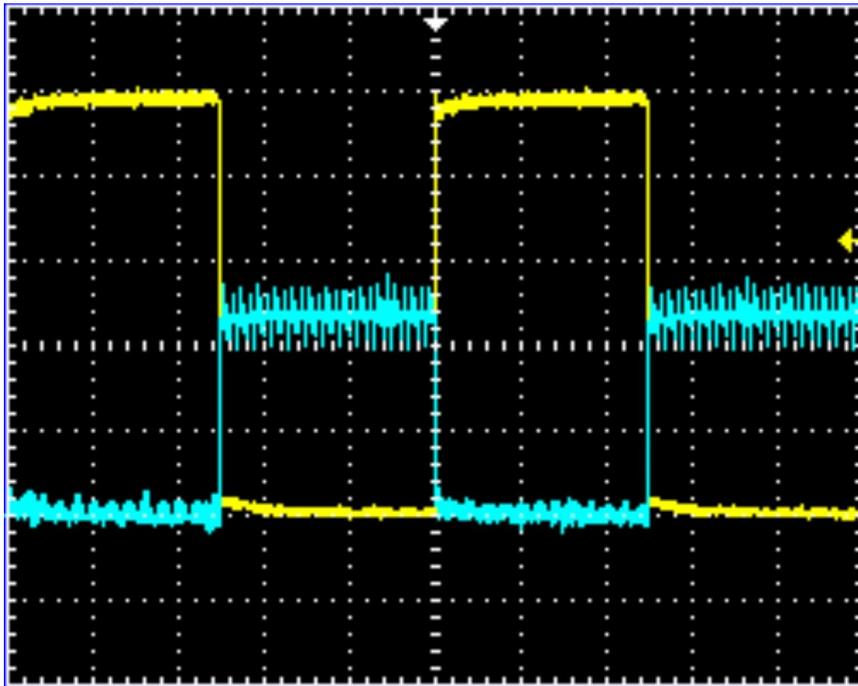


Figura 5.2. Immagine delle forme d'onda visualizzate sull'oscilloscopio rispettivamente al gate di  $pMOS1$  in giallo e al gate do  $nMOS2$  in azzurro

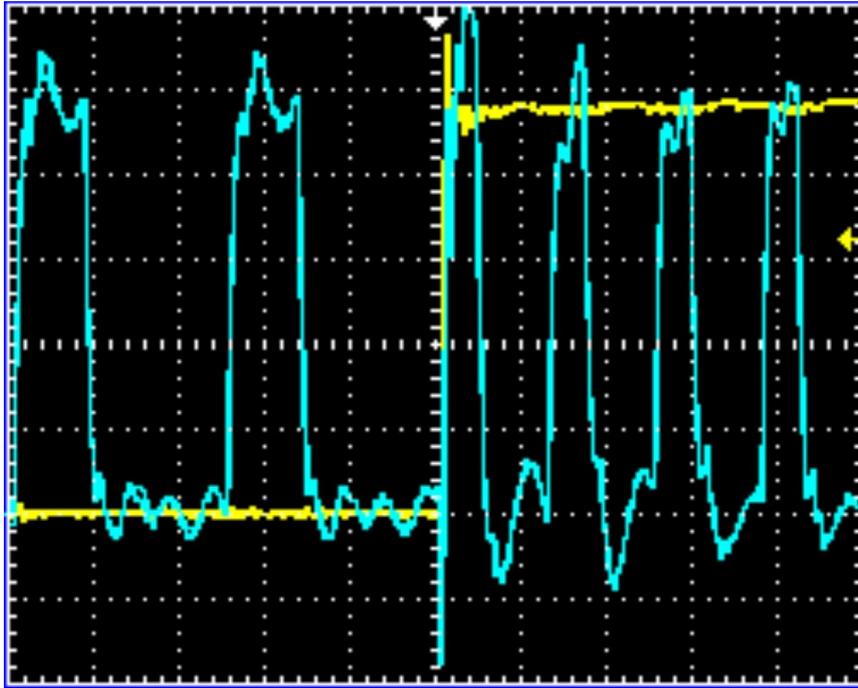


Figura 5.3. Immagine delle forme d'onda visualizzate sull'oscilloscopio rispettivamente al gate di  $pMOS1$  in giallo e al gate di  $nMOS1$  in azzurro

## 5.2 Misure sul circuito ad anello aperto

Una volta alimentato il circuito e stabilito che tutti i transistor vengono pilotati in modo adeguato, attraverso il multimetro impostato su voltmetro è stata misurata la tensione in uscita, ottenendo circa  $11V$ . A questo punto è possibile regolare questa tensione al valore desiderato premendo i pulsanti  $SW1$  e  $SW2$ , che come descritto in precedenza controllano il duty cycle dei segnali sul gate dei transistor  $nMOS2$  e  $pMOS1$  e controllano il cambio della frequenza di switch del segnale sul gate del transistor  $nMOS1$ . Una volta raggiunti i  $10V$  in uscita, con questo controllo manuale è possibile far variare il carico e inseguire la tensione desiderata. Nella Figura 5.4 viene visualizzata la forma d'onda della tensione  $V_{DS}(t)$  in azzurro, mentre in giallo ancora una volta viene riportato il segnale che pilota il transistor  $pMOS1$ . Per questa misura la scala verticale del canale CH1 è stata impostata a  $2V/div$  e quella del canale CH2 a  $5V/div$ . Mentre la sensibilità orizzontale è stata settata su  $100ns/div$ . Come nelle simulazioni fatte in precedenza, il valore di picco della tensione  $V_{DS}(t)$  è di circa  $13V$ . Questo risultato è molto importante e il circuito si comporta esattamente come da previsto. Dopodiché, sfruttando le resistenze di sensing è possibile ottenere indirettamente il valore della corrente che gli scorre attraverso, misurando la differenza di potenziale ai loro capi. Per prima

cosa, si misura sul circuito funzionante a doppia frequenza nelle stesse condizioni delle simulazioni precedenti, ottenendo:

$$I_{in} = 198mA \quad I_{out} = 72mA$$

ottenendo un'efficienza pari a  $\eta = 73\%$ .

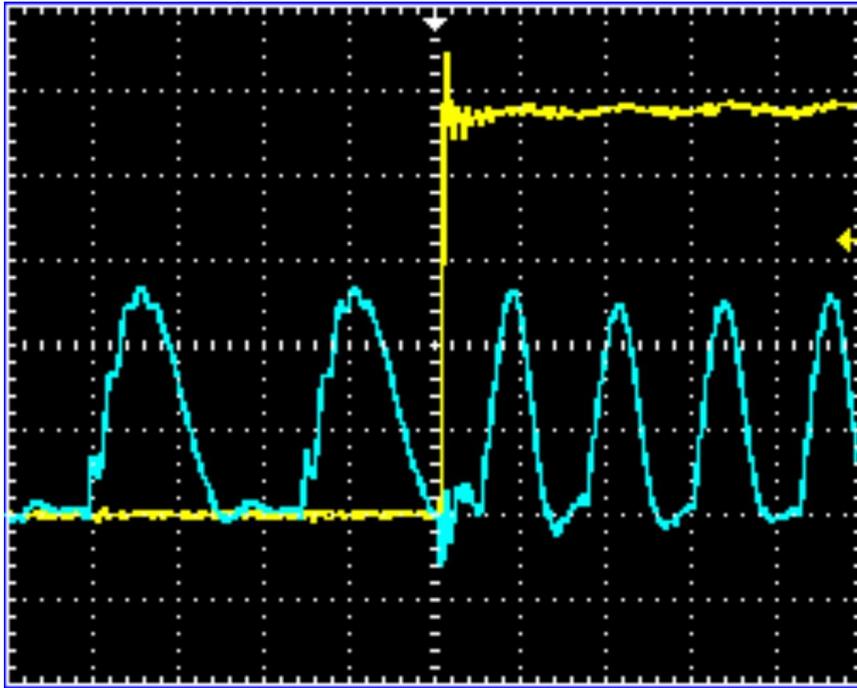


Figura 5.4. Immagine della forma d'onda visualizzata sull'oscilloscopio sul gate di  $nMOS1$  per il circuito funzionante a doppia frequenza

Successivamente, si ripete lo stesso procedimento alle singole frequenze di  $4MHz$  e  $8MHz$ , ottenendo:

$$\begin{cases} I_{in|4MHz} = 270mA \\ I_{out|4MHz} = 95mA \end{cases} \quad \begin{cases} I_{in|8MHz} = 126mA \\ I_{out|8MHz} = 47mA \end{cases}$$

È stata calcolata anche a queste frequenze l'efficienza:

$$\begin{cases} \eta_{4MHz} = 70\% \\ \eta_{8MHz} = 75\% \end{cases}$$

Infine, viene misurata anche alle singole frequenze la tensione  $V_{DS}(t)$  ai capi del transistor  $nMOS1$ , grazie all'oscilloscopio. I risultati ottenuti vengono riportati

rispettivamente in Figura 5.5 per la frequenza di  $4MHz$  e in Figura 5.6 per la frequenza di  $8MHz$ . In entrambe le misure è stata utilizzata una scala verticale di  $2V/div$ , mentre la scala orizzontale è stata impostata su  $100ns/div$  per la frequenza di più bassa e su  $50ns/div$  per la frequenza più alta.

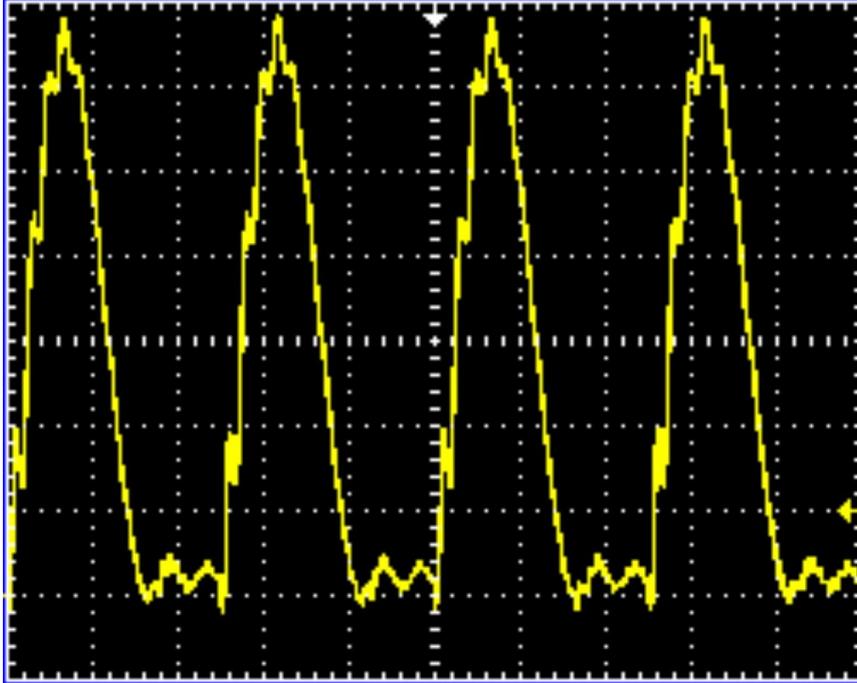


Figura 5.5. Immagine della forma d'onda visualizzata sull'oscilloscopio sul gate di  $nMOS1$  per il circuito funzionante a  $4MHz$

### 5.3 Misure sul circuito ad anello chiuso

Una volta stabilito che il circuito funziona correttamente è possibile inserire il controllo a loop chiuso sfruttando l'ADC del microcontrollore. Tramite l'interfaccia seriale è possibile visualizzare da PC il valore digitale della tensione convertita dall'ADC, in questo modo è chiaramente visibile la variazione della tensione di uscita al variare del carico e la conseguente regolazione che viene gestita dal convertitore per stabilizzare nuovamente la tensione al valore desiderato. Anche in questo caso il circuito soddisfa le aspettative e tutte le misure sono state ripetute, con risultati identici al caso con loop aperto. Tuttavia, sviluppando ulteriormente il codice sarebbe possibile aumentare ulteriormente la banda del controllo rendendo il circuito più reattivo ad un eventuale variazione nell'uscita. Anche per quanto riguarda l'efficienza del circuito, risulta pressoché invariata rispetto al caso ad anello aperto.

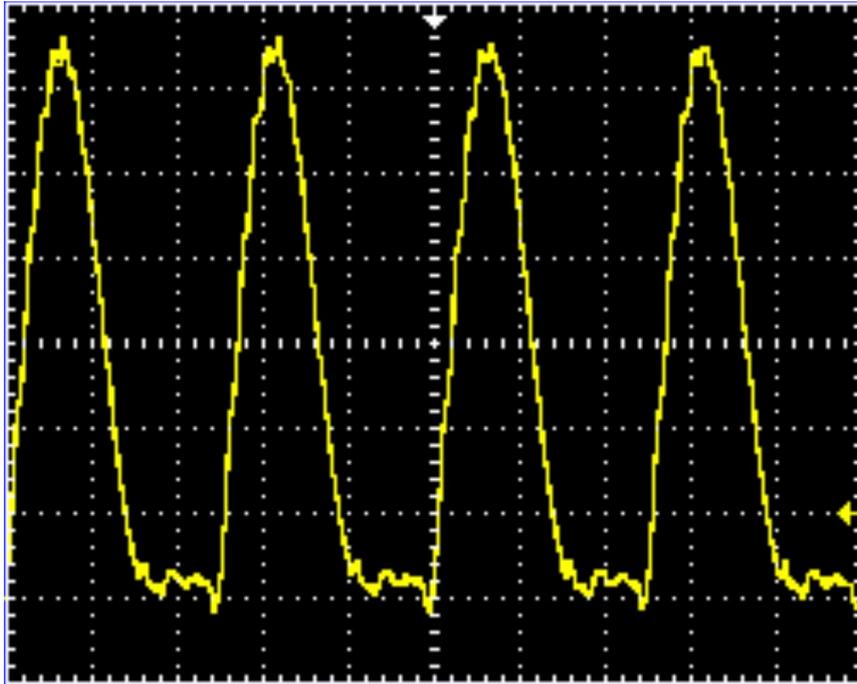


Figura 5.6. Immagine della forma d'onda visualizzata sull'oscilloscopio sul gate di  $nMOS1$  per il circuito funzionante a  $8MHz$

## 5.4 Conclusioni

In conclusione il circuito si comporta come desiderato, raggiungendo gli obiettivi prefissati sia in termini di potenza in uscita che di efficienza energetica. Questi risultati a frequenze così elevate sarebbero impossibili da raggiungere per un convertitore DC-DC convenzionale. Tutto ciò, dimostra come i convertitori in classe E garantiscano vantaggi enormi, nonostante la progettazione sia decisamente più complessa. Inoltre, la teoria del controllo a doppia frequenza è efficace e permette la regolazione della tensione di uscita rispetto alle variazioni del carico mantenendo l'obiettivo dell'efficienza. Con ulteriori sviluppi questi innovativi convertitori potranno rivoluzionare i convertitori attuali ed essere utilizzati per moltissime applicazioni in sistemi che richiedono ingombri ridotti ed elevata efficienza.



# Appendice A

## Lista materiale

Riferimento	Valore	n°	Codice produttore	Codice Mouser
<i>CON1, CON3</i>	CONNECTOR	2	SSW-119-01-G-D	200-SSW11901GD
<i>CON2</i>	INPUT CON	1	694108301002	710-694108301002
<i>CON4</i>	OUTPUT CON	1	282836-2	571-2828362
<i>D1</i>	LED	1	HSMR-C170-R0000	630-HSMR-C170-R0000
<i>D2</i>	Diode Zener	1	CMZ5928B TR13 PBFREE	610-CMZ5928B
<i>D3</i>	Diode	1	PMEG6030ELPX	771-PMEG6030ELPX
<i>M</i>	220nH	1	IHLP2525CZERR22M01	70-IHLP2525CZERR22M1
<i>Linu, Lrec</i>	330nH	2	IHLP2525CZERR33M01	70-IHLP2525CZERR33M1
<i>U1, U2</i>	Gate driver	2	ISL55110IVZ	968-ISL55110IVZ
<i>nMOS1, nMOS2</i>	nMOS	2	IRLML0030TRPbF	942-IRLML0030TRPBF
<i>pMOS1</i>	pMOS	1	BSS315PH6327XTSA1	726-BSS315PH6327
<i>R1</i>	82Ω	1	CRCW080582R0FKEAC	71-CRCW080582R0FKEAC
<i>R2, R4</i>	4,7kΩ	2	CRCW08054K70FKEAC	71-CRCW08054K70FKEAC
<i>R3, R5</i>	100Ω	2	CRCW0805100RFKEAC	71-CRCW0805100RFKEAC
<i>R6</i>	390kΩ	1	CRCW0805390KFKEA	71-CRCW0805390KFKEA
<i>R7</i>	100kΩ	1	CRCW0805100KFKEAC	71-CRCW0805100KFKEAC
<i>R8</i>	100Ω	1	CRCW2512100RJNEGHP	71-CRCW2512100RJNEGH
<i>R9</i>	150Ω	1	CRCW2512150RJNEG	71-CRCW2512J-150-E3
<i>R10</i>	200Ω	1	CRCW2512200RJNEG	71-CRCW2512J-200-E3
<i>Rs1, Rs2, Rs3</i>	100mΩ	3	WSL0805R1000DEA	71-WSL0805R1000DEA
<i>C1, C2, C4, C6</i>	100nF	4	08055C104J4Z4A	581-08055C104J4Z4A
<i>C7, C9, C12, C15</i>	100nF	4	08055C104J4Z4A	581-08055C104J4Z4A
<i>C3</i>	47nF	1	08055C473JAT4A	581-08055C473JAT4A
<i>C5, C8</i>	4,7nF	2	TCJB475M035R0200E	581-TCJB475M035R200E
<i>C10, C11</i>	10μF	2	12103C106KAT2A	581-12103C106KAT2A
<i>C13, C14</i>	10nF	2	08055C103JAT2A	581-08055C103J
<i>C16, C17</i>	22μF	2	12103D226MAT2A	581-12103D226MAT2A
<i>Cinv1a, Crecl1a</i>	1nF	2	C0805C102J5GAC7210	80-C0805C102J5G7210
<i>Cinv1b</i>	1,5nF	1	C0805C152J5GACTU	80-C0805C152J5G
<i>Cinv2a</i>	220pF	1	C0805C221J5GAC	80-C0805C221J5GAC
<i>Cinv2b</i>	330pF	2	C0805C331J5GAC	80-C0805C331J5GAC
<i>Crecl1b</i>	1,8nF	1	C0805C182J5GACTU	80-C0805C182J5G
<i>Crec2a, Crec2b</i>	330pF	1	C0805C331J5GAC	C0805C331J5GAC
<i>SW1, SW2</i>	Push button	2	PTS645SM43SMTR92LFS	611-PTS645SM43SMTR92
<i>J1</i>	JUMPER3x2	1	TSW-103-07-G-D	200-TSW10307GD
<i>J2, J3, J5</i>	JUMPER1x2	3	TSW-102-07-G-S	200-TSW10207GS
<i>J4, J6</i>	SINGLEJUMPER	2	SSW-101-01-G-S	200-SSW10101GS



# Appendice B

## Software

```
/* USER CODE BEGIN Header */
/**
 * @file      : main.c
 * @brief     : Main program body
 * @attention
 *
 * <h2><center>&copy; Copyright (c) 2021 STMicroelectronics.
 * All rights reserved.</center></h2>
 *
 * This software component is licensed by ST under BSD 3-Clause license,
 * the "License"; You may not use this file except in compliance with the
 * License. You may obtain a copy of the License at:
 *          opensource.org/licenses/BSD-3-Clause
 *
 */
/* USER CODE END Header */
/* Includes -----*/
#include "main.h"

/* Private includes -----*/
/* USER CODE BEGIN Includes */
#include <string.h>
#include <stdio.h>
/* USER CODE END Includes */

/* Private typedef -----*/
/* USER CODE BEGIN PTD */

/* USER CODE END PTD */

/* Private define -----*/
/* USER CODE BEGIN PD */
/* USER CODE END PD */

/* Private macro -----*/
/* USER CODE BEGIN PM */

/* USER CODE END PM */

/* Private variables -----*/
```

```

ADC_HandleTypeDef hadc2;

HRTIM_HandleTypeDef hhrtim1;

UART_HandleTypeDef huart2;

/* USER CODE BEGIN PV */

/* USER CODE END PV */

/* Private function prototypes -----*/
void SystemClock_Config(void);
static void MX_GPIO_Init(void);
static void MX_HRTIM1_Init(void);
static void MX_USART2_UART_Init(void);
static void MX_ADC2_Init(void);
/* USER CODE BEGIN PFP */

/* USER CODE END PFP */

/* Private user code -----*/
/* USER CODE BEGIN 0 */
uint16_t pulse = 28800;
uint8_t flag = 0;

/* USER CODE END 0 */

/**
 * @brief The application entry point.
 * @retval int
 */
int main(void) {
  /* USER CODE BEGIN 1 */
  char msg[10];
  uint16_t value;
  /* USER CODE END 1 */

  /* MCU Configuration -----*/

  /* Reset of all peripherals, Initializes the Flash interface and the Systick. */
  HAL_Init();

  /* USER CODE BEGIN Init */

  /* USER CODE END Init */

  /* Configure the system clock */
  SystemClock_Config();

  /* USER CODE BEGIN SysInit */

  /* USER CODE END SysInit */

  /* Initialize all configured peripherals */
  MX_GPIO_Init();
  MX_HRTIM1_Init();
  MX_USART2_UART_Init();
  MX_ADC2_Init();
  /* USER CODE BEGIN 2 */
  HAL_HRTIM_WaveformOutputStart(&hhrtim1,
    HRTIM_OUTPUT_TA1 + HRTIM_OUTPUT_TB1 + HRTIM_OUTPUT_TE2);
  HAL_HRTIM_WaveformCountStart_IT(&hhrtim1,
    HRTIM_TIMERID_TIMER_A + HRTIM_TIMERID_TIMER_E

```

```

        + HRTIM_TIMERID_TIMER_B);
HAL_ADCEx_Calibration_Start(&hadc2, ADC_SINGLE_ENDED);
value = 2048;
/* USER CODE END 2 */

/* Infinite loop */
/* USER CODE BEGIN WHILE */
while (1) {
    HAL_ADC_Start(&hadc2);
    HAL_ADC_PollForConversion(&hadc2, 1000);
    value = HAL_ADC_GetValue(&hadc2);
    sprintf(msg, "%hu \r \n", value);
    HAL_UART_Transmit(&huart2, (uint8_t*) msg, strlen(msg), HAL_MAX_DELAY);
    if (value > 2248) {
        if (pulse <= 37440) {
            pulse += 576; //un impulso a 4MHz sono 576 tick
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP1xR = pulse;
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP2xR = pulse
                - 6726;
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_E].CMP1xR = pulse;
            flag = 0;
        } else {
            if (flag == 0) {
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].CMP1xR = 192;
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].PERxR = 576;
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP1xR = 0;
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_E].CMP1xR = 0;
                flag = 1;
            }
        }
    }
    if (value < 1848) {
        if (pulse >= 17280) {
            pulse -= 576; //un impulso a 4MHz sono 576 tick
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP1xR = pulse;
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP2xR = pulse
                - 6726;
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_E].CMP1xR = pulse;
            flag = 0;
        } else {
            if (flag == 0) {
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].PERxR = 1152;
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].CMP1xR = 384;
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP1xR =
                    57600;
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_E].CMP1xR =
                    57600;
                flag = 1;
            }
        }
    }
    HAL_Delay(1000);
/* USER CODE END WHILE */

/* USER CODE BEGIN 3 */
}
/* USER CODE END 3 */
}

/**
 * @brief System Clock Configuration

```

```

* @retval None
*/
void SystemClock_Config(void) {
    RCC_OscInitTypeDef RCC_OscInitStruct = { 0 };
    RCC_ClkInitTypeDef RCC_ClkInitStruct = { 0 };
    RCC_PeriphCLKInitTypeDef PeriphClkInit = { 0 };

    /** Initializes the RCC Oscillators according to the specified parameters
    * in the RCC_OscInitTypeDef structure.
    */
    RCC_OscInitStruct.OscillatorType = RCC_OSCILLATORTYPE_HSE;
    RCC_OscInitStruct.HSEState = RCC_HSE_BYPASS;
    RCC_OscInitStruct.HSEPredivValue = RCC_HSE_PREDIV_DIV1;
    RCC_OscInitStruct.HSIState = RCC_HSI_ON;
    RCC_OscInitStruct.PLL.PLLState = RCC_PLL_ON;
    RCC_OscInitStruct.PLL.PLLSource = RCC_PLLSOURCE_HSE;
    RCC_OscInitStruct.PLL.PLLMUL = RCC_PLL_MUL9;
    if (HAL_RCC_OscConfig(&RCC_OscInitStruct) != HAL_OK) {
        Error_Handler();
    }
    /** Initializes the CPU, AHB and APB buses clocks
    */
    RCC_ClkInitStruct.ClockType = RCC_CLOCKTYPE_HCLK | RCC_CLOCKTYPE_SYSCLK
        | RCC_CLOCKTYPE_PCLK1 | RCC_CLOCKTYPE_PCLK2;
    RCC_ClkInitStruct.SYSClkSource = RCC_SYSCLKSOURCE_PLLCLK;
    RCC_ClkInitStruct.AHBCLKDivider = RCC_SYSCLK_DIV1;
    RCC_ClkInitStruct.APB1CLKDivider = RCC_HCLK_DIV2;
    RCC_ClkInitStruct.APB2CLKDivider = RCC_HCLK_DIV1;

    if (HAL_RCC_ClockConfig(&RCC_ClkInitStruct, FLASH_LATENCY_2) != HAL_OK) {
        Error_Handler();
    }
    PeriphClkInit.PeriphClockSelection = RCC_PERIPHCLK_HRTIM1
        | RCC_PERIPHCLK_ADC12;
    PeriphClkInit.Adc12ClockSelection = RCC_ADC12PLLCLK_DIV1;
    PeriphClkInit.Hrtim1ClockSelection = RCC_HRTIM1CLK_PLLCLK;
    if (HAL_RCCEx_PeriphCLKConfig(&PeriphClkInit) != HAL_OK) {
        Error_Handler();
    }
}

/**
 * @brief ADC2 Initialization Function
 * @param None
 * @retval None
 */
static void MX_ADC2_Init(void) {

    /* USER CODE BEGIN ADC2_Init 0 */

    /* USER CODE END ADC2_Init 0 */

    ADC_ChannelConfTypeDef sConfig = { 0 };

    /* USER CODE BEGIN ADC2_Init 1 */

    /* USER CODE END ADC2_Init 1 */
    /** Common config
    */
    hadc2.Instance = ADC2;
    hadc2.Init.ClockPrescaler = ADC_CLOCK_ASYNC_DIV1;
    hadc2.Init.Resolution = ADC_RESOLUTION_12B;
    hadc2.Init.ScanConvMode = ADC_SCAN_DISABLE;

```

```

hadc2.Init.ContinuousConvMode = DISABLE;
hadc2.Init.DiscontinuousConvMode = DISABLE;
hadc2.Init.ExternalTrigConvEdge = ADC_EXTERNALTRIGCONVEDGE_NONE;
hadc2.Init.ExternalTrigConv = ADC_SOFTWARE_START;
hadc2.Init.DataAlign = ADC_DATAALIGN_RIGHT;
hadc2.Init.NbrOfConversion = 1;
hadc2.Init.DMAContinuousRequests = DISABLE;
hadc2.Init.EOCSelection = ADC_EOC_SINGLE_CONV;
hadc2.Init.LowPowerAutoWait = DISABLE;
hadc2.Init.Overrun = ADC_OVR_DATA_OVERWRITTEN;
if (HAL_ADC_Init(&hadc2) != HAL_OK) {
    Error_Handler();
}
/** Configure Regular Channel
 */
sConfig.Channel = ADC_CHANNEL_2;
sConfig.Rank = ADC_REGULAR_RANK_1;
sConfig.SingleDiff = ADC_SINGLE_ENDED;
sConfig.SamplingTime = ADC_SAMPLETIME_1CYCLE_5;
sConfig.OffsetNumber = ADC_OFFSET_NONE;
sConfig.Offset = 0;
if (HAL_ADC_ConfigChannel(&hadc2, &sConfig) != HAL_OK) {
    Error_Handler();
}
/* USER CODE BEGIN ADC2_Init 2 */

/* USER CODE END ADC2_Init 2 */

}

/**
 * @brief HRTIM1 Initialization Function
 * @param None
 * @retval None
 */
static void MX_HRTIM1_Init(void) {

    /* USER CODE BEGIN HRTIM1_Init 0 */

    /* USER CODE END HRTIM1_Init 0 */

    HRTIM_TimeBaseCfgTypeDef pTimeBaseCfg = { 0 };
    HRTIM_TimerCfgTypeDef pTimerCfg = { 0 };
    HRTIM_CompareCfgTypeDef pCompareCfg = { 0 };
    HRTIM_OutputCfgTypeDef pOutputCfg = { 0 };

    /* USER CODE BEGIN HRTIM1_Init 1 */

    /* USER CODE END HRTIM1_Init 1 */
    hhrtim1.Instance = HRTIM1;
    hhrtim1.Init.HRTIMInterruptResquests = HRTIM_IT_NONE;
    hhrtim1.Init.SyncOptions = HRTIM_SYNCOPTION_NONE;
    if (HAL_HRTIM1_Init(&hhrtim1) != HAL_OK) {
        Error_Handler();
    }
    if (HAL_HRTIM1_DLLCalibrationStart(&hhrtim1, HRTIM_CALIBRATIONRATE_14)
        != HAL_OK) {
        Error_Handler();
    }
    if (HAL_HRTIM1_PollForDLLCalibration(&hhrtim1, 10) != HAL_OK) {
        Error_Handler();
    }
    pTimeBaseCfg.Period = 57600;

```

```

pTimeBaseCfg.RepetitionCounter = 0x00;
pTimeBaseCfg.PrescalerRatio = HRTIM_PRESCALERRATIO_MUL16;
pTimeBaseCfg.Mode = HRTIM_MODE_CONTINUOUS;
if (HAL_HRTIM_TimeBaseConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_A,
    &pTimeBaseCfg) != HAL_OK) {
    Error_Handler();
}
pTimerCfg.InterruptRequests = HRTIM_TIM_IT_CMP2 | HRTIM_TIM_IT_CMP3;
pTimerCfg.DMARequests = HRTIM_TIM_DMA_NONE;
pTimerCfg.DMASrcAddress = 0x0000;
pTimerCfg.DMADstAddress = 0x0000;
pTimerCfg.DMASize = 0x1;
pTimerCfg.HalfModeEnable = HRTIM_HALFMODE_DISABLED;
pTimerCfg.StartOnSync = HRTIM_SYNCSTART_DISABLED;
pTimerCfg.ResetOnSync = HRTIM_SYNCRESET_DISABLED;
pTimerCfg.DACSynchro = HRTIM_DACSYNC_NONE;
pTimerCfg.PreloadEnable = HRTIM_PRELOAD_DISABLED;
pTimerCfg.UpdateGating = HRTIM_UPDATEGATING_INDEPENDENT;
pTimerCfg.BurstMode = HRTIM_TIMERBURSTMODE_MAINTAINCLOCK;
pTimerCfg.RepetitionUpdate = HRTIM_UPDATEONREPETITION_DISABLED;
pTimerCfg.PushPull = HRTIM_TIMPUSHPULLMODE_DISABLED;
pTimerCfg.FaultEnable = HRTIM_TIMFAULTENABLE_NONE;
pTimerCfg.FaultLock = HRTIM_TIMFAULTLOCK_READWRITE;
pTimerCfg.DeadTimeInsertion = HRTIM_TIMDEADTIMEINSERTION_DISABLED;
pTimerCfg.DelayedProtectionMode =
    HRTIM_TIMER_A_B_C_DELAYEDPROTECTION_DISABLED;
pTimerCfg.UpdateTrigger = HRTIM_TIMUPDATETRIGGER_NONE;
pTimerCfg.ResetTrigger = HRTIM_TIMRESETTRIGGER_NONE;
pTimerCfg.ResetUpdate = HRTIM_TIMUPDATEONRESET_DISABLED;
if (HAL_HRTIM_WaveformTimerConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_A,
    &pTimerCfg) != HAL_OK) {
    Error_Handler();
}
pTimerCfg.InterruptRequests = HRTIM_TIM_IT_NONE;
pTimerCfg.DMASrcAddress = 0x0000;
pTimerCfg.DMADstAddress = 0x0000;
pTimerCfg.DMASize = 0x1;
if (HAL_HRTIM_WaveformTimerConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_B,
    &pTimerCfg) != HAL_OK) {
    Error_Handler();
}
pTimerCfg.InterruptRequests = HRTIM_MASTER_IT_NONE;
pTimerCfg.DMASrcAddress = 0x0000;
pTimerCfg.DMADstAddress = 0x0000;
pTimerCfg.DMASize = 0x1;
pTimerCfg.DelayedProtectionMode =
    HRTIM_TIMER_D_E_DELAYEDPROTECTION_DISABLED;
if (HAL_HRTIM_WaveformTimerConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_E,
    &pTimerCfg) != HAL_OK) {
    Error_Handler();
}
pCompareCfg.CompareValue = 28800;
if (HAL_HRTIM_WaveformCompareConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_A,
    HRTIM_COMPAREUNIT_1, &pCompareCfg) != HAL_OK) {
    Error_Handler();
}
pCompareCfg.CompareValue = 28800 - 6726;
pCompareCfg.AutoDelayedMode = HRTIM_AUTODELAYEDMODE_REGULAR;
pCompareCfg.AutoDelayedTimeout = 0x0000;

if (HAL_HRTIM_WaveformCompareConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_A,
    HRTIM_COMPAREUNIT_2, &pCompareCfg) != HAL_OK) {
    Error_Handler();
}

```

```

}
pCompareCfg.CompareValue = 57600 - 7338;
if (HAL_HRTIM_WaveformCompareConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_A,
    HRTIM_COMPAREUNIT_3, &pCompareCfg) != HAL_OK) {
    Error_Handler();
}
pOutputCfg.Polarity = HRTIM_OUTPUTPOLARITY_LOW;
pOutputCfg.SetSource = HRTIM_OUTPUTSET_TIMPER;
pOutputCfg.ResetSource = HRTIM_OUTPUTRESET_TIMCMP1;
pOutputCfg.IdleMode = HRTIM_OUTPUTIDLEMODE_NONE;
pOutputCfg.IdleLevel = HRTIM_OUTPUTIDLELEVEL_INACTIVE;
pOutputCfg.FaultLevel = HRTIM_OUTPUTFAULTLEVEL_NONE;
pOutputCfg.ChopperModeEnable = HRTIM_OUTPUTCHOPPERMODE_DISABLED;
pOutputCfg.BurstModeEntryDelayed = HRTIM_OUTPUTBURSTMODEENTRY_REGULAR;
if (HAL_HRTIM_WaveformOutputConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_A,
    HRTIM_OUTPUT_TA1, &pOutputCfg) != HAL_OK) {
    Error_Handler();
}
pOutputCfg.Polarity = HRTIM_OUTPUTPOLARITY_HIGH;
if (HAL_HRTIM_WaveformOutputConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_B,
    HRTIM_OUTPUT_TB1, &pOutputCfg) != HAL_OK) {
    Error_Handler();
}
pTimeBaseCfg.Period = 576;
pTimeBaseCfg.PrescalerRatio = HRTIM_PRESCALERRATIO_MUL32;
if (HAL_HRTIM_TimeBaseConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_B,
    &pTimeBaseCfg) != HAL_OK) {
    Error_Handler();
}
pCompareCfg.CompareValue = 192;
if (HAL_HRTIM_WaveformCompareConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_B,
    HRTIM_COMPAREUNIT_1, &pCompareCfg) != HAL_OK) {
    Error_Handler();
}
pTimeBaseCfg.Period = 57600;
pTimeBaseCfg.PrescalerRatio = HRTIM_PRESCALERRATIO_MUL16;
if (HAL_HRTIM_TimeBaseConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_E,
    &pTimeBaseCfg) != HAL_OK) {
    Error_Handler();
}
pCompareCfg.CompareValue = 28800;
if (HAL_HRTIM_WaveformCompareConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_E,
    HRTIM_COMPAREUNIT_1, &pCompareCfg) != HAL_OK) {
    Error_Handler();
}
if (HAL_HRTIM_WaveformOutputConfig(&hhrtim1, HRTIM_TIMERINDEX_TIMER_E,
    HRTIM_OUTPUT_TE2, &pOutputCfg) != HAL_OK) {
    Error_Handler();
}
}
/* USER CODE BEGIN HRTIM1_Init 2 */

/* USER CODE END HRTIM1_Init 2 */
HAL_HRTIM_MspPostInit(&hhrtim1);

}

/**
 * @brief USART2 Initialization Function
 * @param None
 * @retval None
 */
static void MX_USART2_UART_Init(void) {

```

```

/* USER CODE BEGIN USART2_Init 0 */

/* USER CODE END USART2_Init 0 */

/* USER CODE BEGIN USART2_Init 1 */

/* USER CODE END USART2_Init 1 */
huart2.Instance = USART2;
huart2.Init.BaudRate = 9600;
huart2.Init.WordLength = UART_WORDLENGTH_8B;
huart2.Init.StopBits = UART_STOPBITS_1;
huart2.Init.Parity = UART_PARITY_NONE;
huart2.Init.Mode = UART_MODE_TX_RX;
huart2.Init.HwFlowCtl = UART_HWCONTROL_NONE;
huart2.Init.OverSampling = UART_OVERSAMPLING_16;
huart2.Init.OneBitSampling = UART_ONE_BIT_SAMPLE_DISABLE;
huart2.AdvancedInit.AdvFeatureInit = UART_ADVFEATURE_NO_INIT;
if (HAL_UART_Init(&huart2) != HAL_OK) {
    Error_Handler();
}
/* USER CODE BEGIN USART2_Init 2 */

/* USER CODE END USART2_Init 2 */
}

/**
 * @brief GPIO Initialization Function
 * @param None
 * @retval None
 */
static void MX_GPIO_Init(void) {
    GPIO_InitTypeDef GPIO_InitStructure = { 0 };

    /* GPIO Ports Clock Enable */
    __HAL_RCC_GPIOC_CLK_ENABLE();
    __HAL_RCC_GPIOF_CLK_ENABLE();
    __HAL_RCC_GPIOA_CLK_ENABLE();
    __HAL_RCC_GPIOB_CLK_ENABLE();

    /*Configure GPIO pin Output Level */
    HAL_GPIO_WritePin(GPIOC, GPIO_PIN_8, GPIO_PIN_RESET);

    /*Configure GPIO pin : B1_Pin */
    GPIO_InitStructure.Pin = B1_Pin;
    GPIO_InitStructure.Mode = GPIO_MODE_IT_FALLING;
    GPIO_InitStructure.Pull = GPIO_NOPULL;
    HAL_GPIO_Init(B1_GPIO_Port, &GPIO_InitStructure);

    /*Configure GPIO pins : PC0 PC1 */
    GPIO_InitStructure.Pin = GPIO_PIN_0 | GPIO_PIN_1;
    GPIO_InitStructure.Mode = GPIO_MODE_IT_RISING;
    GPIO_InitStructure.Pull = GPIO_NOPULL;
    HAL_GPIO_Init(GPIOC, &GPIO_InitStructure);

    /*Configure GPIO pin : PC8 */
    GPIO_InitStructure.Pin = GPIO_PIN_8;
    GPIO_InitStructure.Mode = GPIO_MODE_OUTPUT_PP;
    GPIO_InitStructure.Pull = GPIO_NOPULL;
    GPIO_InitStructure.Speed = GPIO_SPEED_FREQ_LOW;
    HAL_GPIO_Init(GPIOC, &GPIO_InitStructure);

    /* EXTI interrupt init*/

```

```

    HAL_NVIC_SetPriority(EXTI0_IRQn, 0, 1);
    HAL_NVIC_EnableIRQ(EXTI0_IRQn);

    HAL_NVIC_SetPriority(EXTI1_IRQn, 0, 1);
    HAL_NVIC_EnableIRQ(EXTI1_IRQn);
}

/* USER CODE BEGIN 4 */
void HAL_HRTIM_Compare2EventCallback(HRTIM_HandleTypeDef *hrtim,
    uint32_t TimerIdx) {
    if (flag == 0) {
        HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].PERxR = 1152;
        HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].CMP1xR = 384;
    }
}

void HAL_HRTIM_Compare3EventCallback(HRTIM_HandleTypeDef *hrtim,
    uint32_t TimerIdx) {
    if (flag == 0) {
        HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].CMP1xR = 192;
        HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].PERxR = 576;
    }
}

void HAL_GPIO_EXTI_Callback(uint16_t GPIO_Pin) {
    if (GPIO_Pin == GPIO_PIN_0) {
        if (pulse <= 37440) {
            pulse += 576; //un impulso a 4MHz sono 576 tick
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP1xR = pulse;
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP2xR = pulse - 6726;
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_E].CMP1xR = pulse;
            flag = 0;
        } else {
            if (flag == 0) {
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].CMP1xR = 192;
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].PERxR = 576;
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP1xR = 0;
                HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_E].CMP1xR = 0;
                flag = 1;
            }
        }
    }
}

if (GPIO_Pin == GPIO_PIN_1) {
    if (pulse >= 17280) {
        pulse -= 576; //un impulso a 4MHz sono 576 tick
        HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP1xR = pulse;
        HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP2xR = pulse - 6726;
        HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_E].CMP1xR = pulse;
        flag = 0;
    } else {
        if (flag == 0) {
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].PERxR = 1152;
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_B].CMP1xR = 384;
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_A].CMP1xR = 57600;
            HRTIM1->sTimerxRegs[HRTIM_TIMERINDEX_TIMER_E].CMP1xR = 57600;
            flag = 1;
        }
    }
}
}
}

```

```
/* USER CODE END 4 */

/**
 * @brief This function is executed in case of error occurrence.
 * @retval None
 */
void Error_Handler(void) {
    /* USER CODE BEGIN Error_Handler_Debug */
    /* User can add his own implementation to report the HAL error return state */
    __disable_irq();
    while (1) {
    }
    /* USER CODE END Error_Handler_Debug */
}

#ifdef USE_FULL_ASSERT
/**
 * @brief Reports the name of the source file and the source line number
 * where the assert_param error has occurred.
 * @param file: pointer to the source file name
 * @param line: assert_param error line source number
 * @retval None
 */
void assert_failed(uint8_t *file , uint32_t line)
{
    /* USER CODE BEGIN 6 */
    /* User can add his own implementation to report the file name and line number,
    ex: printf("Wrong parameters value: file %s on line %d\r\n", file , line) */
    /* USER CODE END 6 */
}
#endif /* USE_FULL_ASSERT */

/***** (C) COPYRIGHT STMicroelectronics *****END OF FILE*****/
```

# Bibliografia

- [1] M. D. Bellar, T. S. Wu, A. Tchamdjou, J. Mahdavi, and M. Ehsani. A review of soft-switched dc-ac converters. *IEEE Transactions on Industry Applications*, 34(4):847–860, 1998.
- [2] N. Bertoni, G. Frattini, R. G. Massolini, F. Pareschi, R. Rovatti, and G. Setti. An analytical approach for the design of class-e resonant dc–dc converters. *IEEE Transactions on Power Electronics*, 31(11):7701–7713, 2016.
- [3] J. M. Burkhart, R. Korsunsky, and D. J. Perreault. Design methodology for a very high frequency resonant boost converter. *IEEE Transactions on Power Electronics*, 28(4):1929–1937, 2013.
- [4] A. Celentano, F. Pareschi, V. R. Gozalez-Diaz, R. Rovatti, and G. Setti. A methodology for practical design and optimization of class-e dc-dc resonant converters. *IEEE Access*, 8:205568–205589, 2020.
- [5] Andrea Celentano, Fabio Pareschi, Victor R. Gonzalez Diaz, Riccardo Rovatti, and Gianluca Setti. Analytical approach for the design of class-E dc-dc resonant converters: Matlab software and datasets. <https://doi.org/10.5281/zenodo.3898565>, 2020.
- [6] M. Hayati, A. Lotfi, M. K. Kazimierczuk, and H. Sekiya. Generalized design considerations and analysis of class-e amplifier for sinusoidal and square input voltage waveforms. *IEEE Transactions on Industrial Electronics*, 62(1):211–220, 2015.
- [7] J. J. Jozwik and M. K. Kazimierczuk. Analysis and design of class-e/sup 2/ dc/dc converter. *IEEE Transactions on Industrial Electronics*, 37(2):173–183, 1990.
- [8] M. K. Kazimierczuk and J. Jozwik. Dc/dc converter with class e zero-voltage-switching inverter and class e zero-current-switching rectifier. *IEEE Transactions on Circuits and Systems*, 36(11):1485–1488, 1989.
- [9] M. K. Kazimierczuk and J. Jozwik. Resonant dc/dc converter with class-e inverter and class-e rectifier. *IEEE Transactions on Industrial Electronics*, 36(4):468–478, 1989.
- [10] M. K. Kazimierczuk and J. J. Jozwik. Optimal topologies of resonant dc/dc converters. *IEEE Transactions on Aerospace and Electronic Systems*, 25(3):363–372, 1989.

- 
- [11] Marian K Kazimierczuk. *RF power amplifiers*, volume 1. Wiley Online Library, 2008.
- [12] Y. Li, X. Ruan, L. Zhang, J. Dai, and Q. Jin. Optimized parameters design and adaptive duty-cycle adjustment for class e dc–dc converter with on-off control. *IEEE Transactions on Power Electronics*, 34(8):7728–7744, 2019.
- [13] Y. Li, X. Ruan, L. Zhang, J. Dai, and Q. Jin. Variable switching frequency on-off control for class e dc–dc converter. *IEEE Transactions on Power Electronics*, 34(9):8859–8870, 2019.
- [14] K. Liu, R. Oruganti, and F. C. Y. Lee. Quasi-resonant converters-topologies and characteristics. *IEEE Transactions on Power Electronics*, PE-2(1):62–71, 1987.
- [15] M. Liu, Y. Qiao, S. Liu, and C. Ma. Analysis and design of a robust class  $e^2$  dc–dc converter for megahertz wireless power transfer. *IEEE Transactions on Power Electronics*, 32(4):2835–2845, 2017.
- [16] H. Matsuo, H. Hayashi, F. Kurokawa, and T. Koga. A general analysis of the zero-voltage switched quasi-resonant buck-boost type dc-dc converter in the continuous and discontinuous modes of the reactor current. In *[Proceedings] Thirteenth International Telecommunications Energy Conference - INTELEC 91*, pages 472–479, 1991.
- [17] Ned Mohan, Tore M Undeland, and William P Robbins. *Power electronics: converters, applications, and design*. John wiley & sons, 2003.
- [18] F. Pareschi, N. Bertoni, M. Mangia, R. Rovatti, and G. Setti. A unified design theory for class-e resonant dc–dc converter topologies. *IEEE Access*, 7:83825–83838, 2019.
- [19] F. Pareschi, R. Rovatti, and G. Setti. Emi reduction via spread spectrum in dc/dc converters: State of the art, optimization, and tradeoffs. *IEEE Access*, 3:2857–2874, 2015.
- [20] S. Park and J. Rivas-Davila. Duty cycle and frequency modulations in class-e dc–dc converters for a wide range of input and output voltages. *IEEE Transactions on Power Electronics*, 33(12):10524–10538, 2018.
- [21] R. C. N. Pilawa-Podgurski, A. D. Sagneri, J. M. Rivas, D. I. Anderson, and D. J. Perreault. Very-high-frequency resonant boost converters. *IEEE Transactions on Power Electronics*, 24(6):1654–1665, 2009.
- [22] R. C. N. Pilawa-Podgurski, A. D. Sagneri, J. M. Rivas, D. I. Anderson, and D. J. Perreault. Very-high-frequency resonant boost converters. *IEEE Transactions on Power Electronics*, 24(6):1654–1665, 2009.
- [23] Muhammad H Rashid. *Power electronics handbook*. Butterworth-Heinemann, 2017.
- [24] J. M. Rivas, Y. Han, O. Leitermann, A. D. Sagneri, and D. J. Perreault. A high-frequency resonant inverter topology with low-voltage stress. *IEEE Transactions on Power Electronics*, 23(4):1759–1771, 2008.

- [25] H. Sekiya, T. Ezawa, and Y. Tanji. Design procedure for class e switching circuits allowing implicit circuit equations. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 55(11):3688–3696, 2008.
- [26] H. Sekiya, Jianming Lu, and T. Yahagi. Design of generalized class e/sup 2/ dc/dc converter. In *2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353)*, volume 3, pages III–III, 2002.
- [27] Y. Shao, C. Ma, and M. Liu. A 6.78-mhz class e2 converter with the flexible dc-dc voltage ratio. In *2019 IEEE 13th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG)*, pages 1–5, 2019.
- [28] Taufik, P. Luther, and M. Anwari. Digitally controlled zvs quasi-resonant boost converter with m-type switch. In *2007 International Conference on Intelligent and Advanced Systems*, pages 823–828, 2007.