

POLITECNICO DI TORINO

Dipartimento di Elettronica e Telecomunicazioni

**Corso di Laurea Magistrale in  
Ingegneria Elettronica**

Tesi di Laurea Magistrale

**Studio del Controllo in Potenza di un  
Convertitore DC-DC in Classe E con  
Metodo Dual-Frequency**



**Relatori:**

Gianluca Setti,  
*Politecnico di Torino*

Fabio Pareschi,  
*Politecnico di Torino*

**Candidato:**

Riccardo Masera,  
242071

ANNO ACCADEMICO: 2017/2018



*Alla mia famiglia, che mi ha sempre sostenuto incitandomi ad andare avanti.*

*A Domiziana, che dal primo all'ultimo esame è rimasta al mio fianco.*

*Ai miei amici, senza i quali questa esperienza non sarebbe stata la stessa.*

*Grazie di cuore*

# Indice

<b>1</b>	<b>Introduzione</b>	<b>3</b>
<b>2</b>	<b>Analisi dei modelli</b>	<b>8</b>
2.1	Stato dell'arte del soft switching . . . . .	8
2.2	Circuito base e modellazione componenti . . . . .	9
2.3	Normalizzazioni e modello matematico . . . . .	10
<b>3</b>	<b>Topologie derivate</b>	<b>14</b>
3.1	Circuiti con accoppiamento diretto . . . . .	14
3.2	Circuiti con accoppiamento inverso . . . . .	18
3.3	Selezione dei candidati . . . . .	20
<b>4</b>	<b>Dimensionamento e simulazione single frequency</b>	<b>22</b>
4.1	Approccio ideale . . . . .	22
4.1.1	Direct2 . . . . .	22
4.1.2	Inverse1 . . . . .	24
4.1.3	Inverse3 . . . . .	26
4.2	Scelta e caratterizzazione di MOS e diodo . . . . .	29
4.3	Approccio reale . . . . .	31
4.3.1	Direct2 . . . . .	31
4.3.2	Inverse1 . . . . .	33
4.3.3	Inverse3 . . . . .	34
<b>5</b>	<b>Dimensionamento e simulazioni dual frequency</b>	<b>35</b>
5.1	Funzionamento e studio sull'ottimizzazione delle transizioni . . . . .	35
5.2	Approccio ideale . . . . .	41
5.2.1	Direct2 . . . . .	41
5.2.2	Inverse1 . . . . .	44
5.2.3	Inverse3 . . . . .	47
5.3	Approccio reale . . . . .	50
5.3.1	Direct2 . . . . .	50
5.3.2	Inverse1 . . . . .	54
5.3.3	Inverse3 . . . . .	57
5.4	Considerazioni finali sulle simulazioni . . . . .	60

<b>6</b>	<b>Topologia scelta e ricerca componenti da catalogo</b>	<b>62</b>
6.1	Dimensionamento definitivo di Inverse1	62
6.2	Analisi degli stress e selezione componenti	66
6.2.1	Induttori	66
6.2.2	Condensatori	68
6.2.3	MOS	68
6.2.4	Diodo	69
6.3	Schematico e PCB in KiCad	70
6.4	Conclusioni	72

# Capitolo 1

## Introduzione

L'obiettivo del lavoro di tesi è la realizzazione di un convertitore DC-DC in classe E con controllo della potenza sul carico tramite il metodo dual frequency. Gli amplificatori in classe E fanno parte di una topologia di amplificatori detta "risonante". La loro prima apparizione avviene nel 1975, ma solamente nel 1980 viene proposto l'utilizzo di questi amplificatori nel campo dei convertitori DC-DC. L'idea di base è quella di svincolarsi dai range tipici di frequenze dei convertitori, che vanno dalla decina di kHz fino al MHz, per raggiungere valori più elevati, ovvero frequenze superiori alla decina di MHz. I blocchi fondamentali di un convertitore in classe E vengono rappresentati in Figura 1.0.0.1:

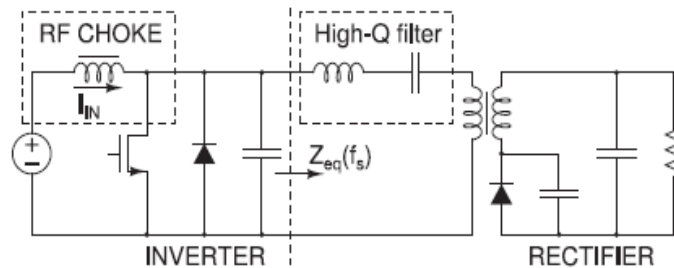


Figura 1.0.0.1: Classica topologia isolata di un convertitore in classe E. Si evidenziano i blocchi Inverter e Rectifier, insieme alla rete di matching composta da un filtro LC ad alto Q.

Il funzionamento di tale convertitore viene garantito a fronte di una resistenza di carico fissa, che corrisponde ad una determinata potenza. Una variazione del carico porterebbe ad un comportamento errato delle forme d'onda che non garantirebbero più le condizioni di soft switching, inficiando l'efficienza del convertitore. Per poter gestire la variazione del carico in uscita si utilizza un sistema ON/OFF per il driving del circuito. Tale sistema prevede un dimensionamento per ottenere la massima potenza in uscita (o la minima resistenza di carico) mentre il rapporto tra la potenza desiderata e la massima è dato dal duty cycle del driving. Si avrà quindi un convertitore che sarà acceso durante  $T_{ON}$  e fornirà una determinata corrente in uscita, mentre sarà spento durante  $T_{OFF}$ . In questo periodo la corrente al carico verrà fornita esclusivamente dal condensatore di uscita, che garantirà quindi una tensione costante.

Quanto appena detto può essere mostrato tramite un semplice schema che modella il convertitore nel suo funzionamento ON/OFF in Figura 1.0.0.2:

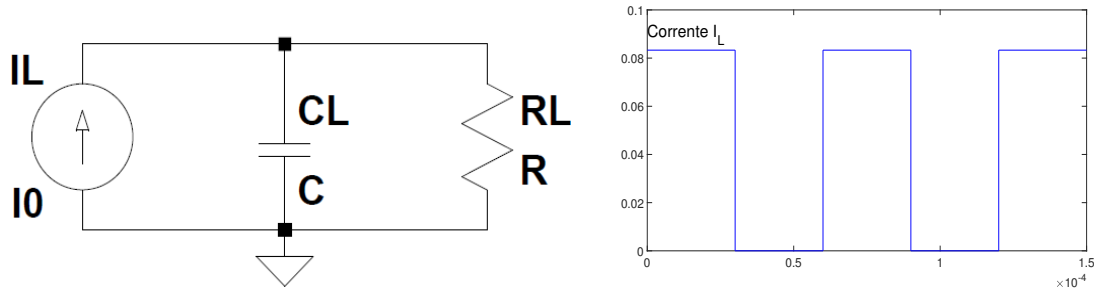


Figura 1.0.0.2: Modello del convertitore (sinistra), forma d'onda del generatore di corrente (destra). Durante  $T_{ON}$  la corrente del generatore è la massima corrente  $I_0$ , quella la cui media  $I_{output}$  sarà sul carico, mentre durante  $T_{OFF}$  la corrente sarà zero.

Si ottiene quindi in uscita una tensione avente un ripple del tipo in Figura 1.0.0.3, supponendo di avere  $D=50\%$ :

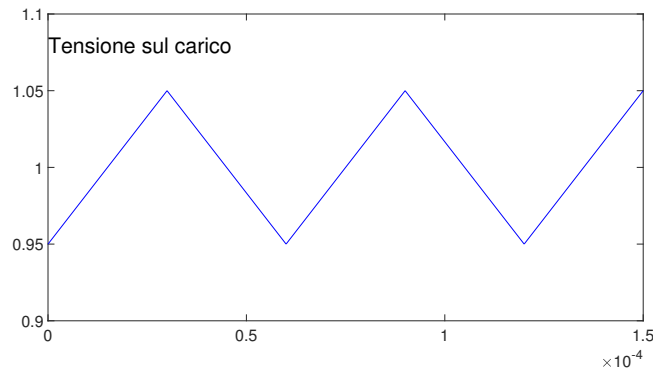


Figura 1.0.0.3: Ripple di tensione sul carico.

Il tratto in salita ed in discesa avranno una pendenza rispettivamente:

$$Slope_{ON} = \frac{I_0 - I_{output}}{C_L} \quad Slope_{OFF} = \frac{-I_{output}}{C_L} \quad (1.0.0.1)$$

Si definisce quindi l'ampiezza picco picco del ripple che equivale a:

$$\begin{cases} \Delta V_{RIPPLE} = D \frac{I_0 - I_{output}}{f_{ON/OFF} C_L} = (1 - D) \frac{I_{output}}{f_{ON/OFF} C_L} \\ D = \frac{I_{output}}{I_0} \end{cases} \quad (1.0.0.2)$$

Da notare nella 1.0.0.2 che la frequenza in realtà non sia quella di switching ma si tratta della frequenza alla quale il convertitore si accende e si spegne. Più precisamente equivale al numero di cicli di switching  $N_{ON/OFF}$  che intercorrono tra uno stato di OFF e lo stato di ON e viceversa. È possibile definire la frequenza appena descritta come:

$$f_{ON/OFF} = \frac{f_{SW}}{N_{ON/OFF}} \quad \text{dove } N_{ON/OFF} \gg 1 \quad (1.0.0.3)$$

Risolviendo il sistema in 1.0.0.2 e 1.0.0.3 si ottiene l'espressione del ripple di tensione nel modo seguente:

$$\Delta V_{ON/OFF} = \frac{I_{output}}{I_0} \frac{I_0 - I_{output}}{f_{SW} C_L} N_{ON/OFF} \quad (1.0.0.4)$$

Risulta evidente che, a parità di  $C_L$ , per avere un basso ripple è necessario avere  $f_{SW}$  sufficientemente grande oppure fare in modo che  $N_{ON/OFF}$  sia basso. Tuttavia si è vincolati dai tempi di ON e di OFF del convertitore, è necessario che  $N_{ON/OFF}$  sia molto maggiore rispetto al numero di cicli di switching impiegati per raggiungere il regime per rendere trascurabili tali transitori. Se ad esempio il convertitore impiega  $10 \div 15$  cicli sarà necessario fare in modo che  $N_{ON/OFF}$  valga almeno  $100 \div 200$ . Come conseguenza si avrà un criterio molto restrittivo per quanto riguarda il dimensionamento di  $C_L$  per ottenere un ripple adeguato.

Per risolvere questo problema, oltre ad aggiungere una serie di vantaggi, si introduce il metodo di driving in dual frequency. Quest'ultimo si contrappone al classico sistema ON/OFF presente nella maggioranza dei convertitori, portando ad una serie di vantaggi sotto elencati:

- Possibilità di controllare la variazione di carico senza modificare le forme d'onda
- Aumento dell'efficienza alle alte frequenze
- Aumento della banda del convertitore
- Capacità di carico più bassa a parità di ripple di tensione

Lo sviluppo del sistema dual frequency permette di avere tempi di transitorio del convertitore più rapidi. Operando in due punti di lavoro a frequenze diverse, aventi  $I_{MAX}$  e  $I_{MIN}$  entrambe non nulle, il passaggio tra uno stato e l'altro è molto più efficiente rispetto all'approccio ON/OFF. Il modello è simile a quello in Figura 1.0.0.2 con l'unica differenza che ora la corrente del convertitore sarà sempre non nulla, ma si alternerà tra due i regimi.

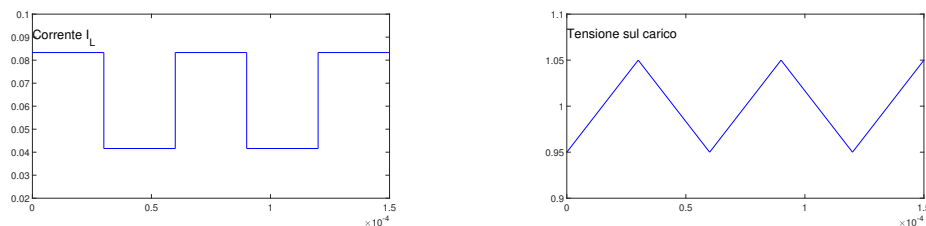


Figura 1.0.0.4: Corrente del convertitore nei due regimi in dual frequency (sinistra) e ripple di tensione sull'uscita (destra).



Il tratto in salita ed in discesa del ripple di tensione avranno una pendenza rispettivamente:

$$Slope_1 = \frac{I_{MAX} - I_{output}}{C_L} \quad Slope_2 = \frac{I_{MIN} - I_{output}}{C_L} \quad (1.0.0.5)$$

Si definisce quindi l'ampiezza picco picco del ripple che equivale a:

$$\begin{cases} \Delta V_{RIPPLE} = D \frac{I_{MAX} - I_{output}}{f_{DUAL} C_L} = (1 - D) \frac{I_{MIN} - I_{output}}{f_{DUAL} C_L} \\ D = \frac{I_{output} - I_{MIN}}{I_{MAX} - I_{MIN}} \end{cases} \quad (1.0.0.6)$$

Come prima si introduce inoltre la definizione di frequenza:

$$f_{DUAL} = \frac{f_{SW}}{N_{DUAL}} \quad \text{dove } N_{DUAL} \geq 1 \quad (1.0.0.7)$$

Risolvendo il sistema in 1.0.0.6 e 1.0.0.7 si ottiene l'espressione del ripple di tensione nel modo seguente:

$$\Delta V_{DUAL} = \frac{I_{output} - I_{MIN}}{I_{MAX} - I_{MIN}} \frac{I_{MAX} - I_{output}}{f_{SW} C_L} N_{DUAL} \quad (1.0.0.8)$$

Siccome nel metodo dual frequency la transizione avviene tra due regimi di corrente non nulli è evidente che i tempi di transizione saranno ridotti o addirittura della durata di un solo ciclo. I vantaggi che si osservano quindi sono i seguenti:

1.

$$\frac{I_{output} - I_{MIN}}{I_{MAX} - I_{MIN}} (I_{MAX} - I_{output}) < \frac{I_{output}}{I_0} (I_0 - I_{output})$$

2.

$$N_{DUAL} \ll N_{ON/OFF}$$

Risulta evidente che, a parità di  $C_L$ , sarà necessario avere una  $f_{SW}$  molto più bassa per ottenere lo stesso ripple del metodo ON/OFF. Se ad esempio la transizione tra i due regimi avviene in un solo ciclo di switching,  $N_{DUAL}$  potrà valere  $10 \div 20$  invece dei  $100 \div 200$  di  $N_{ON/OFF}$ . Ciò significa che i vincoli sul dimensionamento di  $C_L$  non saranno più restrittivi come nel metodo ON/OFF per ottenere un ripple adeguato. Altro criterio restrittivo nel metodo ON/OFF è il dimensionamento della capacità di carico in funzione della quantità di carica che deve essere fornita in uscita. Dovendo mantenere la tensione di uscita costante durante  $T_{OFF}$  è necessario che  $C_L$  sia sufficientemente grande, sicuramente di valore maggiore rispetto a quello che si avrebbe in dual frequency.

Queste differenze, assieme ad altre, sono le motivazioni per le quali viene approfondito il metodo di dual frequency per il driving del convertitore. Parte del lavoro di tesi si soffermerà sull'ottimizzazione delle transizioni tra i regimi per fare in modo di ottenere tempi di transitorio piccoli, puntando a  $N_{DUAL} = 1$ . Se tale obiettivo verrà raggiunto risulta evidente che il metodo di driving sarà ottimizzato al massimo possibile, ottenendo quindi tutti i vantaggi sopra elencati.

Come testi di riferimento vengono utilizzati "An Analytical Approach for the Design of Class-E Resonant DC-DC Converters" [1] e "A Unified Design Theory for Class-E Resonant DC-DC Converter Topologies" [2]. In particolar modo verranno considerate due topologie base, accoppiamento diretto e inverso, descritte negli articoli [1] e [2] dalle quali si deriveranno 8 circuiti che saranno

successivamente analizzati nei loro vantaggi e nelle loro peculiarità.

Tre di questi circuiti sono già stati trattati in passato per quanto riguarda la progettazione e la simulazione in single frequency, mentre i restati cinque sono totalmente nuovi e necessitano di uno studio approfondito. Tutte le analisi e le simulazioni avranno l'obiettivo di ottenere tra tutti i circuiti un candidato che verrà opportunamente dimensionato per gettare le basi di un progetto su scheda. Il modello matematico per la descrizione del circuito si ottiene da [2], viene solamente modificata la denormalizzazione dei componenti per fare in modo di ottenere tutti i parametri in funzione della corrente di uscita e tensioni di ingresso e di uscita.

Di seguito viene presentata una breve descrizione dei contenuti dei vari capitoli:

- Nel capitolo 2 verrà innanzitutto presentato lo stato dell'arte del soft switching, soffermandosi sui vantaggi dei convertitori risonanti rispetto a quelli classici. Successivamente si analizzerà brevemente il modello circuitale evidenziando la modellazione dei componenti e le equivalenze. Infine verrà presentato il modello matematico con le normalizzazioni e denormalizzazioni derivate, presentando un breve esempio di dimensionamento. Tutti questi punti servono come riassunto di quanto scritto in [1] e [2].
- Nel capitolo 3 saranno presentate le diverse topologie che possono essere derivate dalle due fondamentali, soffermandosi sui passaggi chiave per ottenerle. Si discuteranno quindi i circuiti scelti evidenziando i pro e i contro e selezionando infine 3 topologie sulle quali verranno svolte le simulazioni nei capitoli 4 e 5.
- Nel capitolo 4 verranno analizzate le simulazioni delle varie topologie scelte tramite software "LTspice". Questo capitolo si soffermerà sullo studio del singolo circuito partendo dal comportamento ideale, fino ad arrivare a quello reale in single frequency. Si analizzeranno gli stress sui componenti ideali per poter scegliere i dispositivi reali da sostituire successivamente.
- Nel capitolo 5 verranno analizzate le simulazioni delle topologie scelte in dual frequency, partendo sempre dal modello ideale fino ad arrivare a quello reale. Saranno presentate delle linee guida per ottenere una transizione ottimale tra i due regimi di frequenza e verrà inoltre discussa la realizzabilità di tali circuiti con componenti reali. Si commenteranno i risultati ottenuti dalle simulazioni evidenziando i pro e i contro di ogni circuito, selezionando quindi una topologia tra quelle simulate che risulterà avere maggiori vantaggi.
- Nel capitolo 6 verrà creato un dimensionamento sulla topologia scelta al capitolo precedente con la sostituzione del carico. Analizzando gli stress sui vari componenti sarà possibile quindi ricercare nei cataloghi dei dispositivi reali e creare uno schematico con relativo PCB in KiCad.

# Capitolo 2

## Analisi dei modelli

### 2.1 Stato dell'arte del soft switching

Il principale problema dei convertitori DC-DC è la dissipazione di potenza dovuta all'azione di switching. Lo stato dell'arte consiste nel cosiddetto "hard switching", ovvero l'accensione è lo spegnimento dello switch indipendentemente dai livelli di tensione e corrente presenti in quell'istante. Questo fenomeno viene maggiormente evidenziato in presenza di switching ad alte frequenze, caso che viene trattato in questa tesi. Per risolvere il problema si introducono i convertitori risonanti che permettono di praticare il "soft switching" tramite una modellazione delle forme d'onda. I vantaggi di questa scelta sono molteplici, tra i quali:

- Riduzione degli stress sui componenti.
- Aumento dell'efficienza (dissipazione di potenza per switching ridotta).

L'aumento dell'efficienza è diretta conseguenza del funzionamento risonante del classe E, tramite le tecniche di "Zero Voltage Switching" e "Zero Voltage Derivative Switching" (abbreviate d'ora in poi con ZVS e ZVDS). La modellazione permette di avere una tensione praticamente nulla durante l'accensione o spegnimento del MOS, in questo modo è possibile ridurre considerevolmente le perdite di potenza dovute all'azione di switching del convertitore. Inoltre viene anche garantito che la derivata della tensione nel punto di transizione sia uguale a zero, ovvero che la tendenza della convergenza a zero sia smooth, come evidenziato in Figura 2.1.0.1.

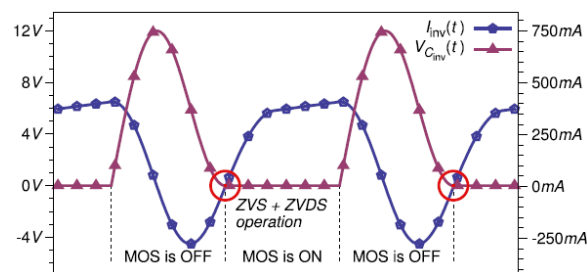


Figura 2.1.0.1: Transizione ON/OFF dello switch, con evidenziate le condizioni di ZVS e ZVDS.

La Figura 2.1.0.1 rappresenta esattamente la condizione ottimale per le transizioni in un convertitore in classe E. Si può notare come la transizione per l'asse  $y=0$  della  $V_{DS}$  e della corrente sullo switch avvenga nello stesso punto, riducendo quindi la dissipazione di potenza.

## 2.2 Circuito base e modellazione componenti

I circuiti ai quali si fa riferimento sono rappresentati in Figura 2.2.0.1, essi rappresentano le due topologie fondamentali che possono essere progettate.

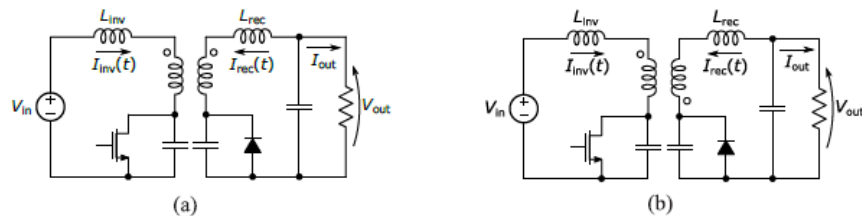


Figura 2.2.0.1: Convertitore Classe E con accoppiamento diretto (a) e accoppiamento inverso (b).

È possibile approssimare i vari componenti del circuito tramite ipotesi semplificative. Come mostrato in Figura 2.2.0.2 le induttanze vengono modellate attraverso il loro fattore di qualità, definendo quindi una resistenza serie parassita proporzionale ad esso. Stesso ragionamento si applica ai condensatori, mentre per quanto riguarda il MOS ed il diodo si considerano rispettivamente la  $R_{DS}^{ON}$  ed un generatore  $V_D^{ON}$  con in serie la  $R_D^{ON}$ .

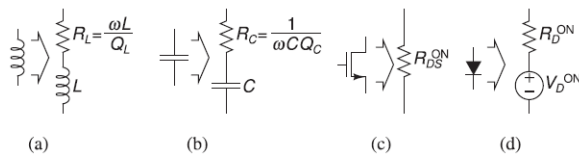


Figura 2.2.0.2: Circuiti equivalenti per Induttori (a), Condensatori (b), MOS (c) e Diodo (d).

Il trasformatore invece si rappresenta come in Figura 2.2.0.3, tramite un circuito equivalente che tiene conto del fattore di accoppiamento  $k$ , del rapporto spire  $\frac{n_P}{n_S}$  e delle induttanze  $L_P$  e  $L_S$  viste rispettivamente al primario ed al secondario.

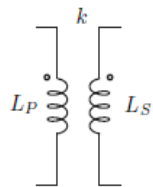


Figura 2.2.0.3: Circuito equivalente per il trasformatore, in funzione dei parametri sopra elencati.

Tramite questo modello è possibile definire i parametri del trasformatore utilizzando la 2.2.0.1:

$$k = \frac{M}{\sqrt{L_P L_S}} \quad L_P = L_S \left( \frac{n_P}{n_S} \right)^2 \quad L_S = L_P \left( \frac{n_S}{n_P} \right)^2 \quad M = k \sqrt{L_P L_S} \quad (2.2.0.1)$$

dove il parametro M rappresenta la mutua induzione tra primario e secondario.

È possibile raccogliere i due modelli in un unico circuito in Figura 2.2.0.4 dove tutti i componenti sono parametrizzati in funzione della topologia scelta. Sono state aggiunte inoltre le resistenze di ingresso e di uscita per modellare ulteriori perdite quali generatore non ideale, sensing di corrente etc.

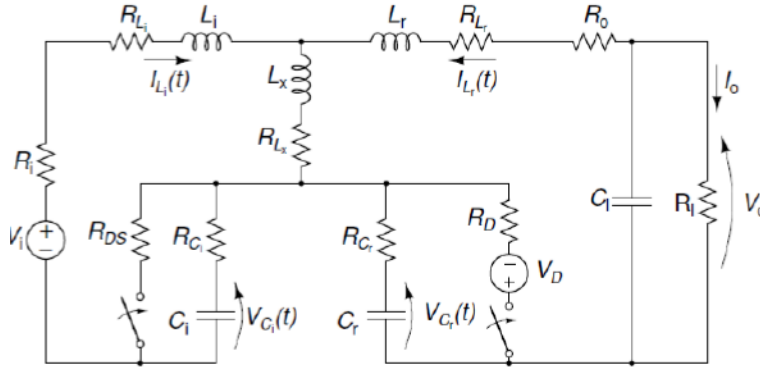


Figura 2.2.0.4: Modello generale che racchiude il comportamento delle due differenti topologie.

Per maggiori informazioni riguardo alla definizione dei parametri del circuito in Figura 2.2.0.4 e del passaggio da isolato a non isolato è consigliata la lettura del capitolo "III. ODE-BASED CIRCUIT ANALYSIS" in [1].

## 2.3 Normalizzazioni e modello matematico

Fino ad ora è stato considerato il circuito secondo la modellazione dei suoi componenti. È necessario introdurre ora una serie di parametri normalizzati in modo da rendere più leggibili le equazioni alle maglie del circuito. A questo proposito si definiscono cinque parametri adimensionali:

$$q_I = \frac{1}{2\pi f_S C_{INV}} \frac{P_{OUT}}{V_{IN}^2} \quad q_R = \frac{1}{2\pi f_S C_{REC}} \frac{P_{OUT}}{V_{OUT}^2} \quad q_M = \pm 2\pi f_S M \frac{P_{OUT}}{V_{IN} V_{OUT}} \quad (2.3.0.1)$$

$$k_I = \pm \frac{M}{L_{INV} + L_P} \frac{V_{IN}}{V_{OUT}} \quad k_R = \pm \frac{M}{L_{REC} + L_S} \frac{V_{OUT}}{V_{IN}}$$

Come diretta estensione della 2.3.0.1 si può ottenere una definizione delle variabili  $k_I$  e  $k_R$  dipendente solamente dai parametri circuitali ricavati dal modello del trasformatore:

$$k_I = \pm k \frac{L_P}{L_{INV} + L_P} \frac{n_S}{n_P} \frac{V_{IN}}{V_{OUT}} \quad k_R = \pm k \frac{L_S}{L_{REC} + L_S} \frac{n_P}{n_S} \frac{V_{OUT}}{V_{IN}} \quad (2.3.0.2)$$

Risulta evidente dalla 2.3.0.2 che in una situazione ideale, con  $k$  e rapporto spire unitario, fissando  $k_I = \frac{V_{IN}}{V_{OUT}}$  o  $k_R = \frac{V_{OUT}}{V_{IN}}$  implica che  $L_{INV} \approx 0$  o  $L_{REC} \approx 0$ . Questo tipo di osservazione si renderà utile nelle simulazioni a seguire per semplificare in modo significativo il modello, rimuovendo dall'analisi uno dei due induttori.

Si introducono inoltre altri parametri adimensionali che rappresentano le conduttanze di ingresso e di uscita, più le conduttanze del MOS e del diodo e la tensione di ON del diodo:

$$\begin{aligned} \frac{1}{g_{IN}} = R_{IN} \frac{P_{OUT}}{V_{IN}^2} \quad \frac{1}{g_{OUT}} = R_{OUT} \frac{P_{OUT}}{V_{OUT}^2} \quad \frac{1}{g_{DS}^{ON}} = R_{DS}^{ON} \frac{P_{OUT}}{V_{IN}^2} \\ \frac{1}{g_D^{ON}} = R_D^{ON} \frac{P_{OUT}}{V_{OUT}^2} \quad v_D^{ON} = \frac{V_D^{ON}}{V_{OUT}} \end{aligned} \quad (2.3.0.3)$$

Infine si considera il tempo normalizzato nella forma  $\theta = 2\pi f_S t$ , l'accoppiamento del circuito che può essere diretto o inverso tramite  $\phi = \pm 1$  (diretto = +1, inverso altrimenti) e il rapporto tra le tensioni di ingresso e di uscita con  $\mu = \frac{V_{IN}}{V_{OUT}}$ . Si inizializzano due parametri chiamati  $m^{ON}$  e  $d^{ON}$  che valgono 1 rispettivamente quando il MOS è in stato di ON e il diodo è in stato di ON, diversamente valgono 0. Viene quindi analizzata l'evoluzione del circuito nei vari stati in cui esso si trova. Si identificano quattro zone di funzionamento che vengono denominate  $Z_i$  (con  $i=1:4$ ) nelle quali saranno alternati gli stati di ON di MOS e diodo:

$$Z_i = \begin{cases} m^{ON} = 0, d^{ON} = 1 & \text{con } i = 1 \text{ per } 0 < \theta < \theta_1 \\ m^{ON} = 0, d^{ON} = 0 & \text{con } i = 2 \text{ per } \theta_1 < \theta < \theta_2 \\ m^{ON} = 1, d^{ON} = 0 & \text{con } i = 3 \text{ per } \theta_2 < \theta < \theta_3 \\ m^{ON} = 1, d^{ON} = 1 & \text{con } i = 4 \text{ per } \theta_3 < \theta < 2\pi \end{cases} \quad (2.3.0.4)$$

Ogni stato del sistema sarà quindi rappresentato da un circuito equivalente diverso dipendente dal valore di  $m^{ON}$  e  $d^{ON}$ . È possibile scrivere le equazioni alle maglie con Kirchoff considerando le varie casistiche aggiungendo le condizioni al contorno per garantire la continuità delle forme d'onda tra uno stato ed il successivo e garantire la presenza di ZVS e ZVDS. Si ottengono due equazioni:

$$\begin{cases} \frac{V_{L_{INV}}(t) + V_P(t) + m^{ON} V_{DS}(t) + (1 - m^{ON}) V_{C_{INV}}(t) - V_{IN}}{V_{IN}} = 0 & \text{Inverter Loop} \\ \frac{V_{L_{REC}}(t) + V_S(t) + d^{ON} V_{KA}(t) + (1 - d^{ON}) V_{C_{REC}}(t) - V_{OUT}}{V_{OUT}} = 0 & \text{Rectifier Loop} \end{cases} \quad (2.3.0.5)$$

Si sostituisce in 2.3.0.5 le relazioni costitutive degli induttori e dei condensatori, le definizioni contenute in 2.3.0.1 e 2.3.0.3, la normalizzazione temporale e le condizioni iniziali e si ottiene il sistema di equazioni in Figura 2.3.0.1. Il sistema non può essere risolto in forma chiusa a causa delle non linearità nelle equazioni, perciò si utilizza un solver numerico in Matlab in modo da ottenere i parametri che forniscono il funzionamento atteso.

Una volta risolto il sistema di equazioni differenziali è possibile esprimere l'evoluzione temporale del convertitore in funzione di 7 parametri adimensionali:  $\mu, k_I, k_R, q_I, q_R, q_M$  e duty cycle  $D$ .

$$\begin{cases} \frac{q_M}{k_I} \frac{di_{INV}(\theta)}{d\theta} + q_M \frac{di_{REC}(\theta)}{d\theta} + \left( \frac{1-k_I}{k_I} \frac{q_M}{Q_I} + \frac{q_M}{Q_M} + m^{ON} \frac{1}{g_{DS}^{ON}} + (1-m^{ON}) \frac{q_I}{Q_{CINV}} + \frac{1}{g_{IN}} \right) i_{INV}(\theta) + \frac{q_M}{Q_M} i_{REC}(\theta) + (1-m^{ON}) v_{CINV}(\theta) - 1 = 0 \\ q_M \frac{di_{INV}(\theta)}{d\theta} + \frac{q_M}{k_R} \frac{di_{REC}(\theta)}{d\theta} + \frac{q_M}{Q_M} i_{INV}(\theta) + \left( \frac{1-k_R}{k_R} \frac{q_M}{Q_R} + \frac{q_M}{Q_M} + d^{ON} \frac{1}{g_D^{ON}} + (1-d^{ON}) \frac{q_R}{Q_{CRC}} + \frac{1}{g_{OUT}} \right) i_{REC}(\theta) + (1-d^{ON}) v_{CRC}(\theta) - d^{ON} v_d^{ON} - 1 = 0 \\ i_{INV}(\theta) = \frac{1}{q_I} \frac{d}{d\theta} v_{CINV}(\theta) \\ i_{REC}(\theta) = \frac{1}{q_R} \frac{d}{d\theta} v_{CRC}(\theta) \end{cases}$$

Figura 2.3.0.1: Sistema di equazioni differenziali derivato dall'analisi del circuito.

Si può assumere che  $\mu$  e  $D$  siano definiti dalle specifiche di progetto, mentre  $q_I, q_R$  e  $q_M$  sono vincolati dalle condizioni di ZVS, ZVDS e stazionarietà della tensione di uscita (vedere [2] per maggiori dettagli).

Rimangono quindi gradi di libertà per il progetto i parametri  $k_I$  e  $k_R$ , che definiscono i limiti dei valori degli induttori nel circuito. A titolo di esempio si propone un dimensionamento per comprendere le suddette restrizioni.

Si consideri un convertitore con accoppiamento diretto ( $\phi = +1$ ) avente  $V_{IN} = 5V$  e  $V_{OUT} = 12V$ . Il trasformatore è considerato ideale ( $k=1$ ) con rapporto spire 1:1 perciò si ha  $L_P = M$  e  $L_S = M$ . Secondo quanto descritto nella 2.3.0.2 è possibile quindi dire che:

$$|k_I| = \frac{M}{L_{INV} + M} \frac{V_{IN}}{V_{OUT}} \leq \frac{V_{IN}}{V_{OUT}} \leq 0.4166 \quad |k_R| = \frac{M}{L_{REC} + M} \frac{V_{OUT}}{V_{IN}} \leq \frac{V_{OUT}}{V_{IN}} \leq 2.4 \quad (2.3.0.6)$$

Restringendo il campo di ricerca a  $D=0.5$  si nota dalla Figura 2.3.0.2 che il set di valori aventi soluzione ottima (blu) è molto ampio. Alcune scelte però risultano migliori rispetto ad altre in quanto, secondo precedente assunzione, fissando opportunamente il valore di  $k_I$  o  $k_R$  al limite superiore è possibile eliminare uno dei due induttori.

Si sceglie ad esempio  $k_I = 0.4166$  e  $k_R = 1$  che porterà ad avere  $L_{INV} = 0$ . Inserendo questi valori nel solver in Matlab si ottiene  $q_I = 1.8861$ ,  $q_R = 0.6378$  e  $q_M = 0.8429$  che verranno utilizzati successivamente per le denormalizzazioni dei componenti.

L'evoluzione delle forme d'onda del sistema infine sarà quello in Figura 2.3.0.3.

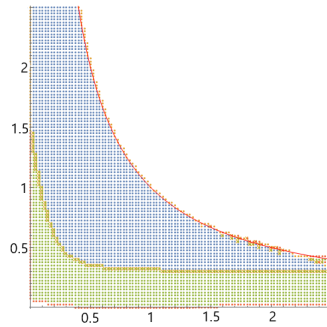


Figura 2.3.0.2: Spazio delle soluzioni con  $D=0.5$ ,  $k_I$  sulle ascisse e  $k_R$  sulle ordinate.

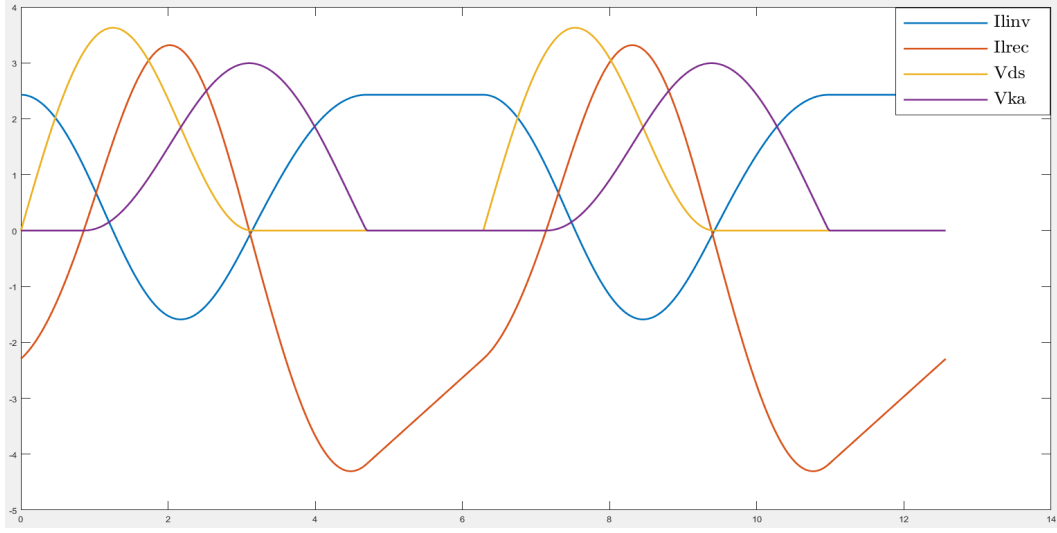


Figura 2.3.0.3: Evoluzione del sistema per due periodi con i parametri dell'esempio.

Infine, tramite l'utilizzo dei parametri adimensionali e delle specifiche di progetto, è possibile praticare la denormalizzazione dei componenti per ottenere i valori ideali:

$$\begin{aligned}
 L_{INV} &= q_M \frac{V_{IN}}{I_{OUT}} \frac{\mu - \phi k_I}{\omega k_I} & L_{REC} &= q_M \frac{V_{IN}}{I_{OUT}} \frac{\frac{1}{\mu} - \phi k_R}{\omega k_R} & M &= \frac{\phi q_M V_{IN}}{\omega I_{OUT}} \\
 C_{INV} &= \frac{V_{OUT} I_{OUT}}{q_I \omega V_{IN}^2} & C_{REC} &= \frac{I_{OUT}}{q_R \omega V_{OUT}}
 \end{aligned} \quad (2.3.0.7)$$

e anche i parassiti:

$$\begin{aligned}
 R_{L_{INV}} &= \frac{\mu q_M V_{IN}}{I_{OUT}} \left[ \frac{1 - k_I}{k_I Q_{Li}} + \left( 1 - \frac{\phi}{\mu} \right) \frac{1}{Q_m} \right] & R_{L_{REC}} &= \frac{q_M V_{OUT}}{I_{OUT}} \left[ \frac{1 - k_R}{k_R Q_{Lr}} + (1 - \phi \mu) \frac{1}{Q_m} \right] \\
 R_M &= \frac{\phi q_M V_{IN}}{I_{OUT} Q_m} & R_{C_{INV}} &= q_I \frac{\mu V_{IN}}{I_{OUT}} \frac{1}{Q_{C_{inv}}} & R_{C_{REC}} &= q_R \frac{V_{OUT}}{I_{OUT}} \frac{1}{Q_{C_{rec}}}
 \end{aligned} \quad (2.3.0.8)$$



## Capitolo 3

# Topologie derivate

### 3.1 Circuiti con accoppiamento diretto

Una volta esplorate le equazioni ed i modelli che descrivono il comportamento del convertitore, si può procedere a studiare le diverse topologie derivate da quelle base. Il punto di partenza di questa sezione è il circuito in Figura 2.2.0.1 (a), avente trasformatore con accoppiamento diretto. Modificando l'ordine e la direzione di alcuni componenti è possibile ottenere diverse soluzioni, si propone ad esempio la transizione in Figura 3.1.0.1:

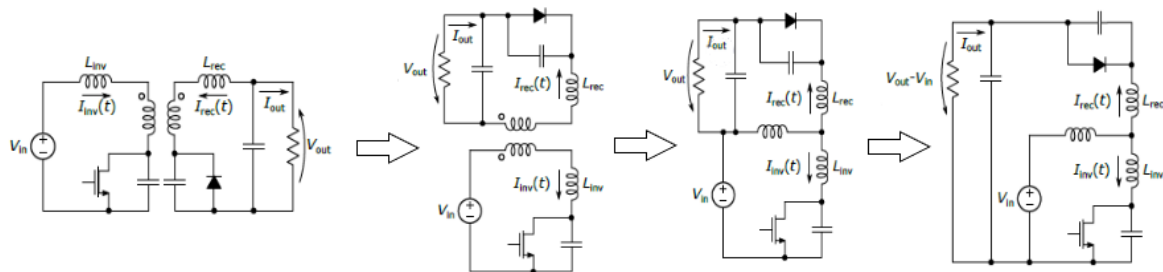


Figura 3.1.0.1: Modifiche del circuito: scambio di posto degli induttori, sostituzione del trasformatore con mutua induttanza e unione di  $V_{IN}$  e  $V_{OUT}$  sul carico

Si nota subito che, nonostante le modifiche, il comportamento del circuito rimane invariato come anche il modello matematico che ne descrive l'evoluzione. L'ultimo step della Figura 3.1.0.1 porta a due possibili topologie finali dipendentemente dal valore delle tensioni  $V_{IN}$  e  $V_{OUT}$ . Infatti, se per esempio  $V_{OUT} > V_{IN}$  il circuito finale sarà quello in Figura 3.1.0.2(a), mentre se  $V_{IN} > V_{OUT}$  il circuito finale sarà quello in Figura 3.1.0.2 (b).

Come si può notare in 3.1.0.2(a) si ha un circuito di tipo Boost invertente nel quale l'ingresso, che vale  $V_{IN}$ , porta ad una uscita che vale  $V_{OUT} - V_{IN}$ . Questa topologia permette quindi di produrre un effetto di step-down o di step-up (in modulo, siccome l'uscita è negativa) nel quale la potenza si muove dall'ingresso al carico.

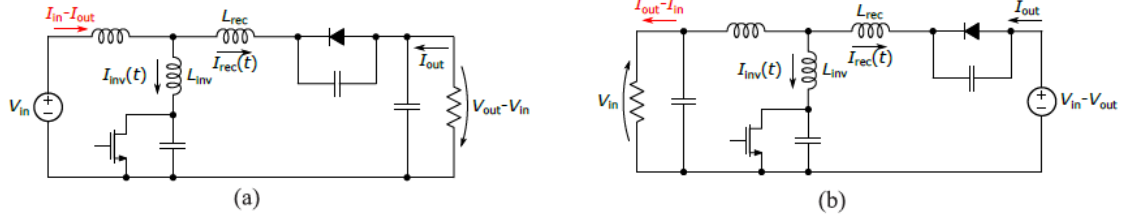


Figura 3.1.0.2: Circuiti derivati Direct1.1 (a) e Direct1.2 (b).

Caso differente è il 3.1.0.2(b), dove quello che era il carico ora diventa sorgente e viceversa. Questa topologia permette solamente di produrre un effetto di step-up, dove la potenza si muove dall'uscita, che vale  $V_{IN} - V_{OUT}$ , all'ingresso (adesso carico) che vale  $V_{IN}$ . Questi tipi di transizioni possono creare confusione per quanto riguarda la progettazione ma, indipendentemente da quanto vale la tensione di ingresso e di uscita della nuova topologia, il circuito di riferimento rimane sempre quello in Figura 2.2.0.1(a). Per rendere più chiaro quanto detto si propone qualche esempio.

---

Si vuole progettare un convertitore fornendo a Matlab come parametri di simulazione  $V_{IN} = 2V$  e  $V_{OUT} = 4V$ , la potenza in uscita  $P_{OUT} = 250mW$  che corrisponde ad una corrente  $I_{OUT} = 62.5mA$ . Le opzioni a fronte di queste specifiche di progetto sono due:

- Ottenere il circuito in Figura 2.2.0.1(a), con tutte le grandezze come da progetto.
- Ottenere il circuito in Figura 3.1.0.2(a). La tensione d'ingresso **del convertitore** vale quindi  $V_{input} = V_{IN} = 2V$ , la tensione di uscita vale  $V_{output} = -(V_{OUT} - V_{IN}) = -2V$  (convenzione degli utilizzatori). La corrente di uscita vale  $I_{output} = I_{OUT} = 62.5mA$  ( $I_{OUT}$  sul carico), mentre invece la potenza di uscita vale  $P_{output} = I_{output} |V_{output}| = 125mW < 250mW$ .

Si vuole progettare un convertitore fornendo a Matlab come parametri di simulazione  $V_{IN} = 4V$  e  $V_{OUT} = 2V$ , la potenza in uscita  $P_{OUT} = 250mW$  che corrisponde ad una corrente  $I_{OUT} = 125mA$ . Le opzioni a fronte di queste specifiche di progetto sono nuovamente due:

- Ottenere il circuito in Figura 2.2.0.1(a) come nel caso precedente.
- Ottenere il circuito in Figura 3.1.0.2(b). La tensione di ingresso **del convertitore** vale quindi  $V_{input} = V_{IN} - V_{OUT} = 2V$  (bisogna considerare il circuito specchiato) e la tensione di uscita vale  $V_{output} = V_{IN} = 4V$ . Per la corrente sul carico la situazione è un po' più complessa in quanto vale  $I_{output} = I_{OUT} - I_{IN}$  con  $I_{OUT} = 125mA$ . Per valutare  $I_{IN}$  è necessario stimare l'efficienza del convertitore, cosa che può essere fatta in prima approssimazione sullo script in Matlab, ma deve essere verificata in fase di simulazione. Successivamente si può scrivere che:

$$I_{IN} = \frac{V_{OUT} I_{OUT}}{V_{IN} \eta} \quad (3.1.0.1)$$

È possibile svolgere un'altra transizione sempre partendo dalla topologia di base, come in Figura 3.1.0.3:

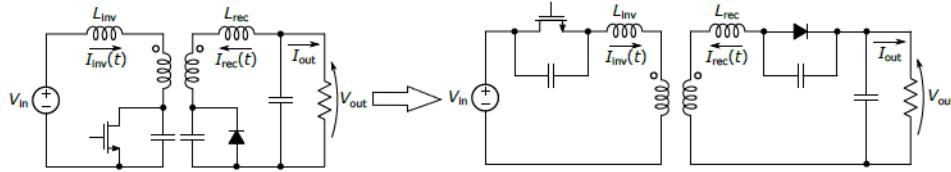


Figura 3.1.0.3: Modifiche del circuito: scambio di posto dello switch, sostituzione del trasformatore con mutua induttanza.

Ciò che si ottiene è il circuito in Figura 3.1.0.4:

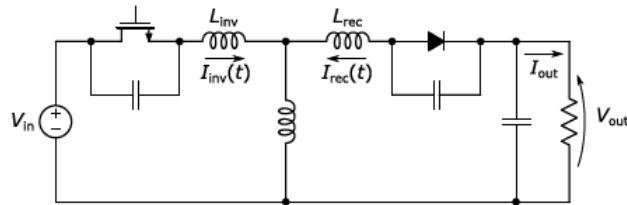


Figura 3.1.0.4: Circuito derivato Direct2.

Questa topologia è la più semplice tra quelle derivate con accoppiamento diretto. Come si vede è un circuito di tipo Buck-Boost non invertente che permette di produrre un effetto di step-up o di step-down. Questo convertitore sarà uno dei 3 circuiti scelti per le simulazioni in dual frequency proprio a causa della sua semplicità di progettazione. Non sono previsti esempi di dimensionamento.

Come ultima transizione per i circuiti ad accoppiamento diretto si propone quella in Figura 3.1.0.5:

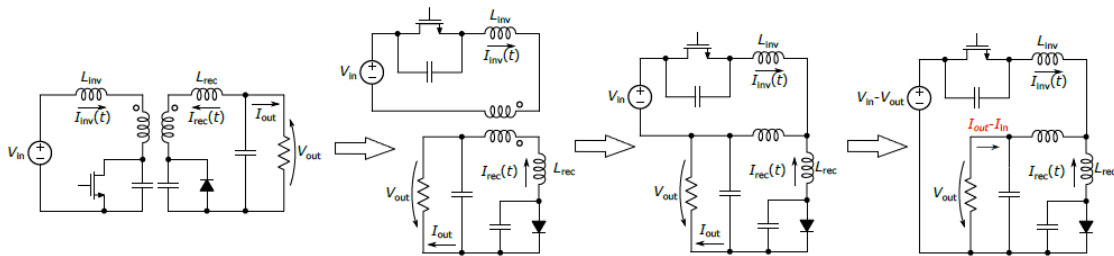


Figura 3.1.0.5: Modifiche del circuito: scambio di posto dello switch, scambio di posto del diodo, sostituzione del trasformatore con mutua induttanza e unione di  $V_{IN} - V_{OUT}$  in ingresso.

Come nel caso del Direct1, l'ultimo step della Figura 3.1.0.5 porta a due topologie finali dipendentemente dalle tensioni  $V_{IN}$  e  $V_{OUT}$ .

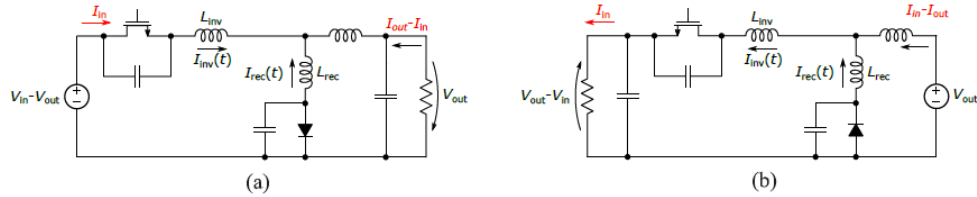


Figura 3.1.0.6: Circuiti derivati Direct3.1 (a) e Direct3.2 (b).

Infatti, se per esempio  $V_{IN} > V_{OUT}$  il circuito finale sarà quello in Figura 3.1.0.6(a), mentre se  $V_{OUT} > V_{IN}$  il circuito finale sarà quello in Figura 3.1.0.6(b).

Come si può notare in 3.1.0.6(a) si ha un circuito di tipo Buck invertente nel quale l'ingresso, che vale  $V_{IN} - V_{OUT}$ , porta ad una uscita che vale  $-V_{OUT}$  (convenzione utilizzatori). Questa topologia permette quindi di produrre un effetto di step-down o di step-up (in modulo, siccome l'uscita è negativa) nel quale la potenza si muove dall'ingresso al carico.

Caso differente è il 3.1.0.6(b), dove quello che era il carico ora diventa sorgente e viceversa. Questa topologia permette solamente di produrre un effetto di step-down, dove la potenza si muove dall'uscita, che vale  $V_{OUT}$ , all'ingresso (adesso carico) che vale  $V_{OUT} - V_{IN}$ .

Come prima a titolo di esempio vengono proposti due dimensionamenti per comprendere meglio le tecniche di progettazione di questi due circuiti.

Si vuole progettare un convertitore fornendo a Matlab come parametri di simulazione  $V_{IN} = 4V$  e  $V_{OUT} = 2V$ , la potenza in uscita  $P_{OUT} = 250mW$  che corrisponde ad una corrente  $I_{OUT} = 125mA$ . Le opzioni a fronte di queste specifiche di progetto sono due:

- Ottenere il circuito in Figura 2.2.0.1(a), con tutte le grandezze come da progetto.
- Ottenere il circuito in Figura 3.1.0.6(a). La tensione di ingresso **del convertitore** vale quindi  $V_{input} = V_{IN} - V_{OUT} = 2V$ , la tensione di uscita vale  $V_{output} = -V_{OUT} = -2V$  (convenzione degli utilizzatori). La corrente di uscita vale  $I_{output} = I_{OUT} - I_{IN}$ , con  $I_{OUT} = 125mA$  e  $I_{IN}$  da valutare tramite l'efficienza come nel caso Direct1.2.

Si vuole progettare un convertitore fornendo a Matlab come parametri di simulazione  $V_{IN} = 2V$  e  $V_{OUT} = 4V$ , la potenza in uscita  $P_{OUT} = 250mW$  che corrisponde ad una corrente  $I_{OUT} = 62.5mA$ . Le opzioni a fronte di queste specifiche di progetto sono nuovamente due:

- Ottenere il circuito in Figura 2.2.0.1(a) come nel caso precedente.
- Ottenere il circuito in Figura 3.1.0.6(b). La tensione di ingresso **del convertitore** vale quindi  $V_{input} = V_{OUT} = 4V$  (bisogna considerare il circuito specchiato) e la tensione di uscita vale  $V_{output} = V_{OUT} - V_{IN} = 2V$ . La corrente sul carico vale  $I_{output} = I_{IN}$  che, come nel caso precedente, dovrà essere valutata tramite l'efficienza.

## 3.2 Circuiti con accoppiamento inverso

Il punto di partenza di questa sezione è il circuito in Figura 2.2.0.1 (b), avente trasformatore con accoppiamento inverso. Modificando l'ordine e la direzione di alcuni componenti è possibile ottenere diverse soluzioni, si propone ad esempio la transizione in Figura 3.2.0.1:

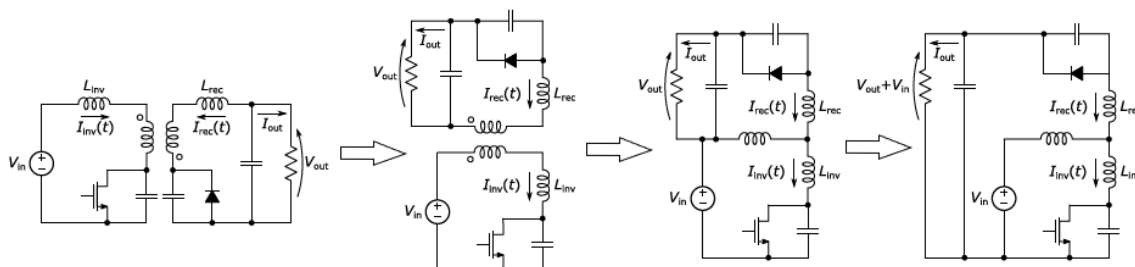


Figura 3.2.0.1: Modifiche del circuito: spostamento dei due induttori rappresentanti il trasformatore, inversione dell'accoppiamento (girando il diodo), sostituzione del trasformatore con mutua induttanza e unione di  $V_{OUT} + V_{IN}$  sul carico.

Di nuovo come prima le proprietà del circuito non sono cambiate, ma quello che si ottiene proseguendo dopo l'ultimo step di 3.2.0.1 è una nuova topologia rappresentata in Figura 3.2.0.2:

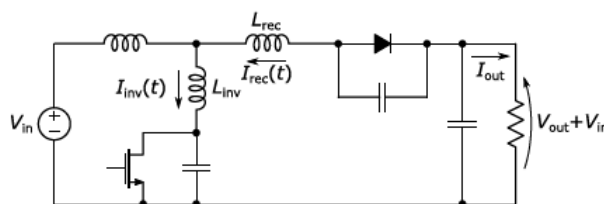


Figura 3.2.0.2: Circuito derivato Inverse1.

Come si può notare il circuito risultante è di tipo Boost non invertente ed ha come tensione di ingresso  $V_{IN}$  e tensione di uscita  $V_{OUT} + V_{IN}$ . Il convertitore permette di produrre solamente un effetto di step-up e, data la semplicità, sarà uno dei 3 circuiti scelti per le simulazioni in dual frequency. Si presenta di seguito un breve esempio di dimensionamento.

---

Si vuole progettare un convertitore fornendo a Matlab come parametri di simulazione  $V_{IN} = 2V$  e  $V_{OUT} = 4V$ , la potenza in uscita  $P_{OUT} = 250mW$  che corrisponde ad una corrente  $I_{OUT} = 62.5mA$ . Le opzioni a fronte di queste specifiche di progetto sono due:

- Ottenere il circuito in Figura 2.2.0.1(b), con tutte le grandezze come da progetto.
- Ottenere il circuito in Figura 3.2.0.2. La tensione di ingresso **del convertitore** vale quindi  $V_{input} = V_{IN} = 2V$  e la tensione di uscita vale  $V_{output} = V_{OUT} + V_{IN} = 6V$ . La cor-

rente di uscita vale  $I_{output} = I_{OUT} = 62.5mA$ , mentre la potenza di uscita vale  $P_{output} = I_{output}V_{output} = 375mW > 250mW$ .

É possibile svolgere un'altra transizione sempre partendo dalla topologia di base, come in Figura 3.2.0.3:

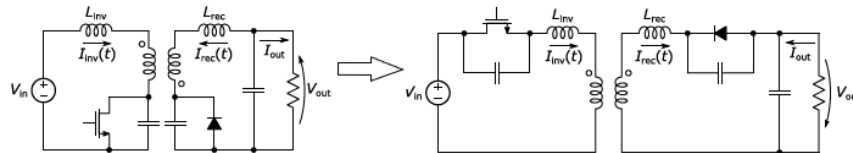


Figura 3.2.0.3: Modifiche del circuito: inversione dell'accoppiamento (girando il diodo), sostituzione del trasformatore con mutua induttanza.

Ciò che si ottiene è il circuito in Figura 3.2.0.4:

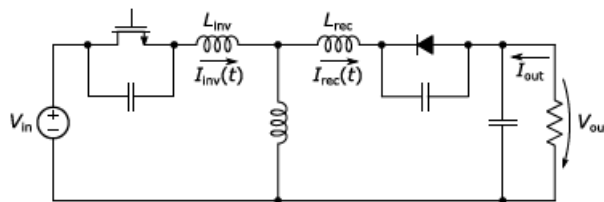


Figura 3.2.0.4: Circuito derivato Inverse2.

Questa topologia è la più semplice tra quelle derivate con accoppiamento inverso. Come si può vedere la tensione di ingresso vale  $V_{IN}$  e la tensione di uscita vale  $-V_{OUT}$  (convenzione degli utilizzatori). Nonostante la semplicità, a causa della tensione negativa in uscita si è deciso di non utilizzare questo circuito per le simulazioni in dual frequency. Non sono previsti esempi di dimensionamento.

Come ultima transizione per i circuiti ad accoppiamento inverso si propone quella in Figura 3.2.0.5. Quella che si ottiene dall'ultimo step è la topologia in Figura 3.2.0.6. Come si può notare il circuito risultante è di tipo Buck non invertente ed ha come tensione di ingresso  $V_{IN} + V_{OUT}$  e tensione di uscita  $V_{OUT}$ . Il circuito è relativamente semplice e permette di produrre solamente un effetto di step-down. Verrà usato nelle simulazioni in dual-frequency, l'unica complicazione è l'approssimazione dell'efficienza per calcolare il contributo di  $I_{IN}$  all'uscita.

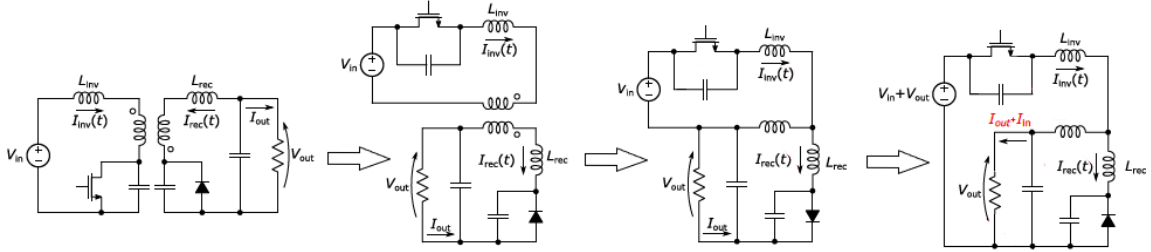


Figura 3.2.0.5: Modifiche del circuito: scambio di posto dello switch, scambio di posto del diodo, inversione dell'accoppiamento (girando il diodo), sostituzione del trasformatore con mutua induttanza e unione di  $V_{IN} + V_{OUT}$  in ingresso.

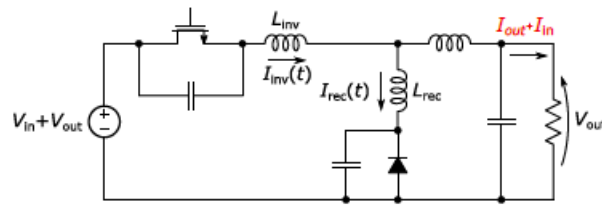


Figura 3.2.0.6: Circuito derivato Inverse3.

Si presenta di seguito un breve esempio di dimensionamento.

---

Si vuole progettare un convertitore fornendo a Matlab come parametri di simulazione  $V_{IN} = 2V$  e  $V_{OUT} = 4V$ , la potenza in uscita  $P_{OUT} = 250mW$  che corrisponde ad una corrente  $I_{OUT} = 62.5mA$ . Le opzioni a fronte di queste specifiche di progetto sono due:

- Ottenere il circuito in Figura 2.2.0.1(b), con tutte le grandezze come da progetto.
  - Ottenere il circuito in Figura 3.2.0.6. La tensione di ingresso **del convertitore** vale quindi  $V_{input} = V_{IN} + V_{OUT} = 6V$  e la tensione di uscita vale  $V_{output} = V_{OUT} = 4V$ . La corrente di uscita vale  $I_{output} = I_{OUT} + I_{IN}$ , con  $I_{OUT} = 62.5mA$  e  $I_{IN}$  da valutare tramite l'efficienza come nel caso Direct1.2.
- 

### 3.3 Selezione dei candidati

In totale vi sono 8 diverse topologie, senza contare quelle che si possono ottenere considerando  $V_{IN}$  e  $V_{OUT}$  negative. Di seguito vengono elencate le motivazioni delle scelte di considerare o meno tali circuiti nelle simulazioni del Capitolo 4:

- **3.1.0.2(a) Topologia Direct1.1:** nonostante la comodità di avere un MOS con source a GND per il pilotaggio, si è preferito lavorare con circuiti aventi solamente tensioni positive.
- **3.1.0.2(b) Topologia Direct1.2:** nonostante la comodità di avere un MOS con source a GND per il pilotaggio, il fatto di avere la corrente di uscita dipendente dalla sottrazione di  $I_{OUT} - I_{IN}$  rende complessa la valutazione della potenza di uscita. Inoltre, in fase di simulazione, il calcolo della resistenza di carico  $R_{LOAD} = \frac{V_{IN}}{I_{OUT} - I_{IN}}$  presenta un asintoto che si rischia di raggiungere se il calcolo dell'efficienza viene fatto con poca accortezza. Questo può portare al calcolo di una resistenza negativa che si traduce in errori di simulazione, non sempre facilmente identificabili siccome il procedimento di denormalizzazione dei parametri è svolto automaticamente.
- **3.1.0.4 Topologia Direct2:** il circuito viene scelto come valido candidato per le simulazioni per la sua semplicità nella definizione di tensioni e correnti in fase di progetto. Non è presente la dipendenza da  $I_{IN}$  nella corrente di uscita e, perciò, la definizione della potenza di uscita è più trasparente. L'unico difetto è avere il MOS con il source non connesso a GND, sarà quindi richiesto un circuito di Bootstrap per il driving in caso di produzione di una scheda (in alternativa si può usare un PMOS).
- **3.1.0.6(a) Topologia Direct3.1:** stesse considerazioni per quanto riguarda una tensione negativa in uscita fatte nel caso della Topologia Direct1.1.
- **3.1.0.6(b) Topologia Direct3.2:** il fatto di avere la corrente di uscita solamente dipendente da  $I_{IN}$  rende complesso il calcolo della potenza di uscita del convertitore. Questo fatto può non essere un problema ma, per motivi che saranno più chiari nei prossimi capitoli, è preferibile avere il MOS vicino alla sorgente d'ingresso. Inoltre è necessario un circuito di Bootstrap per il driving.
- **3.2.0.2 Topologia Inverse1:** il circuito viene scelto come valido candidato per le simulazioni per la sua semplicità nella definizione di tensioni e correnti in fase di progetto. Non è presente dipendenza da  $I_{IN}$  nella corrente di uscita e, perciò, la definizione di potenza di uscita è più trasparente. Come ulteriore vantaggio rispetto al Direct2 il MOS ha il source connesso a GND, il che rende il driving più semplice non necessitando di alcun circuito di Bootstrap.
- **3.2.0.4 Topologia Inverse2:** stesse considerazioni per quanto riguarda una tensione negativa in uscita fatte nel caso della Topologia Direct1.1 e Direct3.1.
- **3.2.0.6 Topologia Inverse3:** il fatto di avere la corrente di uscita dipendente da  $I_{OUT} + I_{IN}$  rende complesso il calcolo della potenza di uscita del convertitore. Questo fatto non è necessariamente un problema, inoltre il calcolo della resistenza di carico  $R_{LOAD} = \frac{V_{IN}}{I_{OUT} + I_{IN}}$  non presenta un asintoto come diversamente accadeva nel Direct1.2. Il driving del MOS può essere complesso, necessitando di un circuito di Bootstrap (in alternativa si può usare un PMOS). Differentemente da quello che succede nel Direct3.2, però, il MOS è vicino alla sorgente d'ingresso. Questa topologia sembra quindi meno vantaggiosa rispetto a Direct2 e Inverse1, ma viene comunque scelta come valida candidata in caso le altre due presentino dei problemi in fase di simulazione.



## Capitolo 4

# Dimensionamento e simulazione single frequency

A fronte delle scelte prese nella fine del capitolo precedente, rimangono 3 topologie da simulare. Questo capitolo si soffermerà dapprima sulla simulazione ideale di ogni circuito ad una singola frequenza. Successivamente verranno selezionati dei componenti reali per MOS e diodo, che saranno caratterizzati per i loro parassiti per quanto possibile, che si sostituiranno a quelli ideali sempre ad una singola frequenza. Per tutte le simulazioni verrà sostituito il carico con un generatore di tensione costante, assumendo quindi di avere un ripple trascurabile in uscita. Questo accorgimento è utile principalmente per ridurre considerevolmente i tempi di convergenza.

### 4.1 Approccio ideale

Il procedimento terrà conto di componenti reattivi ad alto Q (parassiti trascurabili), switch e diodi ideali. L'obiettivo di tali simulazioni è quello di verificare il corretto comportamento del circuito a fronte del dimensionamento dello script Matlab. I parametri di progetto specificati quali  $V_{IN}$  e  $V_{OUT}$  non sono scelti per un eventuale aspetto pratico, ma solamente a scopo dimostrativo.

#### 4.1.1 Direct2

Il primo circuito ad essere simulato è il Direct2, l'unico candidato delle topologie derivate dall'accoppiamento diretto. Lo schema di LTspice è mostrato in Figura 4.1.1.1, MOS e diodo sono sostituiti da componenti ideali, modellati con una  $R_{ON}$  secondo la 2.3.0.3 ed una  $R_{OFF} = 1M\Omega$ . La tensione di soglia del MOS è fissata ad 1V mentre la  $V_D^{ON}$  del diodo è fissata anch'essa secondo la 2.3.0.3.

Per il dimensionamento si sceglie di ottenere un convertitore avente  $D=0.5$ ,  $f = 2MHz$ ,  $V_{input} = 2V$  e  $V_{output} = 4V$ , con potenza di uscita pari a  $P_{output} = 250mW$  che corrisponde ad una corrente  $I_{output} = 62.5mA$ . Questo circuito, come visto in Figura 3.1.0.4, ha in ingresso  $V_{input} = V_{IN}$  (con  $V_{IN}$  = parametro fornito allo script Matlab) e in uscita  $V_{output} = V_{OUT}$  (con  $V_{OUT}$  = parametro fornito allo script Matlab). Risulta evidente che per soddisfare le caratteristiche richieste è necessario passare a Matlab  $V_{IN} = 2V$  e  $V_{OUT} = 4V$ , quindi una corrente

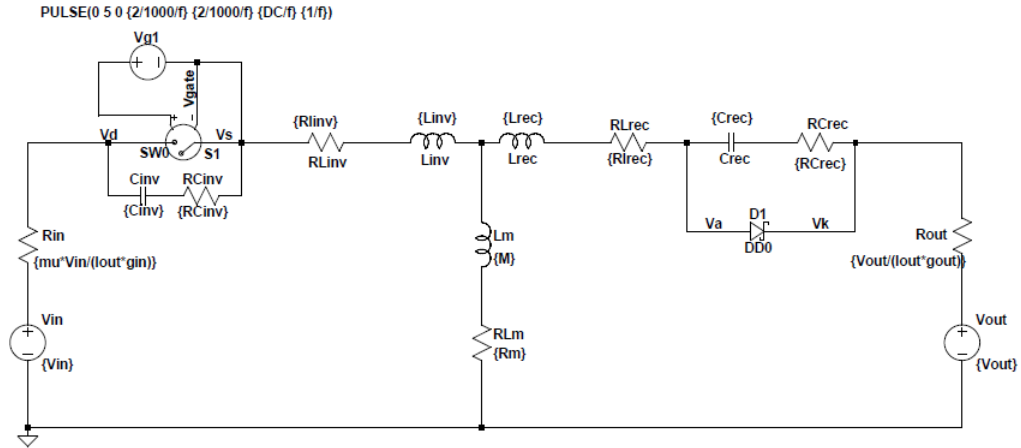


Figura 4.1.1.1: Schema elettrico LTspice del circuito Direct2. Avendo sostituito il carico con un generatore di tensione costante, la corrente diventerà il parametro importante per capire il corretto funzionamento del circuito.

$I_{OUT} = 62.5mA$ . Questi ultimi valori saranno utili in fase di denormalizzazione, ma per osservare l'evoluzione del sistema su Matlab è necessario fissare i parametri liberi  $k_I$  e  $k_R$ .

Guardando alla 2.3.0.6 si ottengono i limiti entro il quale devono essere scelti  $k_I$  e  $k_R$ , in particolare in questo caso si avrà  $|k_I| \leq 0.5$  e  $|k_R| \leq 2$ . Come precedentemente visto nell'esempio in Figura 2.3.0.2 non tutte le soluzioni sono ottime (ZVS+ZVDS), è quindi necessario rimanere nell'area blu del grafico. A questo proposito si sceglie di fissare  $k_I = 0.5$  e  $k_R = 1$  (eliminando  $L_{INV}$ ). I fattori di merito degli induttori sono fissati a 100, quelli dei condensatori ad infinito, la tensione  $v_D^{ON}$  è fissata a zero e tutte le conduttanze in 2.3.0.3 sono fissate ad infinito.

Vengono forniti tutti questi parametri allo script Matlab che provvederà a fornire i coefficienti  $q_I$ ,  $q_R$  e  $q_M$  da usare in fase di denormalizzazione per ottenere le specifiche richieste e, inoltre, un'evoluzione delle forme d'onda del tipo in Figura 2.3.0.3. Una volta finita l'esecuzione del programma si ottengono rispettivamente  $q_I = 1.7872$ ,  $q_R = 0.7346$  e  $q_M = 1.1404$  che vengono sostituiti alle formule in 2.3.0.7 e 2.3.0.8 per ottenere i valori dei componenti reattivi più i relativi parassiti.

La simulazione LTspice fornisce le forme d'onda in Figura 4.1.1.2 che sono identiche in ogni aspetto a quelle normalizzate in Figura 2.3.0.3. In particolare si evidenzia la presenza di entrambe le condizioni di ZVS e ZVDS per la tensione  $V_{DS}$ . La corrente di uscita del convertitore vale  $I_{output} = 61.321mA$  che corrisponde ad una potenza di uscita pari a  $P_{output} = 245.3mW$  (circa il 2% d'errore, accettabile).

È importante rendersi conto degli stress ai quali sono sottoposti i dispositivi nelle simulazioni ideali poiché queste informazioni si renderanno utili in fase di ricerca dei componenti reali da sostituire. A questo proposito si nota che:

- la tensione  $V_{DS}^{MAX} = 7V$ , ovvero 3.5 volte la tensione  $V_{IN}$ .
- la corrente media nel MOS vale  $\overline{I_{DS}} = 130mA$  e la corrente RMS vale  $I_{DS}^{RMS} = 230mA$ .

- la tensione  $V_{KA}^{MAX} = 12V$ , ovvero 3 volte la tensione  $V_{OUT}$ .
- la corrente media nel diodo vale  $\overline{I_D} = 61.321mA$  e la corrente RMS vale  $I_{DS}^{RMS} = 160mA$ .

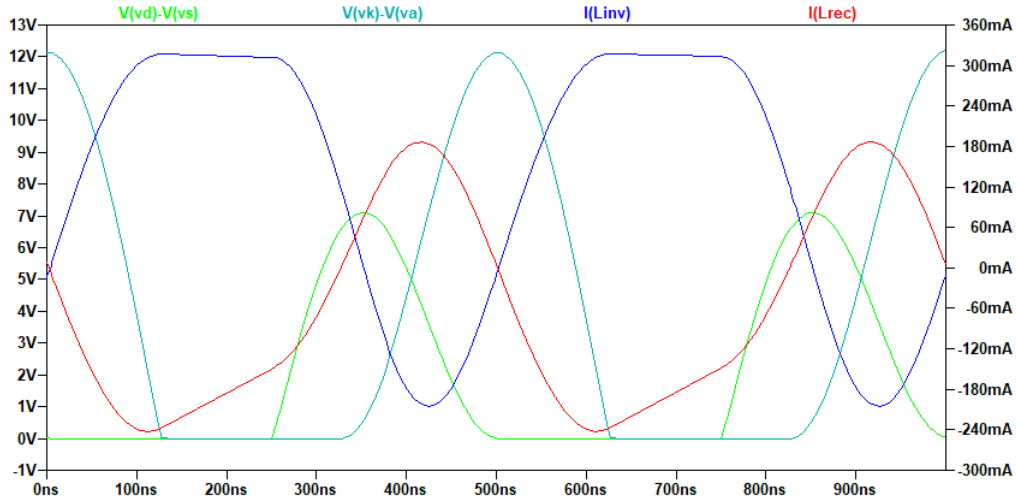


Figura 4.1.1.2: Forme d'onda per la simulazione ideale di Direct2.

### 4.1.2 Inverse1

Come secondo circuito viene simulato il Inverse1, primo candidato delle topologie ad accoppiamento inverso. Le considerazioni fatte per quanto riguarda il MOS ed il diodo per il Direct2 persistono anche in questa simulazione. Lo schema di LTspice è mostrato in Figura 4.1.2.1.

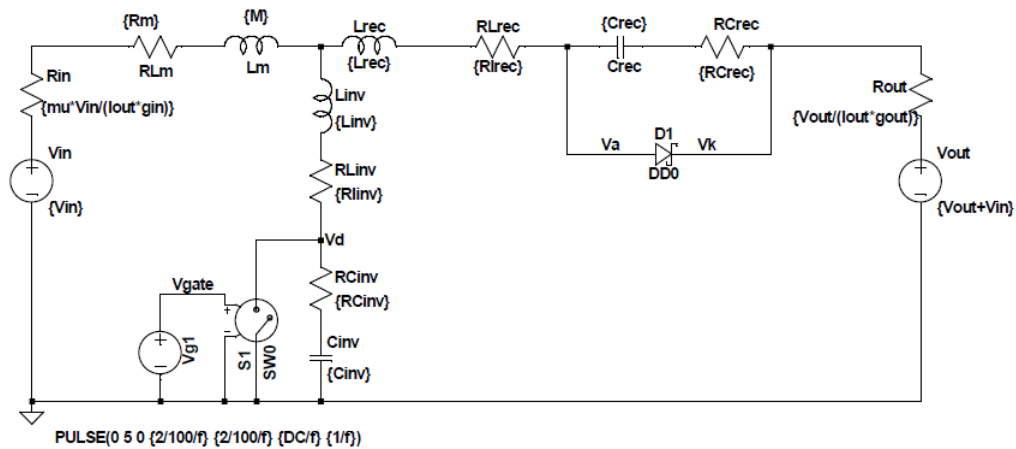


Figura 4.1.2.1: Schema elettrico LTspice del circuito Inverse1.

Per il dimensionamento si sceglie di ottenere un convertitore avente  $D=0.5$ ,  $f = 2MHz$ ,  $V_{input} = 2V$  e  $V_{output} = 4V$ , con potenza di uscita pari a  $P_{output} = 250mW$  che corrisponde ad una corrente  $I_{output} = 62.5mA$ . Questo circuito, come visto in Figura 3.2.0.2, ha in ingresso  $V_{input} = V_{IN}$  (con  $V_{IN}$  = parametro fornito allo script Matlab) e in uscita  $V_{output} = V_{IN} + V_{OUT}$  (con  $V_{OUT}$  e  $V_{IN}$  parametri forniti allo script Matlab). Risulta evidente che per soddisfare le caratteristiche richieste è necessario passare a Matlab  $V_{IN} = 2V$  e  $V_{OUT} = V_{output} - V_{IN} = 2V$ , quindi una corrente  $I_{OUT} = \frac{P_{output}}{V_{IN}+V_{OUT}} = 62.5mA$ . Questi ultimi valori saranno utili in fase di denormalizzazione, ma per osservare l'evoluzione del sistema su Matlab è necessario fissare i parametri liberi  $k_I$  e  $k_R$ .

Guardando alla 2.3.0.6 si ottengono i limiti entro il quale devono essere scelti  $k_I$  e  $k_R$ , in particolare in questo caso si avrà  $|k_I| \leq 1$  e  $|k_R| \leq 1$ . Nel caso di circuiti ad accoppiamento inverso si fa riferimento allo spazio delle soluzioni in figura 4.1.2.2. Per ottenere ZVS+ZVDS si opta per  $k_I = -0.5$  e  $k_R = -1$  (eliminando  $L_{REC}$ ). I parassiti e le caratteristiche di MOS e diodo rimangono invariati rispetto alla simulazione precedente.

Una volta finita l'esecuzione del programma si ottengono rispettivamente  $q_I = 1.9871$ ,  $q_R = 0.7401$  e  $q_M = -1.1361$  che vengono sostituiti alle formule in 2.3.0.7 e 2.3.0.8 per ottenere i valori dei componenti reattivi più i relativi parassiti.

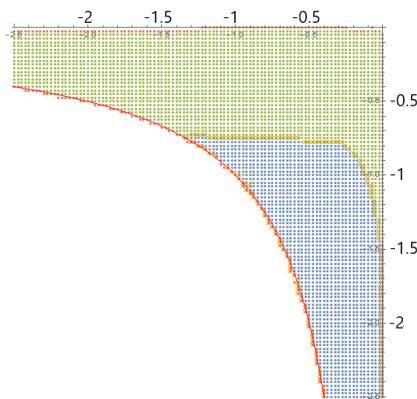


Figura 4.1.2.2: Spazio delle soluzioni con  $D=0.5$  per accoppiamento inverso.

La simulazione LTspice fornisce le forme d'onda in Figura 4.1.2.3 che sono identiche in ogni aspetto a quelle normalizzate in Figura 2.3.0.3. L'unica differenza è che in questo caso  $I_{L_{INV}}$  e  $I_{L_{REC}}$  sono in fase a causa del ritardo di  $180^\circ$  dato dall'accoppiamento inverso. In particolare si evidenzia la presenza di entrambe le condizioni di ZVS e ZVDS per la tensione  $V_{DS}$ . La corrente di uscita del convertitore vale  $I_{output} = 61.467mA$  che corrisponde ad una potenza di uscita pari a  $P_{output} = 245.9mW$  (circa il 2% d'errore, accettabile).

Per quanto riguarda gli stress sui componenti:

- la tensione  $V_{DS}^{MAX} = 7V$ , ovvero 3.5 volte la tensione  $V_{IN}$ , come in Direct2.
- la corrente media nel MOS vale  $\overline{I_{DS}} = 68.3mA$  e la corrente RMS vale  $I_{DS}^{RMS} = 122mA$ .
- la tensione  $V_{KA}^{MAX} = 6V$ , ovvero 3 volte la tensione  $V_{OUT}$ .

- la corrente media nel diodo vale  $\overline{I_D} = 61.467mA$  e la corrente RMS vale  $I_{DS}^{RMS} = 164.5mA$ .

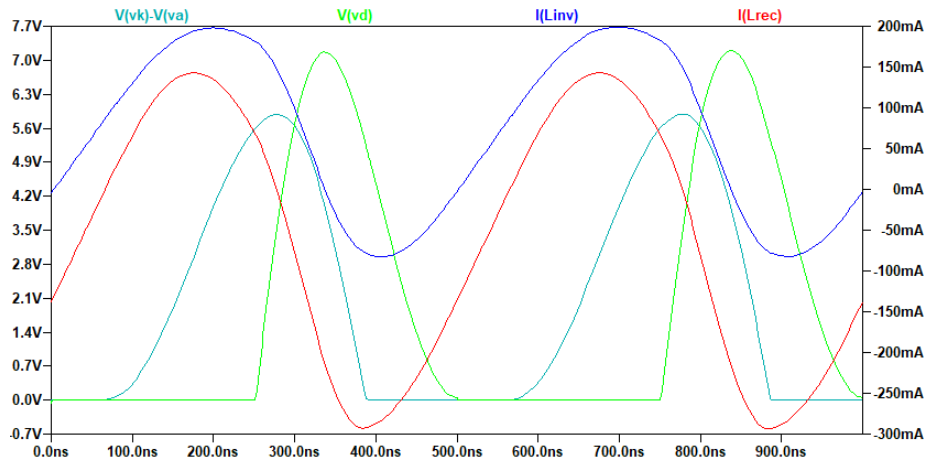


Figura 4.1.2.3: Forme d'onda per la simulazione ideale di Inverse1.

### 4.1.3 Inverse3

Come ultimo circuito rimane il Inverse3. Le considerazioni fatte per quanto riguarda il MOS ed il diodo per il Direct2 persistono anche in questa simulazione. Lo schema LTspice è mostrato in Figura 4.1.3.1.

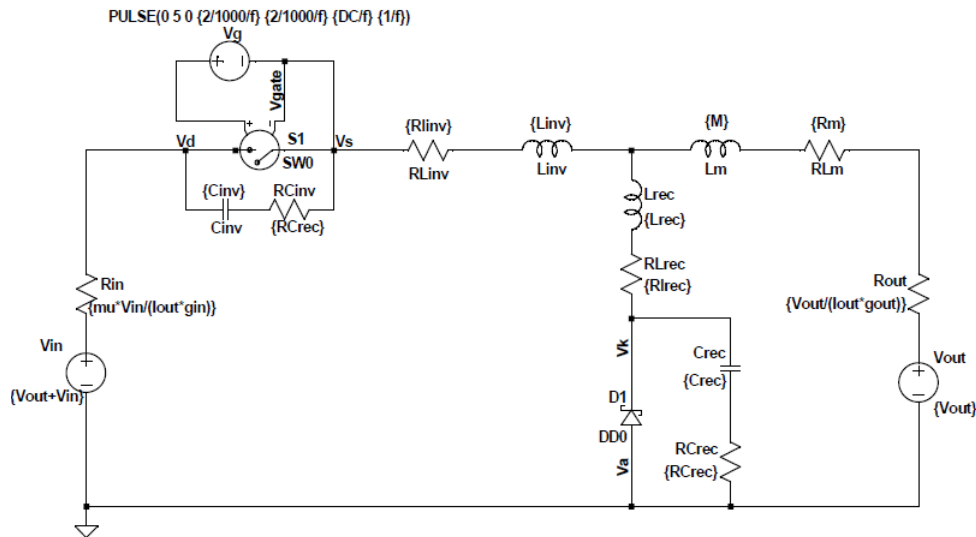


Figura 4.1.3.1: Schema elettrico LTspice del circuito Inverse3.

Per il dimensionamento si sceglie di ottenere un convertitore avente  $D=0.5$ ,  $f = 2MHz$ ,  $V_{input} = 4V$  e  $V_{output} = 2V$ , con potenza di uscita pari a  $P_{output} = 250mW$  che corrisponde ad una corrente  $I_{output} = 125mA$ . Questo circuito, come visto in Figura 3.2.0.6, ha in ingresso  $V_{input} = V_{IN} + V_{OUT}$  e in uscita  $V_{output} = V_{OUT}$ . Risulta evidente che per soddisfare le caratteristiche richieste è necessario passare a Matlab  $V_{OUT} = 2V$  e  $V_{IN} = V_{input} - V_{OUT} = 2V$ .

Per la corrente di uscita e di conseguenza la potenza, come già anticipato, la questione è più complessa in quanto si rende necessaria l'approssimazione dell'efficienza del convertitore. Il metodo più efficace trovato in fase di studio è un procedimento iterativo che consiste nello svolgere una simulazione preliminare, ricavare i dati utili e ricalcolare nuovamente i parametri per ottenere la caratteristica necessaria.

Entrando maggiormente nel dettaglio viene svolto un primo dimensionamento passando a Matlab  $P_{OUT} = 250mW$ ,  $I_{OUT} = 125mA$  e i due valori di tensione descritti in precedenza. Per quanto riguarda  $k_I$  e  $k_R$ , facendo riferimento sempre alla Figura 4.1.2.2, si può scegliere ad esempio  $k_I = -0.5$  e  $k_R = -1$  (eliminando  $L_{REC}$ ) come nel caso precedente. Il programma restituisce i valori di  $q_I = 1.9871$ ,  $q_R = 0.7401$  e  $q_M = -1.1361$  (rimangono invariati i parassiti come nel caso precedente) che vengono sostituiti alle formule in 2.3.0.7 e 2.3.0.8 per ottenere i valori dei componenti reattivi più i relativi parassiti.

La simulazione in LTspice fornisce le forme d'onda in Figura 4.1.3.2:

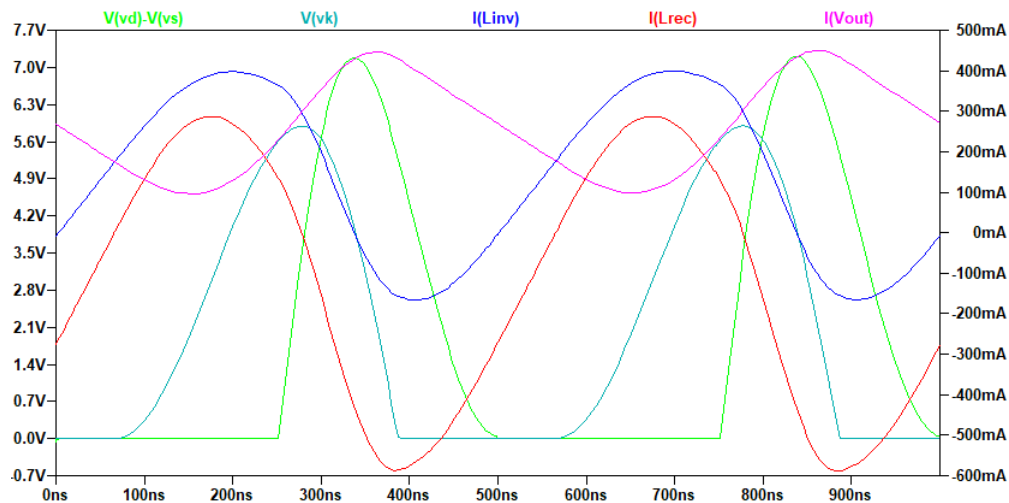


Figura 4.1.3.2: Forme d'onda per la simulazione di test di Inverse3.

Da questa simulazione di test viene preso il valore della corrente  $I_{output} = 261mA$  che porta ovviamente ad un valore di potenza  $P_{output} = I_{output}V_{output} = 522mW > 250mW$ . Dalla corrente di uscita però è possibile estrapolare il valore di  $I_{IN}$  (siccome  $I_{output} = I_{OUT} + I_{IN}$ ) che vale  $I_{IN} = I_{output} - I_{OUT} = 136mA$ .

Sapendo ora questo dato è possibile stimare l'efficienza del convertitore tramite la 3.1.0.1, invertita, che vale  $\eta = 0.91$ .

Perciò, siccome inserendo in Matlab  $P_{OUT} = 250mW$  se ne ottengono in realtà  $P_{output} = 522mW$ , il conto da fare è il seguente:

$$\begin{aligned}
 V_{OUT} (I_{OUT} + I_{IN}) &= P_{desiderata} \implies V_{OUT} \left( \frac{P_{OUT}}{V_{OUT}} + \frac{P_{OUT}}{\eta V_{IN}} \right) = P_{desiderata} \\
 \implies P_{OUT} &= \frac{P_{desiderata}}{V_{OUT}} \frac{\eta V_{IN} V_{OUT}}{V_{OUT} + \eta V_{IN}} \quad (4.1.3.1)
 \end{aligned}$$

Significa che, per ottenere una potenza di  $250mW$  in uscita dal convertitore Inverse3, si deve in realtà inserire nel Matlab  $P_{OUT} = 119.1mW$ . Si ripete quindi la simulazione del circuito in LTspice, ma questa volta la corrente usata per le denormalizzazioni vale  $I_{OUT} = \frac{119.1mW}{2V} = 60mA$ . La simulazione fornisce le forme d'onda in Figura 4.1.3.3:

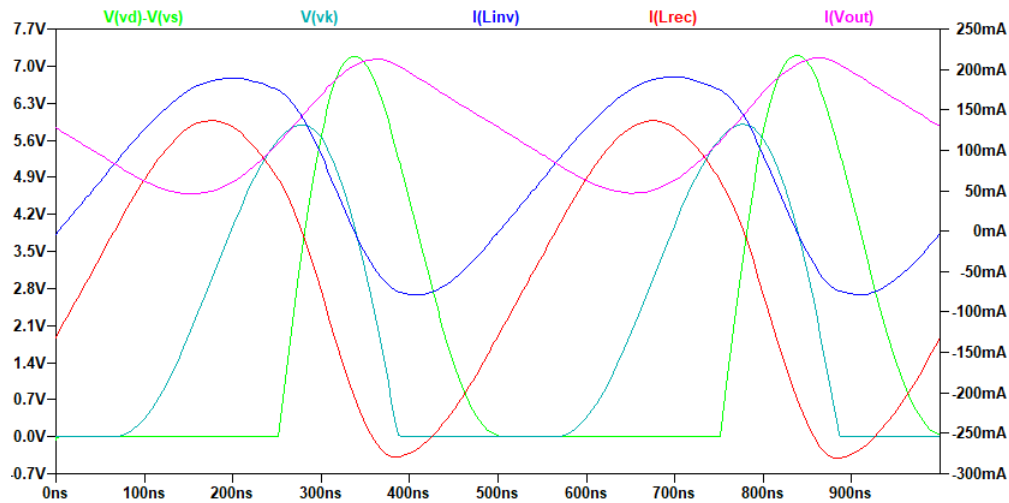


Figura 4.1.3.3: Forme d'onda per la simulazione ideale di Inverse3.

In questa simulazione la corrente di uscita del convertitore vale  $I_{output} = 124.4mA$  e perciò la potenza sarà  $P_{output} = 248.8mW$  (meno dello 0.5% di errore).

Per quanto riguarda gli stress sui componenti si può notare che sono gli stessi del circuito Inverse1, persistono infatti le relazioni  $V_{DS}^{MAX} \approx 3.5V_{IN}$  e  $V_{KA}^{MAX} \approx 3.5V_{OUT}$ . Per quanto riguarda le correnti, stando attorno a valori relativamente bassi di potenza di uscita, non sono particolarmente importanti per il dimensionamento di MOS e diodo. Occorre comunque considerare l'entità di queste correnti per il dimensionamento e la ricerca degli induttori, che saranno un punto cruciale per quanto riguarda il loro fattore di merito.

## 4.2 Scelta e caratterizzazione di MOS e diodo

Prima di trovare i componenti adatti è necessario fissare delle specifiche per i vari circuiti. Da questo punto in poi le simulazioni sulle topologie in single frequency verranno fatte a fronte di questi dimensionamenti:

- Direct2:  $V_{input} = 5V$ ,  $V_{output} = 7V$ ,  $D=0.5$ ,  $f = 2MHz$ ,  $P_{output} = 500mW$  che corrisponde a  $I_{output} = 71.42mA$ . In termini di script Matlab le grandezze  $V_{IN}$ ,  $V_{OUT}$ ,  $P_{OUT}$  e  $I_{OUT}$  saranno le stesse in relazione con quelle specificate dal progetto. Inoltre si fissano  $k_I = \frac{5}{7}$  e  $k_R = 1$ , eliminando  $L_{INV}$ . A fronte di questi valori si può assumere che le tensioni su MOS e diodo saranno circa  $V_{DS}^{MAX} = 17.5V$  e  $V_{KA}^{MAX} = 24.5V$  seguendo le relazioni che intercorrono tra le grandezze di progetto e gli stress.
- Inverse1:  $V_{input} = 5V$ ,  $V_{output} = 12V$ ,  $D=0.3$ ,  $f = 2MHz$ ,  $P_{output} = 500mW$  che corrisponde a  $I_{output} = 41.67mA$ . Si opta per un duty cycle al 30% poiché lo spazio delle soluzioni ottime è più vasto per le topologie inverse come si vede in Figura 4.2.0.1. In termini di script Matlab si avrà  $V_{IN} = 5V$ ,  $V_{OUT} = V_{output} - V_{IN} = 7V$  mentre per  $P_{OUT}$  e  $I_{OUT}$  le grandezze rimarranno le stesse. Inoltre si fissano  $k_I = -\frac{5}{7}$  e  $k_R = -1$ , eliminando  $L_{INV}$ . A fronte di questi valori si può assumere che le tensioni su MOS e diodo saranno inferiori a  $V_{DS}^{MAX} = 17.5V$  e  $V_{KA}^{MAX} = 24.5V$ , siccome per  $D=0.3$  gli stress sono ridotti.
- Inverse3:  $V_{input} = 12V$ ,  $V_{output} = 5V$ ,  $D=0.3$ ,  $f = 2MHz$ ,  $P_{output} = 500mW$  che corrisponde a  $I_{output} = 100mA$ . In termini di script Matlab si avrà  $V_{OUT} = 5V$ ,  $V_{IN} = V_{input} - V_{OUT} = 7V$  mentre per  $P_{OUT}$  e  $I_{OUT}$  è necessario studiare l'efficienza. Applicando lo stesso procedimento svolto in precedenza con questo setup si ottiene un'approssimazione dell'efficienza di convertitore pari a  $\eta = 0.66$ , perciò si dovrà inserire  $P_{OUT} = 240.1mW$  e di conseguenza la corrente  $I_{OUT} = 48mA$ . Inoltre si fissano  $k_I = -1$  e  $k_R = -\frac{5}{7}$ , eliminando  $L_{REC}$ . Gli stress massimi su MOS e diodo possono considerarsi simili al caso Inverse1.

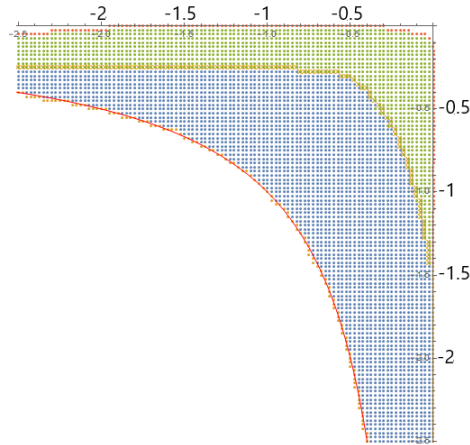


Figura 4.2.0.1: Spazio delle soluzioni con  $D=0.3$  per accoppiamento inverso. Si nota che il range di soluzioni ottime è più vasto rispetto al caso con  $D=0.5$ .



Secondo quanto osservato è necessario trovare un MOS con una  $V_{DS}^{MAX}$  di 20V o superiore ed un diodo con  $V_{KA}^{MAX}$  di 30V o superiore. Siccome la potenza sarà relativamente bassa, la corrente massima non viene considerata caratterizzante per i dispositivi. Giusto per avere un campo di ricerca si sceglie un valore di  $I_D^{MAX}$  e  $I_{DS}^{MAX}$  maggiore di 1A.

Per il MOS si sceglie il dispositivo IRLML0030TRPbF [8] che ha una  $V_{DS}^{MAX} = 30V$  ed una resistenza  $R_{DS}^{ON} \simeq 30m\Omega$ . Mentre per il diodo si sceglie il dispositivo ES1B [14] che ha una  $V_{KA}^{MAX} = 100V$ , una resistenza  $R_D^{ON}$  da stimare in fase di caratterizzazione ed una tensione  $V_D^{ON} \simeq 0.8V$ . È necessario svolgere delle simulazioni sui componenti in modo da caratterizzarli, così facendo è possibile avere una stima della capacità che essi hanno in stato di OFF.

A questo proposito si creano i circuiti passa basso in Figura 4.2.0.2, dove viene forzato lo spegnimento di MOS e diodo per fare in modo di valutarne le rispettive capacità. Il bias viene impostato a 18V per il MOS e a 20V per il diodo. Successivamente viene svolta una simulazione AC da 1kHz a 1GHz in modo da trovare il polo del filtro passa basso equivalente. I diagrammi di Bode sono rappresentati in Figura 4.2.0.3.



Figura 4.2.0.2: LPF con MOS e diodo.

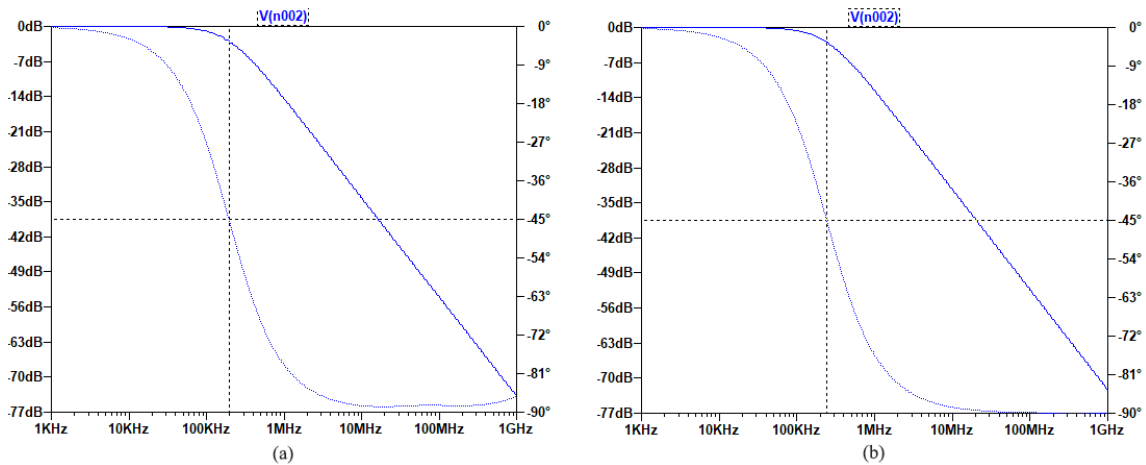


Figura 4.2.0.3: Diagramma di Bode per il MOS (a) e il diodo (b).

Posizionando il cursore della fase a  $-45^\circ$  si legge  $f_P = 195kHz$  e  $f_P = 243kHz$  rispettivamente per MOS e diodo. Utilizzando la classica formula di un filtro passa basso applicata ai circuiti di

Figura 4.2.0.2 si ottengono le due capacità parassite  $C_{MOS} \approx 80pF$  e  $C_{diodo} \approx 7pF$ . Come ultima analisi viene stimata la  $R_D^{ON}$  del diodo osservando la caratteristica I/V che si ottiene modificando opportunamente il circuito in Figura 4.2.0.2. Si approssima quindi  $R_D^{ON} \approx 25m\Omega$ . Ovviamente trattandosi di metodi molto approssimativi i risultati non saranno affidabili, ma almeno daranno un'idea dell'ordine di grandezza attorno al quale si aggirano i parassiti dei dispositivi. Siccome il MOS e il diodo verranno inseriti in parallelo a  $C_{INV}$  e  $C_{REC}$  le loro capacità parassite si sommeranno. Al crescere della frequenza di switching i parassiti diventeranno quindi un contributo via via più importante ( $C_{INV}$  e  $C_{REC}$  sono inversamente proporzionali alla frequenza). Questo fenomeno è da tenere in considerazione lavorando ad alte frequenze di switching, poiché si renderanno necessarie delle riduzioni nei valori di  $C_{INV}$  e  $C_{REC}$  per portare nuovamente la risonanza al valore prestabilito.

### 4.3 Approccio reale

Vengono sostituiti ora i dispositivi scelti nella sezione precedente nei circuiti da simulare. Le specifiche di progetto rimangono invariate.

#### 4.3.1 Direct2

Si sostituiscono i valori di  $V_D^{ON} = 0.8$ ,  $R_D^{ON} = 25m\Omega$  e  $R_{DS}^{ON} = 30m\Omega$  nelle formule in 2.3.0.3. Per ottenere una simulazione più realistica i valori del Q degli induttori viene abbassato a 50, mentre si mantengono ad infinito i valori dei Q dei condensatori e le resistenze di ingresso e di uscita.

Da Matlab si ottengono i valori  $q_I = 1.5595$ ,  $q_R = 0.9252$  e  $q_M = 2.6547$  da sostituire nelle denormalizzazioni. Lo schema LTspice è presentato in Figura 4.3.1.1, mentre le forme d'onda si trovano in Figura 4.3.1.2.

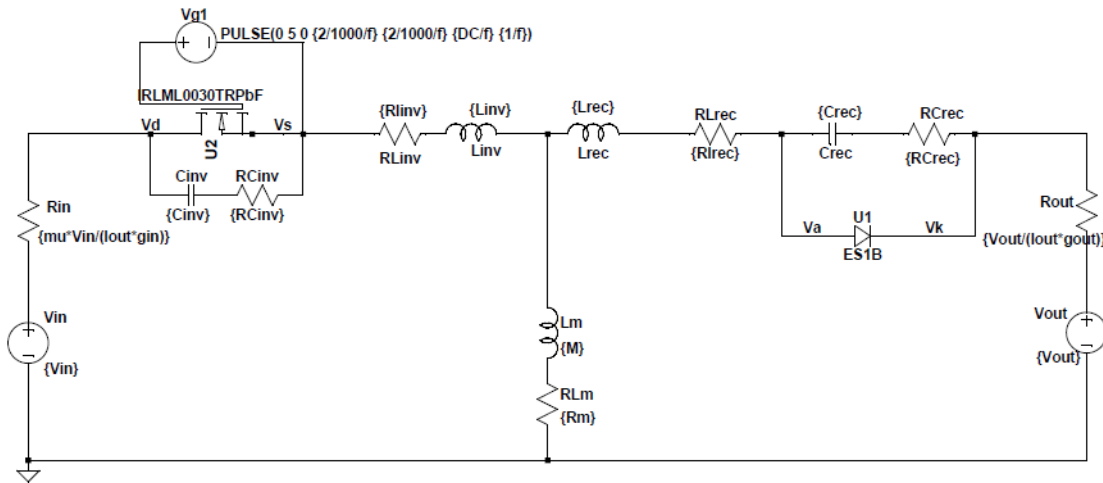


Figura 4.3.1.1: Schema elettrico LTspice del circuito reale Direct2.

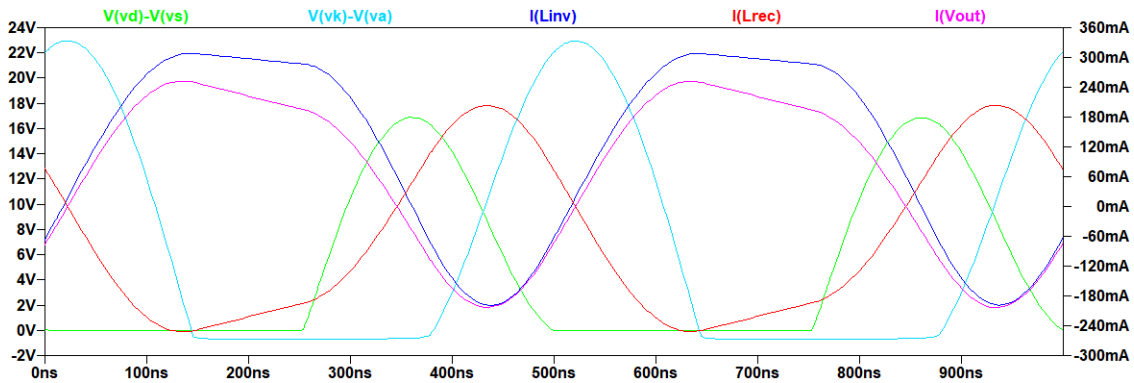


Figura 4.3.1.2: Forme d'onda per la simulazione reale di Direct2.

La simulazione fornisce entrambe le condizioni di ZVS e ZVDS per la tensione sul MOS, gli stress sui dispositivi sono quelli attesi. La corrente di uscita del convertitore è  $I_{output} \simeq 67mA$  mentre la potenza di uscita vale  $P_{output} \simeq 470mW$ . L'errore commesso nella simulazione corrisponde a circa il 6% ed è abbastanza alto, questo evidenzia una modellazione non propriamente corretta del circuito.

Il modo più efficiente per risolvere il problema è quello di aggiungere un offset nel valore di  $P_{OUT}$  per le denormalizzazioni. Provando a simulare nuovamente inserendo  $P_{OUT} = 535mW$  invece di 500mW si ottengono le forme d'onda in Figura 4.3.1.3:

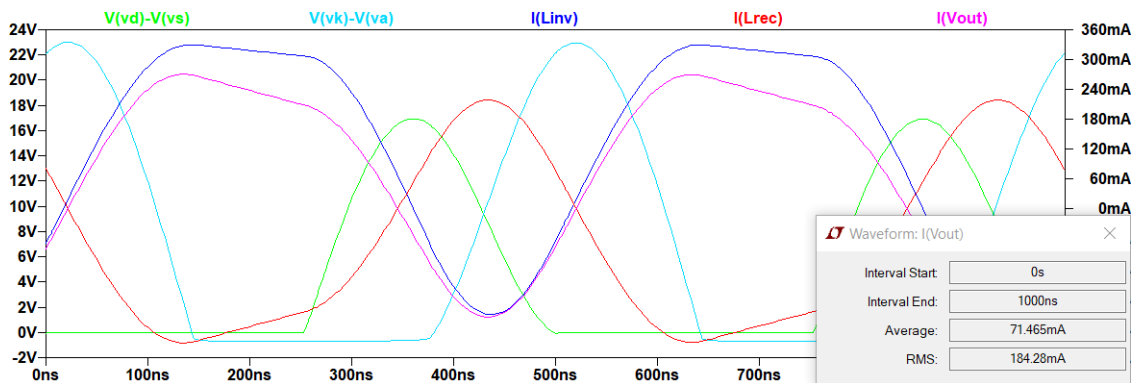


Figura 4.3.1.3: Forme d'onda per la simulazione reale di Direct2, con offset.

Si osserva che l'aggiunta dell'offset per la denormalizzazione porta la corrente di uscita a  $I_{output} = 71.465mA$  che corrisponde ad una potenza  $P_{output} = 500.25mW$ . Questo dimostra che il sistema di modellazione del convertitore fornisce comunque un'approssimazione al ribasso, rendendo necessaria una correzione a posteriori in simulazione.

### 4.3.2 Inverse1

Come nel caso precedente si sostituiscono i valori dei dispositivi nelle normalizzazioni in 2.3.0.3 e i Q rimangono invariati, come anche le resistenze di ingresso e di uscita.

Da Matlab si ottengono i valori di  $q_I = 0.2479$ ,  $q_R = 0.1948$  e  $q_M = -0.9282$  da sostituire nelle denormalizzazioni. Lo schema LTspice è presentato in Figura 4.3.2.1, mentre le forme d'onda si trovano in Figura 4.3.2.2.

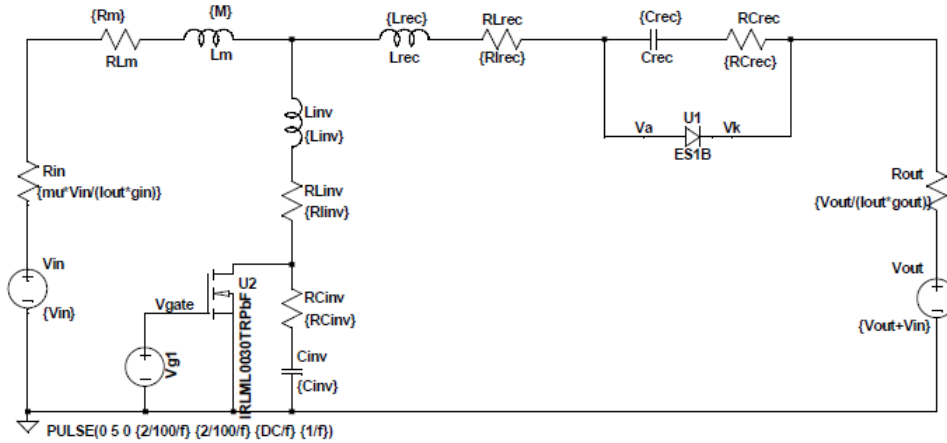


Figura 4.3.2.1: Schema elettrico LTspice del circuito reale Inverse1.

Quello che si nota, come nella simulazione del Direct2, è una differenza tra i valori attesi rispetto a quelli ottenuti. Ciò che si ottiene infatti è una corrente  $I_{output} = 36.1mA$  che fornisce una potenza  $P_{output} = 433.2mW$ . Come prima è necessario aggiungere un offset in fase di simulazione alla  $P_{OUT}$  poiché un errore del 14% non può essere accettabile. A questo proposito si imposta  $P_{OUT} = 575mW$  in denormalizzazione e, facendo simulare nuovamente, si osserva che la corrente di uscita vale  $I_{output} = 41.622mA$  che corrisponde ad una potenza  $P_{output} \approx 499.5mW$ . Rimangono invariate invece le condizioni di ZVS e ZVDS che rimangono presenti.

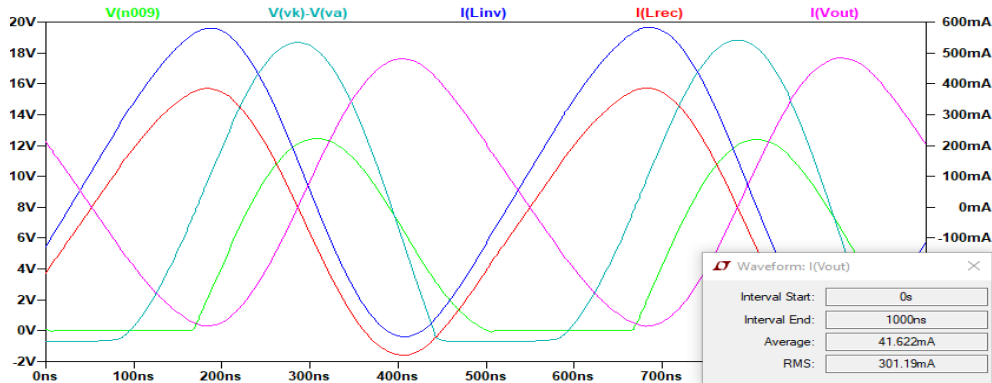


Figura 4.3.2.2: Forme d'onda per la simulazione reale di Inverse1, con offset.

### 4.3.3 Inverse3

Come nel caso precedente si sostituiscono i valori dei dispositivi nelle normalizzazioni in 2.3.0.3 e i  $Q$  rimangono invariati, come anche le resistenze di ingresso e di uscita. Volendo ottenere 500mW in uscita in questo topologia è necessario inserire  $P_{OUT} = 257.8mW$  (stima dell'efficienza al 77%). Da Matlab si ottengono i valori di  $q_I = 0.2394$ ,  $q_R = 0.3221$  e  $q_M = -1.1072$  da sostituire nelle denormalizzazioni. Lo schema LTspice è presentato in Figura 4.3.3.1, mentre le forme d'onda si trovano in Figura 4.3.3.2.

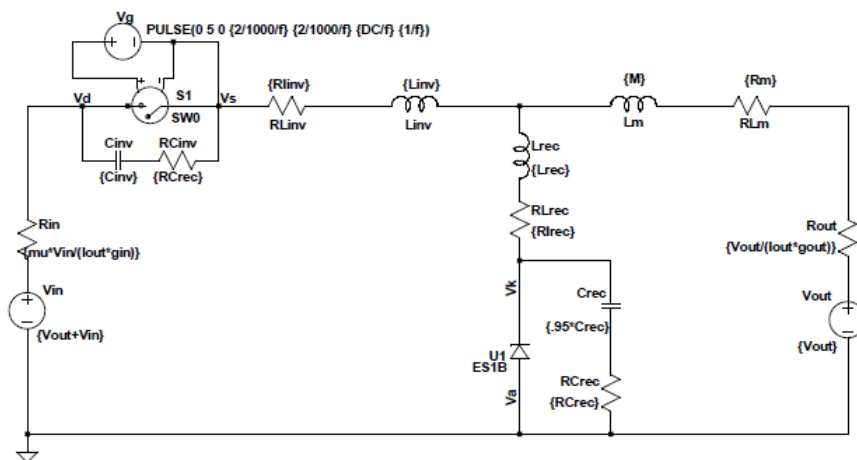


Figura 4.3.3.1: Schema elettrico LTspice del circuito reale Inverse3.

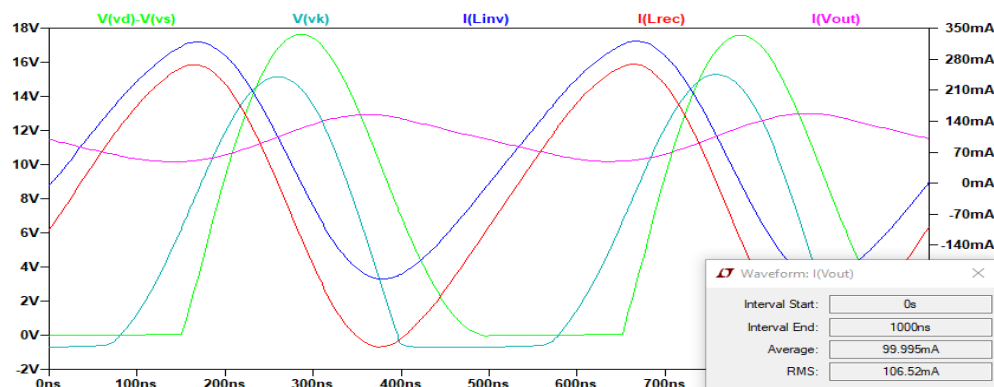


Figura 4.3.3.2: Forme d'onda per la simulazione reale di Inverse3.

Si nota una differenza rispetto agli altri casi, ovvero che si è resa necessaria una compensazione del 5% per la capacità  $C_{REC}$  per ottenere le condizioni di ZVS+ZVDS in Figura 4.3.3.2. Nel caso di Inverse3 non è necessaria l'applicazione dell'offset in quanto questo viene già considerato nell'approssimazione dell'efficienza. Fatto ciò i risultati sono concordi con quanto specificato, con  $I_{output} = 99.995mA$  che corrisponde a  $P_{output} \approx 500mW$ .

## Capitolo 5

# Dimensionamento e simulazioni dual frequency

Si considerano ora le simulazioni in dual frequency. Questo metodo alterna due azioni di switching differenti in un periodo ottenendo due valori di potenza in uscita, la cui media sarà la potenza desiderata.

### 5.1 Funzionamento e studio sull'ottimizzazione delle transizioni

Si rende necessario spendere qualche parola per quanto riguarda la transizione tra le due differenti azioni di switching. In particolare bisogna comprendere quando questa transizione fornisca il risultato migliore in termini di transistori per il raggiungimento del regime.

Studiando le denormalizzazioni in 2.3.0.7 si osserva che tutti gli induttori hanno al denominatore sia  $\omega$  che  $I_{OUT}$ . L'obiettivo è quello di mantenere uguale il valore degli induttori in entrambe le azioni di switching perciò, sapendo che  $I_{OUT} = \frac{P_{OUT}}{V_{OUT}}$ , se si raddoppia la frequenza è necessario dimezzare la potenza di uscita e così via. Caso differente sono i condensatori  $C_{INV}$  e  $C_{REC}$  che avranno un valore totalmente differente tra un'azione di switching e l'altra. Si espone un breve esempio numerico per mostrare il ragionamento da svolgere.

---

Si supponga di voler progettare un convertitore con metodo dual frequency con  $f_1 = 2MHz$ ,  $P_1 = 500mW$  e  $f_2 = 1MHz$ ,  $P_2 = 1W$ . Se si considera un contributo del 50% di entrambi i regimi significa che in uscita si otterrà la media delle due potenze  $P_{output} = 750mW$ . Supponendo ad esempio la topologia Direct2 avente  $k_I = \frac{5}{7}$  e  $k_R = 1$  e le denormalizzazioni scelte nella sezione 4.2 si ottiene rispettivamente:

- $f_1 = 2MHz$ ,  $P_1 = 500mW$ :

$$L_{INV} = 0H \quad L_{REC} = 6.57\mu H \quad M = 16.4\mu H$$

$$C_{INV}^1 = 0.9nF \quad C_{REC}^1 = 0.71nF$$

- $f_2 = 1MHz, P_2 = 1W$ :

$$L_{INV} = 0H \quad L_{REC} = 6.57\mu H \quad M = 16.4\mu H$$

$$C_{INV}^2 = 3.58nF \quad C_{REC}^2 = 2.9nF$$

Il passaggio tra  $f_1$  ed  $f_2$  mantiene le stesse induttanze, come previsto, ma richiede valori totalmente differenti di condensatori. Quello che si può fare è iniziare con  $C_{INV}^1$  e  $C_{REC}^1$  a  $f_1$  e successivamente, nella transizione tra  $f_1$  ed  $f_2$ , aggiungere in parallelo altre due capacità del valore:

$$C_{INV}^P = C_{INV}^2 - C_{INV}^1 = 2.68nF \quad C_{REC}^P = C_{REC}^2 - C_{REC}^1 = 2.19nF$$

Le capacità saranno poi nuovamente rimosse durante la transizione tra  $f_2$  ed  $f_1$  e così via. Questo procedimento dovrà essere ripetuto periodicamente, aggiungendo e togliendo le due capacità in parallelo mediante un sistema di switch che si aprono e si chiudono in corrispondenza della zona di funzionamento.

Per controllare gli interruttori si genera una funzione  $V_{Control}$  che agirà nel seguente modo:

$$V_{Control} = \begin{cases} 0 & \text{funzionamento a } f_1, C_{INV}^P \text{ e } C_{REC}^P \text{ sconnessi} \\ 1 & \text{funzionamento a } f_2, C_{INV}^P \text{ e } C_{REC}^P \text{ connessi} \end{cases}$$

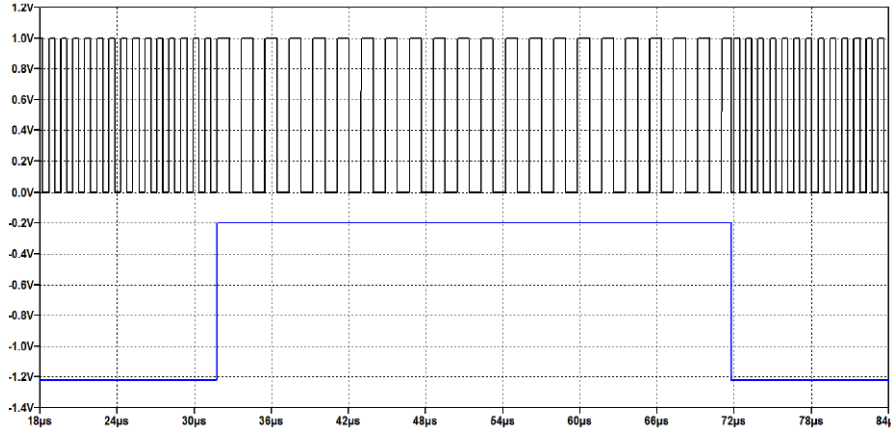


Figura 5.1.0.1:  $V_{Control}$  (blu) e  $V_{GATE}$  (nero). Il grafico è stato scalato per visualizzare contemporaneamente entrambe le forme d'onda.

Ovviamente la frequenza di  $V_{Control}$  deve essere molto più bassa rispetto ad  $f_1$  e  $f_2$ , per fare in modo di avere un certo numero di periodi disponibili per i transistori durante i cambi di regime. Inoltre il Duty Cycle di  $V_{control}$  determina la potenza effettiva che si avrà in uscita del convertitore. Ad esempio con  $D=50\%$  la  $P_{output}$  varrà la media delle potenze tra i due regimi.

In poche parole il passaggio tra le due zone di funzionamento si ritraduce, oltre che a diversi valori delle capacità, in diversi valori di potenza di uscita e quindi di corrente. Infatti se si considera il sistema a  $f_1$ , la potenza di uscita e di conseguenza le correnti saranno più basse rispetto al caso con  $f_2$ . Ciò vuol dire che una transizione da  $f_2$  ad  $f_1$  porta ad una riduzione dell'ampiezza delle correnti. Caso totalmente differente sono le tensioni  $V_{DS}$  e  $V_{KA}$  che rimangono identiche sia in un caso che nell'altro. Secondo queste considerazioni quindi si deriva che il passaggio tra le due frequenze altro non è che un transitorio delle correnti  $I_{LINV}$  ed  $I_{LREC}$  che porta a forme d'onda con ampiezza maggiore o minore dipendentemente dalla transizione in atto. L'obiettivo dell'ottimizzazione è quello di rendere più corto possibile questo transitorio delle correnti o, addirittura, istantaneo. Il comportamento desiderato viene mostrato nel grafico in Figura 5.1.0.2 ottenuto da Matlab che mostra quello che idealmente si dovrà ottenere.

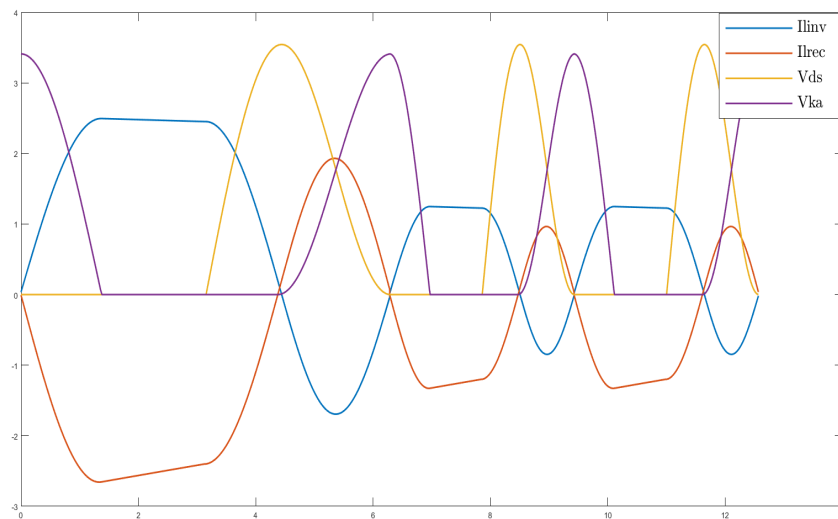


Figura 5.1.0.2: Esempio di transizione ideale tra  $f_2$  ed  $f_1$  per le topologie dirette. Il comportamento della transizione ideale tra  $f_1$  ed  $f_2$  corrisponde a queste forme d'onda speculari sull'asse X.

Un buon modo per rendere il meno evidente possibile il passaggio tra le due zone è quello di variare  $k_I$  e  $k_R$  e posizionare la transizione opportunamente in modo da:

1. Avere contemporaneamente  $I_{LINV} \approx 0$  ed  $I_{LREC} \approx 0$  durante la transizione. Così facendo l'espansione o la riduzione di ampiezza delle due correnti diventa praticamente immediata.
2. Avere contemporaneamente  $V_{DS} \approx 0$  e  $V_{KA} \approx 0$  durante la transizione. Così facendo l'inserimento delle capacità in parallelo avverrà nel modo più indolore possibile, nel momento in cui MOS e diodo sono praticamente cortocircuitati.

L'unione delle due condizioni non può essere raggiunta per le topologie dirette perché, come si vede in Figura 5.1.0.2, non vi è alcun punto in cui siano soddisfatte entrambe. Differentemente per



le topologie inverse è possibile soddisfare entrambe le condizioni, come si vede in Figura 5.1.0.3.

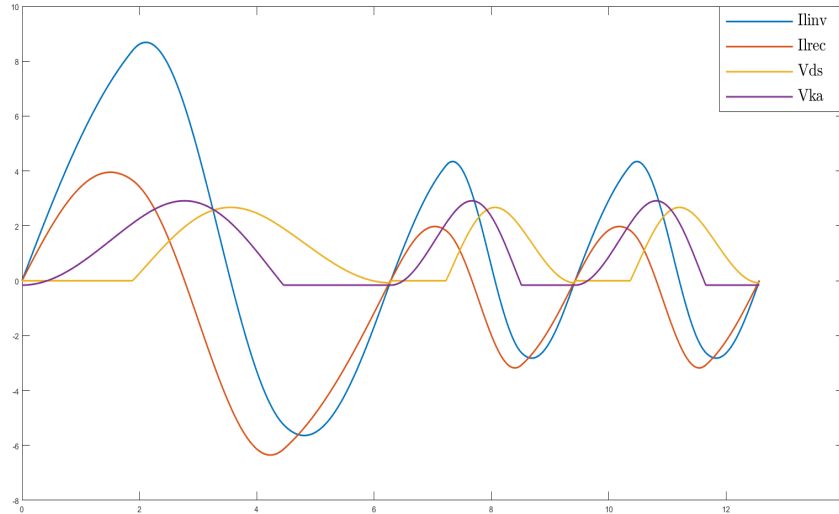


Figura 5.1.0.3: Esempio di transizione ideale tra  $f_2$  ed  $f_1$  per le topologie inverse. Il comportamento della transizione ideale tra  $f_1$  ed  $f_2$  corrisponde a queste forme d'onda speculari sull'asse X.

Ad un primo approccio sembrerebbe quindi più vantaggioso applicare il metodo di dual-frequency alle topologie inverse. È da evidenziare però che le linee guida fornite in precedenza per l'ottimizzazione delle transizioni non sono vincolanti per il funzionamento. Infatti anche una transizione tra le frequenze effettuata in modo casuale porterebbe a regime, solamente che questo accadrebbe in tempi molto più lunghi rispetto ad un passaggio ottimizzato poiché è necessario raggiungere le adeguate condizioni di risonanza. Generalmente lunghi transitori ed evoluzione incontrollata delle forme d'onda per un determinato periodo di tempo portano ad una riduzione dell'efficienza ed una incongruenza tra risultati attesi e quelli effettivamente ottenuti.

Di seguito verranno proposti due dimensionamenti atti a dimostrare la differenza tra una transizione efficiente ed una fatta senza criterio.

---

Gli unici parametri che determinano una transizione ottimizzata sono i coefficienti  $k_I$  e  $k_R$ . Questi infatti sono i responsabili dello spostamento del punto di intersezione delle correnti per fare in modo di ottenere le condizioni ottimali prima elencate. A questo proposito si propongono due dimensionamenti:  $k_{I1} = 1.8$ ,  $k_{R1} = 0.35$  e  $k_{I2} = \frac{5}{7}$ ,  $k_{R2} = 0.85$ .

Il primo caso sarà relativo ad una transizione non efficiente, mentre il secondo riguarderà la condizione ottimale. Si ottengono le transizioni in Figura 5.1.0.4e 5.1.0.5 per quanto riguarda il caso non ottimizzato.

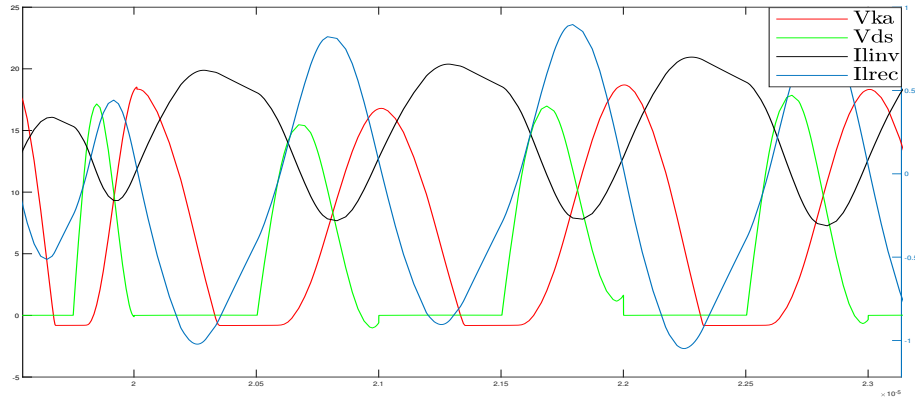


Figura 5.1.0.4: Transizione tra  $f_1$  e  $f_2$  non ottimizzata.

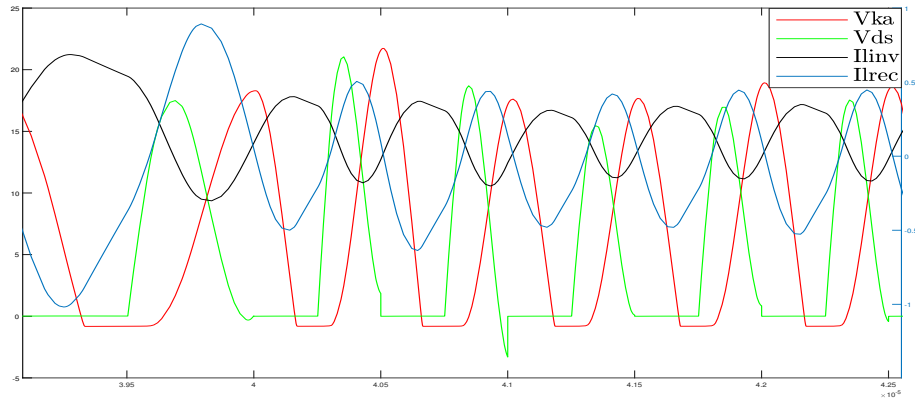


Figura 5.1.0.5: Transizione tra  $f_2$  e  $f_1$  non ottimizzata.

Le due transizioni, come si può notare, sono caratterizzate da un certo numero di cicli di assestamento prima di tornare a regime. In particolare si può notare la tensione  $V_{DS}$  che perde momentaneamente le condizioni ZVS+ZVDS e la tensione  $V_{KA}$  che oscilla tra valori di ampiezza crescenti prima della fine del transitorio. Questo tipo di comportamento ovviamente riduce l'efficienza del convertitore e, siccome una parte del periodo a  $f_1$  o  $f_2$  viene usato per recuperare le condizioni di risonanza, provoca anche un errore nelle grandezze di uscita non trascurabile.

Caso differente è quello ottimizzato, le cui transizioni sono rappresentate in Figura 5.1.0.6 e 5.1.0.7. Le due transizioni sono praticamente immediate tra un regime di funzionamento e l'altro. Infatti a differenza del caso non ottimizzato la perdita di ZVS+ZVDS per la tensione  $V_{DS}$  è molto più lieve e la tensione  $V_{KA}$ , tolto un iniziale assestamento, rimane ferma al valore di regime. Indubbiamente una transizione del secondo tipo è preferibile a quella non ottimizzata in quanto riduce in modo molto minore l'efficienza del convertitore. Inoltre le grandezze quali corrente e tensione di uscita avranno un errore di gran lunga inferiore rispetto al caso non ottimizzato.

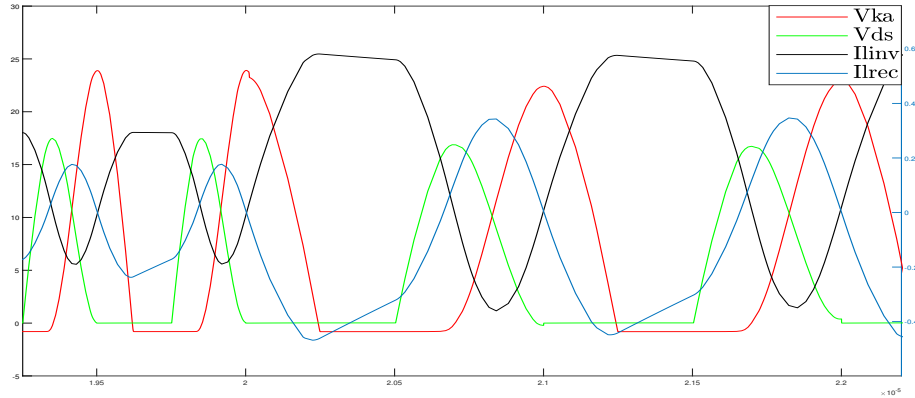


Figura 5.1.0.6: Transizione tra  $f_1$  e  $f_2$  ottimizzata.

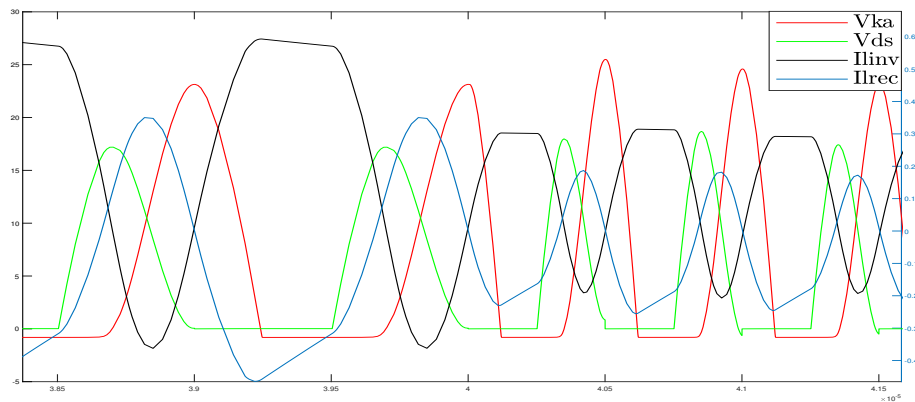


Figura 5.1.0.7: Transizione tra  $f_2$  e  $f_1$  ottimizzata.

## 5.2 Approccio ideale

Successivamente saranno svolte le simulazioni ideali in dual frequency. Per semplicità verranno considerati i casi in cui  $V_{control}$  ha  $D=50\%$  in modo da ottenere una potenza di uscita a metà tra i due regimi. Ovviamente questa specifica non è restrittiva, ma può essere variata in modo da ottenere un controllo della  $P_{output}$  in funzione del  $D$  di  $V_{control}$ .

### 5.2.1 Direct2

Si svolgerà la simulazione della topologia Direct2 con componenti ideali (MOS e diodo) secondo il dimensionamento per le tensioni proposto in 4.2. L'unica differenza sarà che adesso i coefficienti  $k_I$  e  $k_R$  saranno dimensionati in modo da poter ottenere le condizioni di transizione ottimale elencate in precedenza.

Si fissano  $k_I = \frac{5}{7}$  e  $k_R = 0.85$ , mentre i restanti valori rimangono identici alle specifiche di Direct2 in 4.2. Si decide di far funzionare il convertitore a  $f_1 = 2MHz$ ,  $P_{output}^1 = 500mW$  e  $f_2 = 1MHz$ ,  $P_{output}^2 = 1W$ , così facendo si avrà una  $P_{output} = 750mW$ . I valori corrispondenti ottenuti da Matlab sono rispettivamente:  $q_{I_1} = 1.4938, q_{R_1} = 1.0569, q_{M_1} = 1.7430$  e  $q_{I_2} = 1.4902, q_{R_2} = 1.0525$ . Per  $q_M$  la faccenda è un po' più complessa poiché tra un regime di funzionamento e l'altro cambia, anche se di poco. Se  $q_M$  varia, secondo la 2.3.0.7, varieranno anche i valori delle tre induttanze e questo non deve succedere siccome si vuole mantenere gli stessi componenti in entrambi i casi. Per risolvere questo problema viene svolto il dimensionamento a  $f_1$ , si ricavano i 3 coefficienti per questo regime e nel dimensionamento a  $f_2$  si impone di mantenere uguale il  $q_M$ . Così facendo si forza una non idealità nella simulazione a  $f_2$ , che è a frequenza più bassa quindi non dovrebbe creare molti problemi, mantenendo però uguali i valori degli induttori.

Un altro problema della simulazione in dual frequency è la gestione della denormalizzazione dei parassiti. Infatti, secondo la 2.3.0.8, non vi è alcuna dipendenza dei parassiti dalla frequenza e di conseguenza se si modifica la configurazione di  $\omega$  e potenza su Matlab, si otterranno differenti denormalizzazioni. Per risolvere questo problema si svolge la simulazione a  $f_1$  con i valori di  $Q$  prestabiliti (es. 50) e si ricavano i 3 coefficienti, successivamente nella simulazione a  $f_2$  si variano i valori di  $Q$  (nell'esempio si dimezzano) e delle conduttanze in 2.3.0.3 (nell'esempio si raddoppiano) per ottenere gli stessi parassiti in entrambe i regimi.

Viene svolto il dimensionamento con Matlab seguendo quanto detto fino ad adesso, ottenendo quindi:  $q_{I_1}, q_{R_1}$  e  $q_{M_1}$  come prima, ma  $q_{I_2} = 1.5109$  e  $q_{R_2} = 1.0102$  questa volta con compensazione degli effetti elencati in precedenza.

Rimane da fissare il valore della frequenza di  $V_{control}$ , ad esempio  $f_{control} = 25kHz$  con  $D=0.5$  che corrisponderà a 20 cicli a 1MHz e 40 cicli a 2MHz. Così facendo i tempi di transitorio saranno di durata molto inferiore rispetto al periodo di funzionamento del regime.

Si crea quindi lo schema in Figura 5.2.1.1, dove il sistema di driving emula la variazione di frequenza della tensione di gate in funzione della tensione di controllo, esattamente come rappresentato in Figura 5.1.0.1. Gli switch S2 ed S1 nella realtà ovviamente non esistono poiché il driving sarà generato da un sistema con microcontrollore e perciò, nelle simulazioni reali, questi switch non verranno sostituiti a differenza degli altri componenti nel circuito.

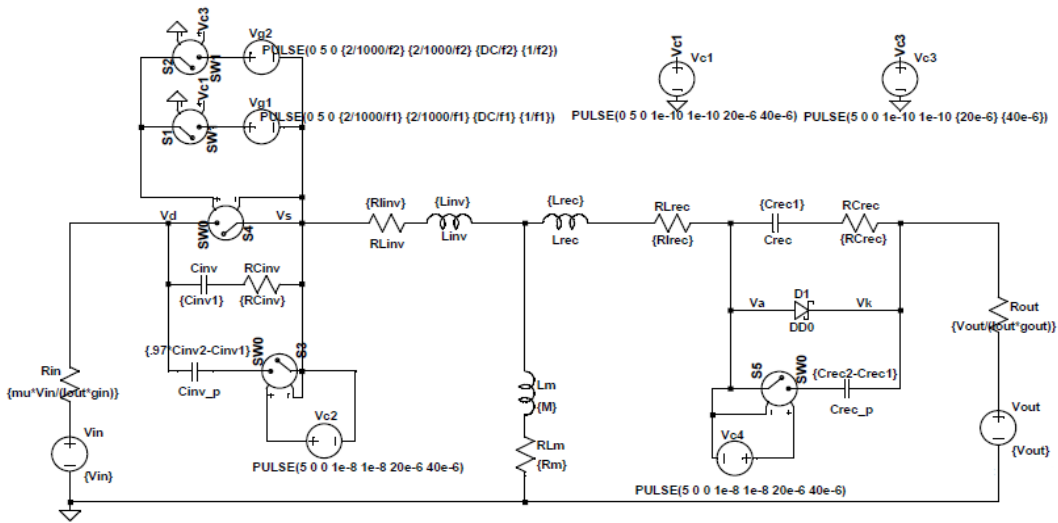


Figura 5.2.1.1: Circuito LTspice ideale per Direct2 in dual frequency.

Si evidenziano i due differenti regimi in Figura 5.2.1.2 e 5.2.1.3 nell'evoluzione delle proprie forme d'onda. Si può notare che sussistono le condizioni di ZVS+ZVDS in entrambi i metodi di funzionamento. Successivamente si evidenziano le transizioni in Figura 5.2.1.4 e 5.2.1.5. Si può vedere che, utilizzando le linee guida per una transizione efficiente, si ha che il passaggio tra i vari regimi è praticamente immediato. Infine la corrente vale  $I_{output} = 105mA$  che porta ad una potenza in uscita pari a  $P_{output} = 735mW$ . Al fine di ottenere la corretta potenza si rende necessario, come in tutti gli altri casi, l'aggiunta di un offset nella dichiarazione  $P_{OUT}^1$  e  $P_{OUT}^2$  in Matlab (vedi ad esempio 4.3.1).

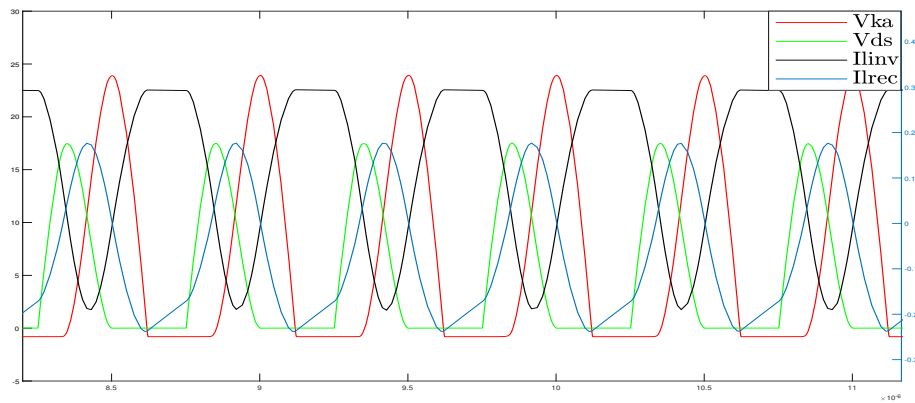


Figura 5.2.1.2: Regime a  $f_1$ .

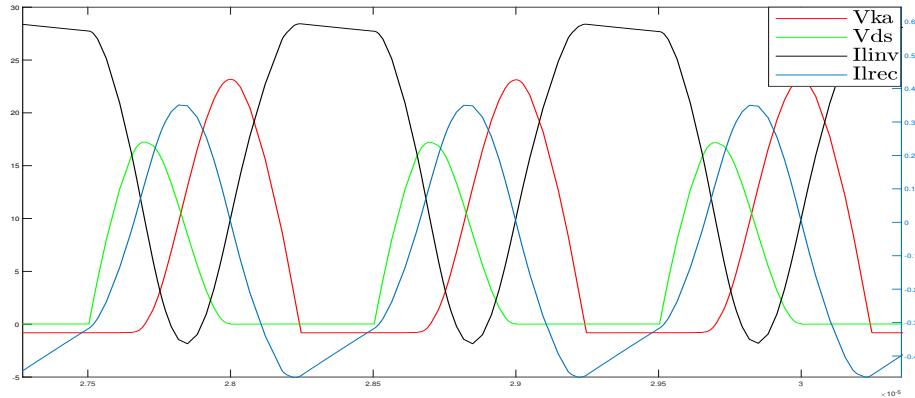


Figura 5.2.1.3: Regime a  $f_2$ .

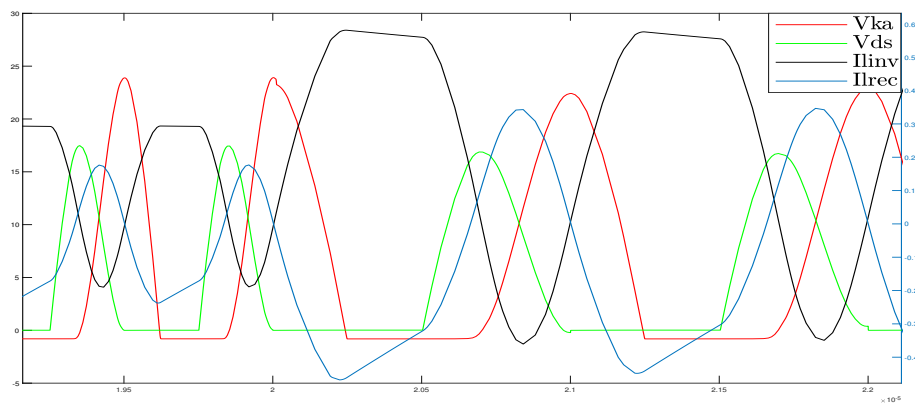


Figura 5.2.1.4: Transizione tra  $f_1$  e  $f_2$ .

Come ultimo punto di questa simulazione ideale è necessario rendersi conto della realizzabilità del convertitore tramite componenti reali (sostituendo quindi i MOS e il diodo). In particolare si studiano i valori delle tensioni ai capi degli switch per capire se questi, una volta sostituiti, possano effettivamente accendersi e spegnersi correttamente.

Ad esempio, plottando la tensione al nodo Vs del lato di sinistra in Figura 5.2.1.1 si osserva che questa oscilla tra 5V (quando S4 è chiuso) e -12V (quando S4 è aperto). Questo swing di tensione così elevato rende impraticabile l'utilizzo di un circuito di Bootstrap per pilotare S4 ed S3. Ma soprattutto, nel caso in cui si scelga di utilizzare un driving riferito a GND, applicando 0V sul gate dei MOS questi rimarrebbero comunque accesi inficiando il comportamento del circuito. Caso analogo per quanto riguarda il nodo Va, sempre in Figura 5.2.1.1, dove la tensione oscilla tra circa 7.8V (diodo ON) e -16V (diodo OFF), rendendo quindi impossibile il driving di S5.

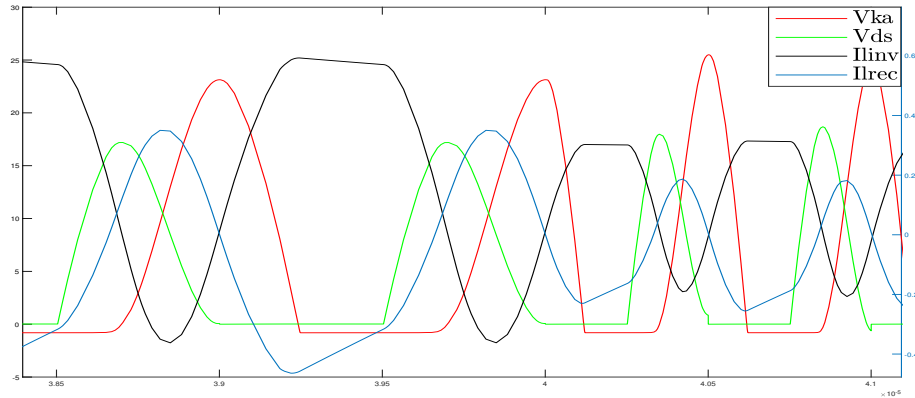


Figura 5.2.1.5: Transizione tra  $f_2$  e  $f_1$ .

Fino ad ora si è ragionato con MOS di tipo N, ma è evidente che se questi venissero sostituiti da MOS di tipo P il problema del driving non si presenterebbe. Infatti per S4 ed S3 basterebbe un driving riferito a GND con swing da 0V (MOS accesi) a 5V (MOS accesi), mentre per S5 servirebbe un driving riferito a GND con swing da 0V (MOS acceso) a 7V (MOS spento).

## 5.2.2 Inverse1

Si ripetono le stesse considerazioni fatte nella parte di Direct2 dual frequency, questa volta per il circuito Inverse1. Il dimensionamento per le tensioni rimane quello proposto in 4.2.

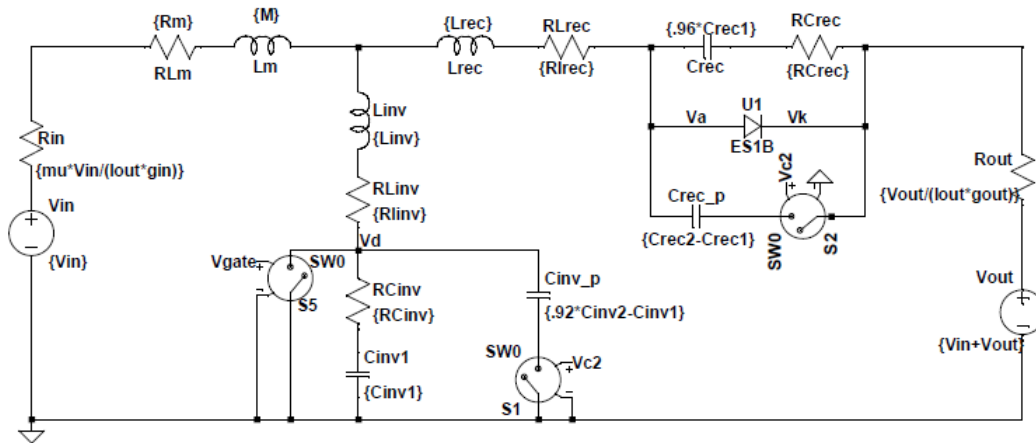


Figura 5.2.2.1: Circuito LTSpice ideale per Inverse1 in dual frequency.

Si fissano i coefficienti  $k_I = -\frac{5}{12}$  e  $k_R = -0.4$ . Si decide nuovamente di far funzionare il circuito a  $f_1 = 2MHz$ ,  $P_{output}^1 = 500mW$  e  $f_2 = 1MHz$ ,  $P_{output}^2 = 1W$ . Così facendo il risultato in uscita sarà una potenza media  $P_{output} = 750mW$ .

Si pratica lo stesso procedimento di compensazione dei parassiti e di uguaglianza degli induttori spiegato in precedenza, così facendo si ottengono i coefficienti  $q_{I_1} = 0.2864$ ,  $q_{R_1} = 0.2773$ ,  $q_{M_1} = -0.1355$  e  $q_{I_2} = 0.2865$ ,  $q_{R_2} = 0.2774$ . La  $V_{control}$  sarà la stessa dell'esempio Direct2.

Si crea quindi lo schema in Figura 5.2.2.1, dove come si può vedere si è resa necessaria una leggera compensazione su  $C_{INV}^P$  e  $C_{REC_1}$  per ottenere le corrette forme d'onda. Non viene rappresentato il sistema di driving in quanto praticamente identico alla simulazione del Direct2, con unica differenza che ora il duty cycle del convertitore è impostato a  $D=0.3$  (vedi 4.2). Si evidenziano i due differenti regimi in Figura 5.2.2.2 e 5.2.2.3 nell'evoluzione delle proprie forme d'onda. Si può notare che sussistono le condizioni di ZVS+ZVDS in entrambi i metodi di funzionamento. Successivamente si evidenziano le transizioni in Figura 5.2.2.4 e 5.2.2.5.

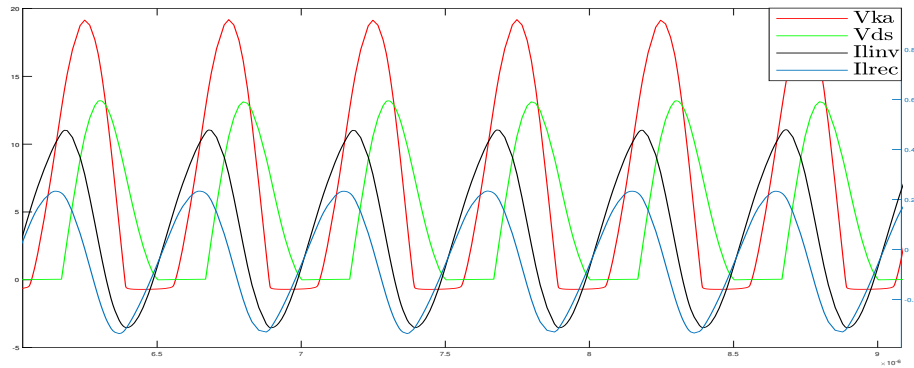


Figura 5.2.2.2: Regime a  $f_1$ .

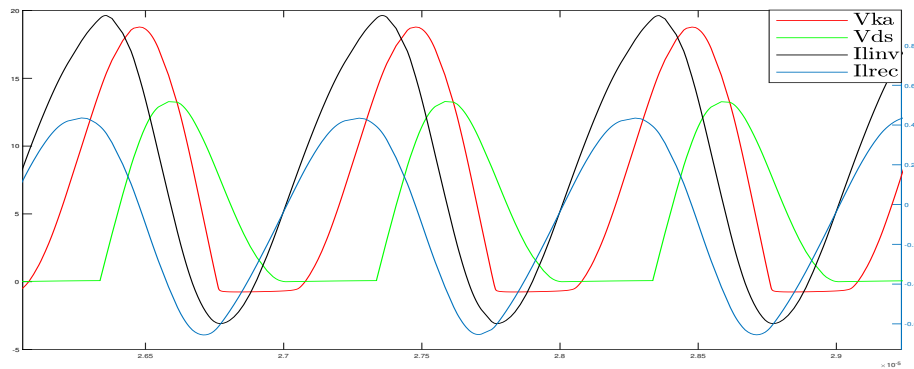


Figura 5.2.2.3: Regime a  $f_2$ .



Come prima le transizioni sono praticamente immediate, come desiderato. Infine la corrente vale  $I_{output} = 60.5mA$  che porta ad una potenza in uscita pari a  $P_{output} = 726mW$ . Al fine di ottenere la corretta potenza si rende necessario, come in tutti gli altri casi, l'aggiunta di un offset nella dichiarazione di  $P_{OUT}^1$  e  $P_{OUT}^2$  in Matlab.

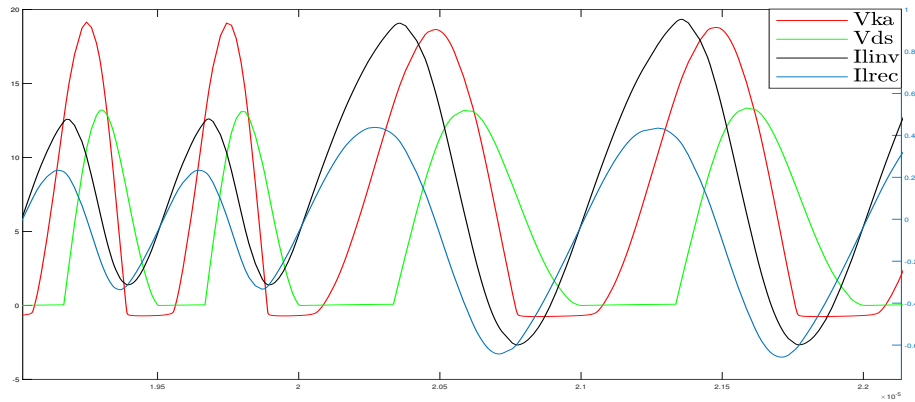


Figura 5.2.2.4: Transizione tra  $f_1$  e  $f_2$ .

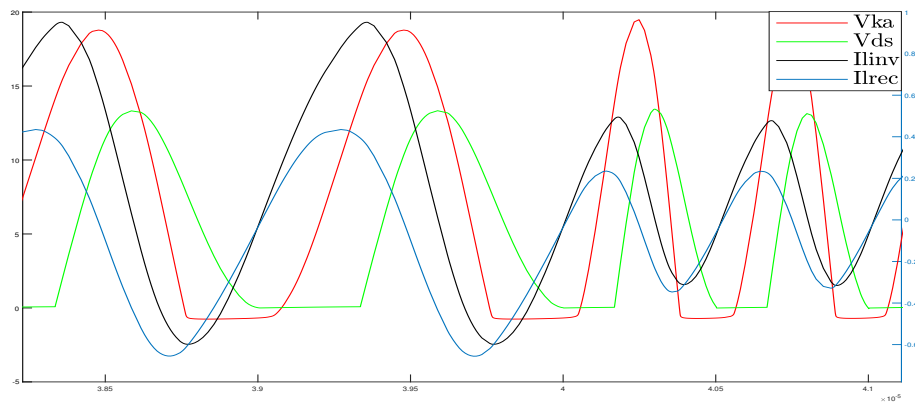


Figura 5.2.2.5: Transizione tra  $f_2$  e  $f_1$ .

Si studia infine la fattibilità dell'inserimento di componenti reali nel circuito. Per quanto riguarda gli switch S5 ed S1 in Figura 5.2.2.1 non ci sono problemi in quanto riferiti a GND. Caso differente è lo switch S2 che, al nodo Va, vedrà una tensione che oscilla tra 12.8V (diode ON) e -7V (diode OFF). Come prima quindi, a causa di questo swing, una soluzione con Bootstrap diventa impraticabile. Non rimane altro che utilizzare un MOS di tipo P come S2 avente driving riferito a GND con swing da 0V (MOS acceso) a 12V (MOS spento).

### 5.2.3 Inverse3

Si ripetono le stesse considerazioni fatte nelle altre due simulazioni dual-frequency, con il circuito Inverse3. Il dimensionamento per le tensioni rimane quello proposto in 4.2.

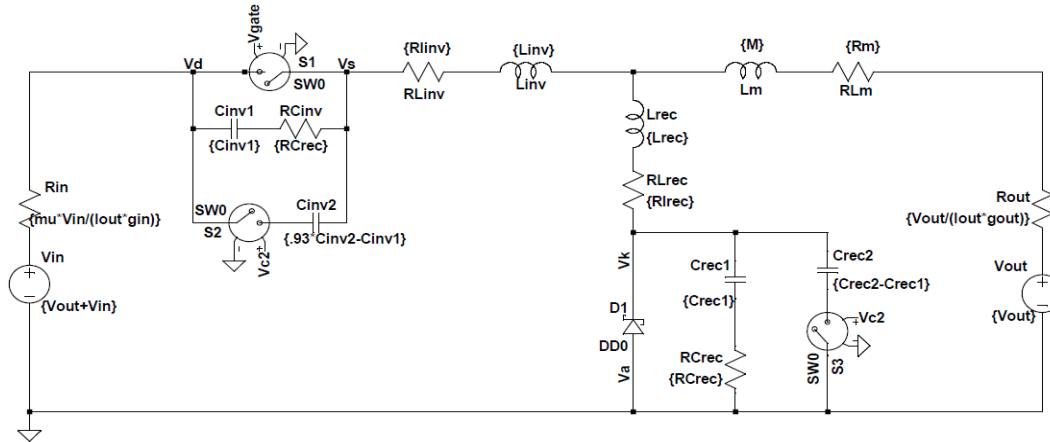


Figura 5.2.3.1: Circuito LTspice ideale per Inverse3 in dual frequency.

Si fissano i coefficienti  $k_I = -0.5$  e  $k_R = -0.4$ . Si decide questa volta di far funzionare il circuito a  $f_1 = 2MHz$ ,  $P_{output}^1 = 1W$  e  $f_2 = 1MHz$ ,  $P_{output}^2 = 2W$ . Così facendo il risultato in uscita sarà una potenza media  $P_{output} = 1.5W$ . Si pratica lo stesso procedimento di compensazione dei parassiti e di uguaglianza degli induttori svolto nelle altre simulazioni, così facendo si ottengono i coefficienti  $q_{I_1} = 0.2765$ ,  $q_{R_1} = 0.3230$ ,  $q_{M_1} = -0.1673$  e  $q_{I_2} = 0.2744$ ,  $q_{R_2} = 0.3199$ . La  $V_{Control}$  sarà la stessa dei casi precedenti.

Si svolge una simulazione preliminare giusto per stimare l'efficienza del convertitore con questo dimensionamento come fatto in tutti i casi di Inverse3. Quello che si ottiene è  $\eta = 0.76$ . Si crea quindi il circuito in Figura 5.2.3.1, dove come si può vedere si è resa necessaria una leggera compensazione su  $C_{INV}^P$  per ottenere le corrette forme d'onda. Il sistema di driving, che non è rappresentato, è lo stesso del caso Inverse1. Si evidenziano i due differenti regimi in Figura 5.2.3.2 e 5.2.3.3 nell'evoluzione delle proprie forme d'onda. Si può notare che sussistono le condizioni di ZVS+ZVDS in entrambi i metodi di funzionamento. Successivamente si evidenziano le transizioni in Figura 5.2.3.4 e 5.2.3.5.

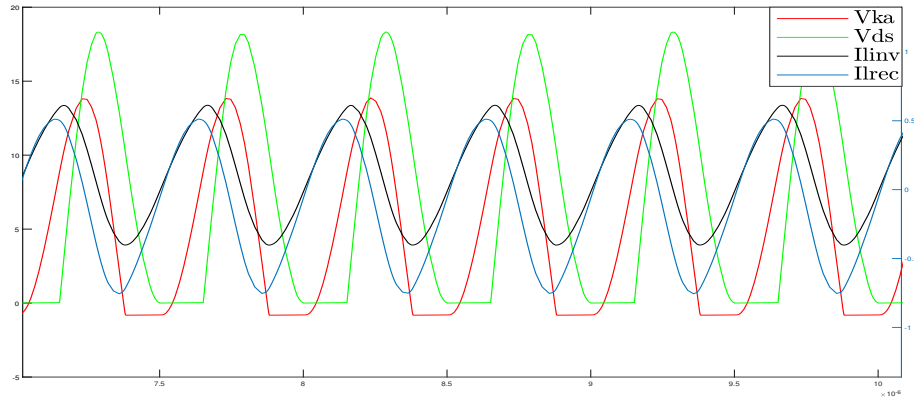


Figura 5.2.3.2: Regime a  $f_1$ .

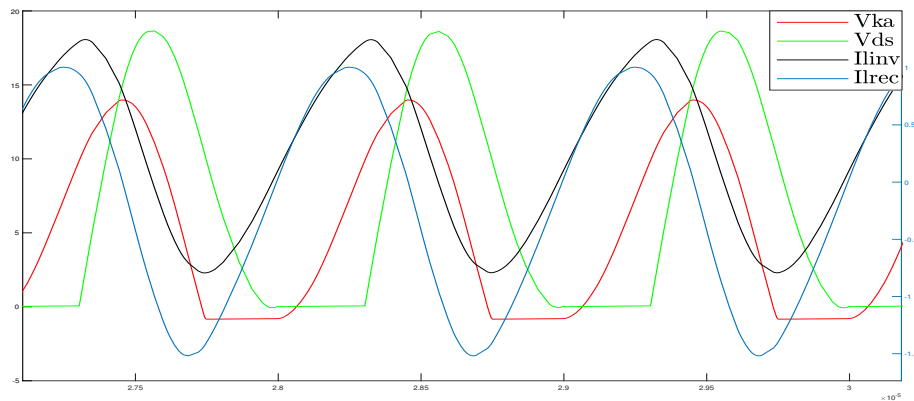


Figura 5.2.3.3: Regime a  $f_2$ .

Come prima le transizioni sono praticamente immediate, come desiderato. Infine la corrente vale  $I_{output} = 307.2mA$  che porta ad una potenza in uscita pari a  $P_{output} = 1.53W$ . L'errore in questo caso è inferiore al 2% che si può considerare accettabile o, in alternativa, si può variare lievemente  $P_{OUT}^1$  e  $P_{OUT}^2$  per compensare l'offset.

Come ultimo punto si analizza la fattibilità di realizzazione con l'inserimento di componenti reali. Il problema degli switch S1 ed S2 è, come gli altri, lo swing di tensione al nodo Vs che varia tra 12V (MOS chiuso) e -6.5V (MOS aperto) che rende impraticabile l'utilizzo di un Bootstrap. Si sceglierà quindi di usare dei MOS di tipo P aventi driving da 0V (MOS accesi) a 12V (MOS spento). Per quanto riguarda S3 non vi sono problemi in quanto riferito a GND.

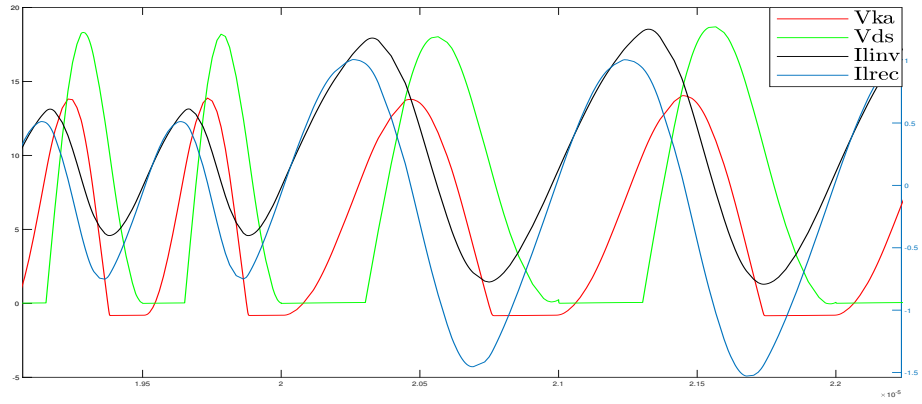


Figura 5.2.3.4: Transizione tra  $f_1$  e  $f_2$ .

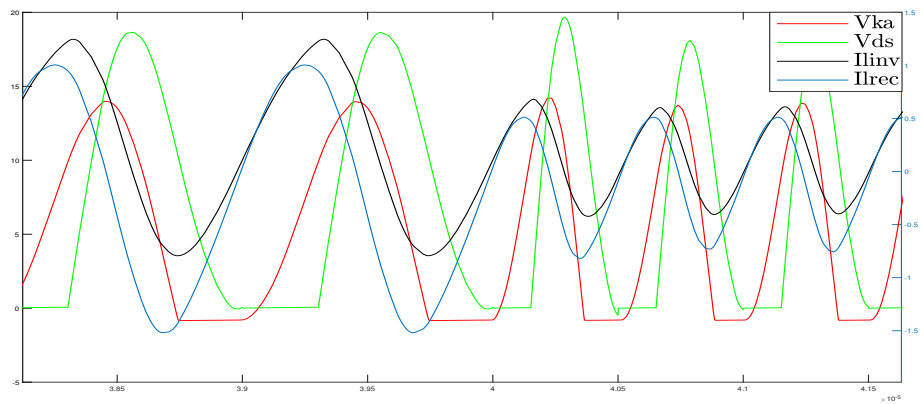


Figura 5.2.3.5: Transizione tra  $f_2$  e  $f_1$ .

## 5.3 Approccio reale

### 5.3.1 Direct2

Si mantengono le stesse specifiche ed i coefficienti della simulazione Direct2 ideale. Si crea quindi il circuito in Figura 5.3.1.1:

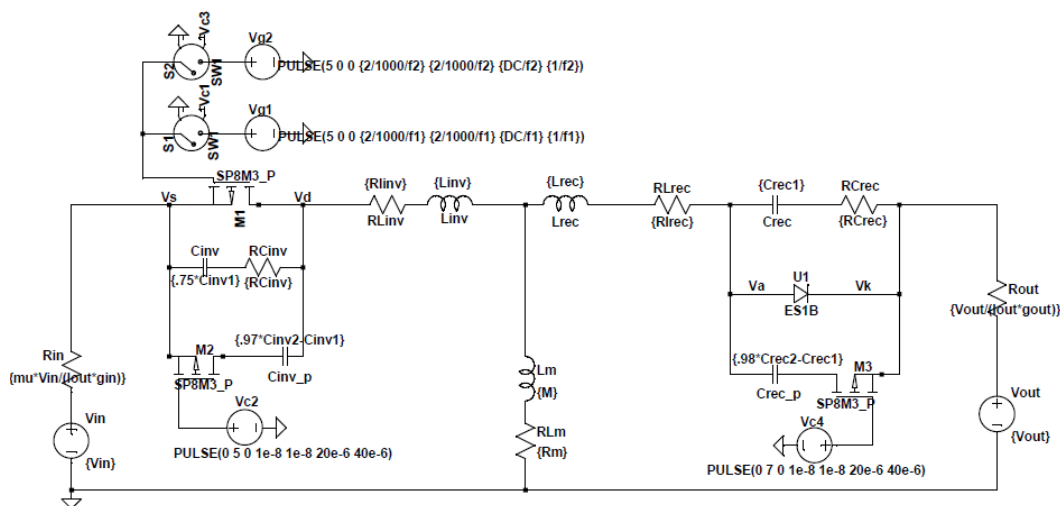


Figura 5.3.1.1: Circuito LTspice reale per Direct2 in dual frequency.

Come spiegato in precedenza i MOS che non hanno il source riferito a GND sono di tipo P, modello SP8M3 [13], ed il driving è riferito a GND. Con la sostituzione dei componenti reali si è resa necessaria una compensazione abbastanza pesante di  $C_{INV}^1$ , mentre lievi modifiche sono state fatte a  $C_{INV}^P$  e  $C_{REC}^P$  sempre per ottenere le forme d'onda desiderate.

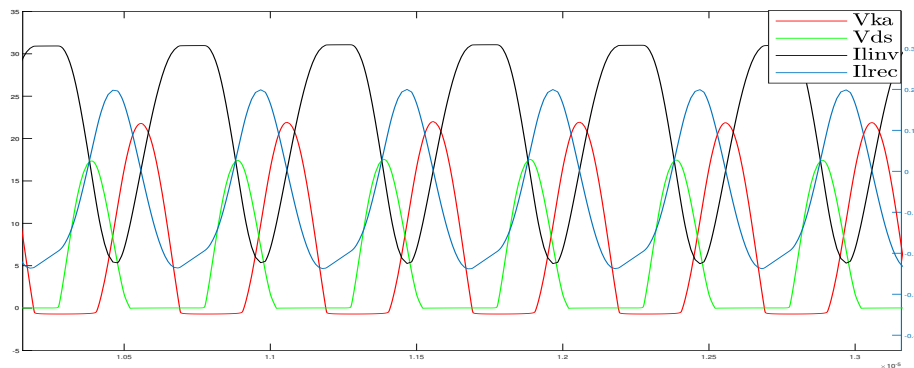


Figura 5.3.1.2: Regime a  $f_1$ .

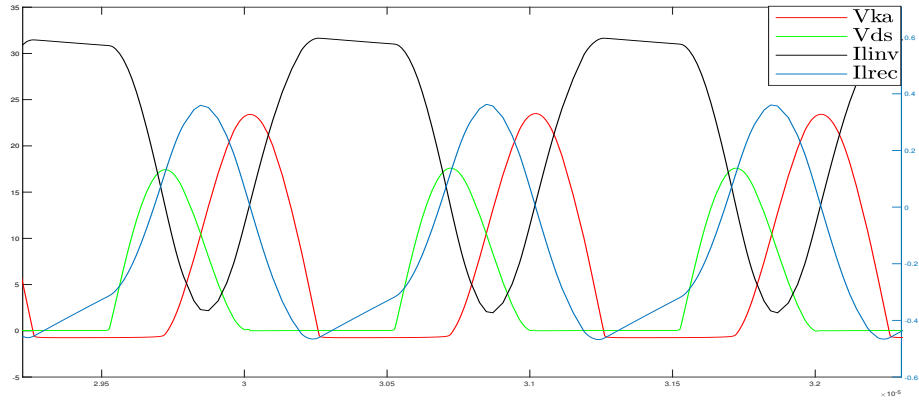


Figura 5.3.1.3: Regime a  $f_2$ .

In Figura 5.3.1.2 e 5.3.1.3 vengono visualizzate le evoluzioni del sistema alle due frequenze. Come si può vedere la situazione non varia di molto rispetto alle evoluzioni del sistema ideale studiato prima, rimangono sempre presenti le condizioni di ZVS+ZVDS.

Ciò che realmente cambia rispetto alla simulazione ideale sono le transizioni tra le frequenze, come mostrato nelle forme d'onda in Figura 5.3.1.4 e 5.3.1.5. Come si può vedere vi è una istantanea perdita delle condizioni di risonanza per un determinato periodo di tempo in corrispondenza della transizione in cui il sistema evolve in un modo non controllato. Questo comportamento è da evitare poiché influisce negativamente sull'efficienza, sulla corrente di uscita, che vale  $I_{output} = 90.6mA$  invece dei  $107mA$  previsti e di conseguenza la potenza varrà  $P_{output} = 634mW$  invece di  $750mW$ . La spiegazione di tale fenomeno può essere data tramite l'analisi dei parassiti dei dispositivi inseriti, in particolare in questo caso si considera il diodo Body di M3.

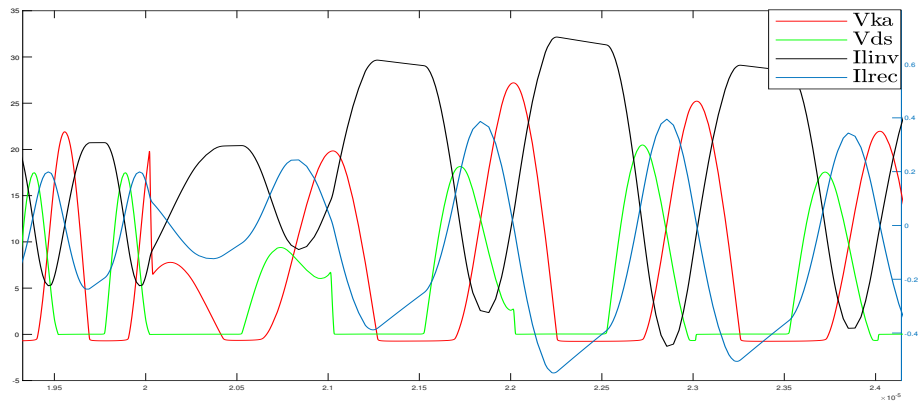


Figura 5.3.1.4: Transizione tra  $f_1$  e  $f_2$ .

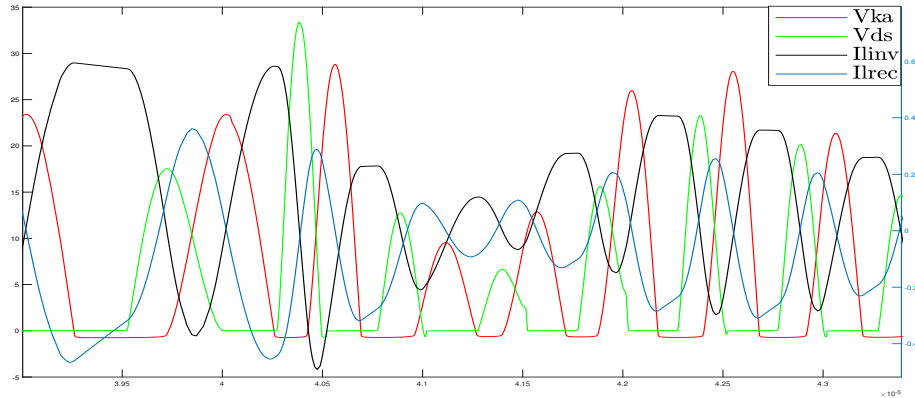


Figura 5.3.1.5: Transizione tra  $f_2$  e  $f_1$ .

Si mostra l'andamento della corrente e della tensione attraverso  $C_{REC}^P$  durante una transizione, evidenziando le differenze rispetto alla simulazione ideale in Figura 5.3.1.6. Come si può vedere nel circuito ideale il condensatore mantiene la carica e di conseguenza la tensione rimarrà fissa ai suoi capi, mentre nella simulazione reale si scarica. Si osserva infatti il transitorio di scarica seguito da un continuo ripple nonostante M3 sia spento, questo evidenzia un percorso attraverso il diodo di Body del MOS. Non è possibile però mettere un diodo in contro serie a quello parassita, come si fa solitamente quando non si vuole la conduzione del diodo di Body, poiché è necessario che questo conduca quando M3 è ON.

Caso differente invece è M2 dove il problema non si pone poiché non sussistono le condizioni per cui potrebbe entrare in conduzione il diodo di Body. Si mostra in Figura 5.3.1.7 il comportamento della corrente nel condensatore  $C_{INV}^P$  per dimostrare l'uguaglianza di comportamento.

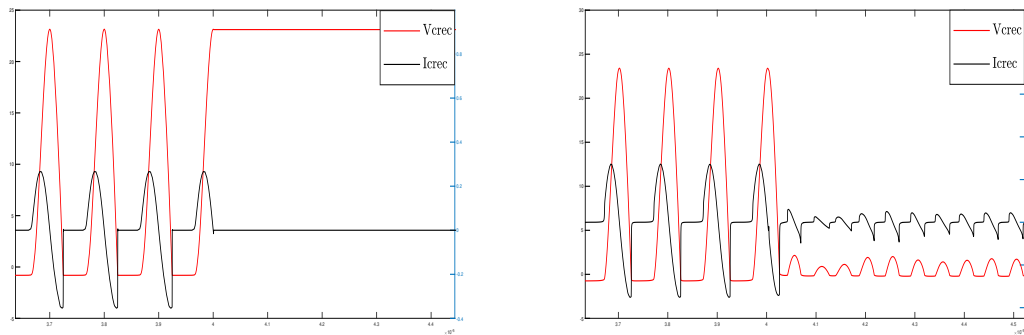


Figura 5.3.1.6: Differenze tra le transizioni per  $C_{REC}^P$ : ideale (sinistra) e reale (destra). In figura si vede la tensione su  $C_{REC}^P$  (rosso) e la corrente (nero).

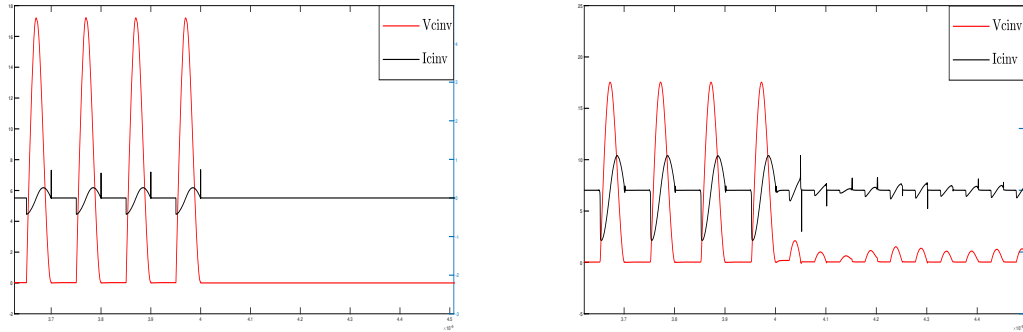


Figura 5.3.1.7: Differenze tra le transizioni per  $C_{INV}^P$ : ideale (sinistra) e reale (destra). In figura si vede la tensione su  $C_{INV}^P$  (rosso) e la corrente (nero).

È evidente che la simulazione reale ha comunque delle differenze rispetto a quella ideale, ma la tensione sul condensatore  $C_{INV}^P$  nella transizione rimane costante ad un valore attorno allo zero. Perciò è evidente che il problema del diodo di Body non è presente e di conseguenza questo ramo non influisce sul comportamento errato del convertitore.

Non potendo in alcun modo impedire la conduzione del diodo parassita di M3 non esiste alcuna soluzione, per questa topologia, per ottenere delle transizioni del tipo in Figura 5.2.1.4 e 5.2.1.5. Le cause di questo problema sono date dalla non soddisfazione dei criteri per una transizione ottima precedentemente descritti. Infatti, nonostante le correnti si incrocino sull'asse dello zero, la tensione  $V_{KA}$  è al valore massimo mentre  $V_{DS}$  vale zero. Siccome la transizione avviene quando  $V_{KA}$  è massima è evidente che il condensatore dovrà mantenere ai suoi capi tale tensione, cosa che non è possibile fare in quanto il diodo di Body di M3 lo farà scaricare.

Questo problema sembra quindi essere presente in tutte le topologie dirette, diversamente invece per le topologie inverse dove questo fenomeno non si dovrebbe presentare.



### 5.3.2 Inverse1

Si mantengono le stesse specifiche ed i coefficienti della simulazione Inverse1 ideale. Si crea quindi il circuito in Figura 5.3.2.1:

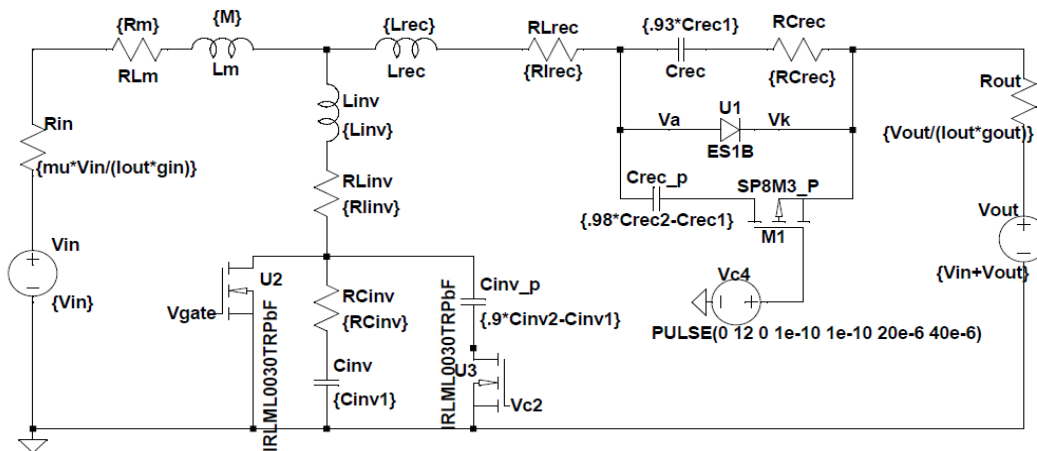


Figura 5.3.2.1: Circuito LTSpice reale per Inverse1 in dual frequency.

Come si può notare nel circuito si è resa necessaria una lieve compensazione dei condensatori  $C_{INV}^P$ ,  $C_{REC}$  e  $C_{REC}^P$  per ottenere le forme d'onda desiderate, inoltre nel convertitore sono presenti sia MOS di tipo N e di tipo P. In Figura 5.3.2.2 e 5.3.2.3 si osservano le evoluzioni del sistema alle due frequenze, come si può vedere la situazione non varia di molto rispetto alle simulazioni ideali, rimangono sempre presenti le condizioni di ZVS+ZVDS.

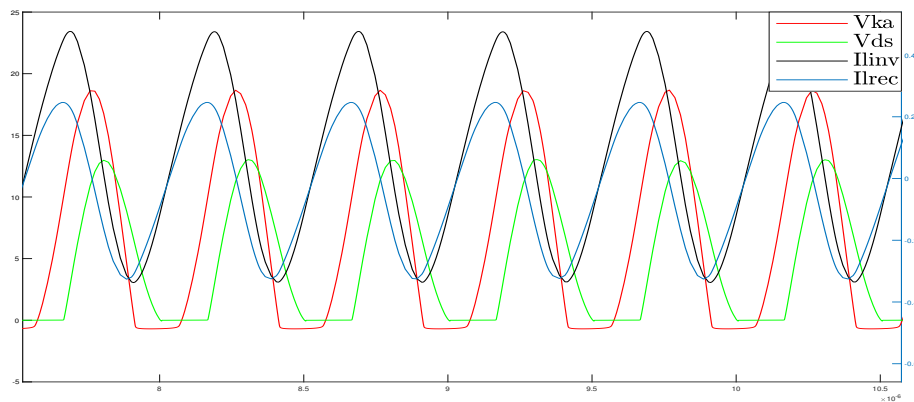


Figura 5.3.2.2: Regime a  $f_1$ .

La differenza di questa topologia rispetto a quella precedente è la presenza di una soluzione che comprende entrambe le condizioni per ottenere una transizione ottimale tra i regimi. Il fatto di

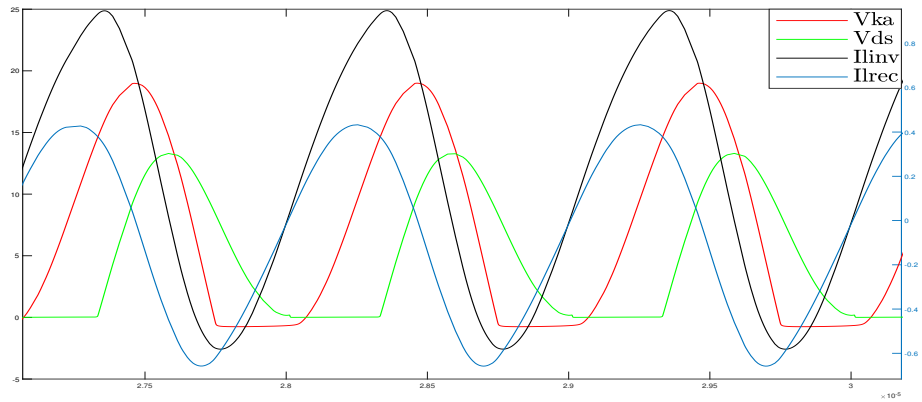


Figura 5.3.2.3: Regime a  $f_2$ .

avere la tensione  $V_{KA} = 0$  durante la transizione, assieme alle altre grandezze in esame, permette di ottenere un comportamento molto simile a quello ideale. Si mostrano le transizioni in Figura 5.3.2.4 e 5.3.2.5.

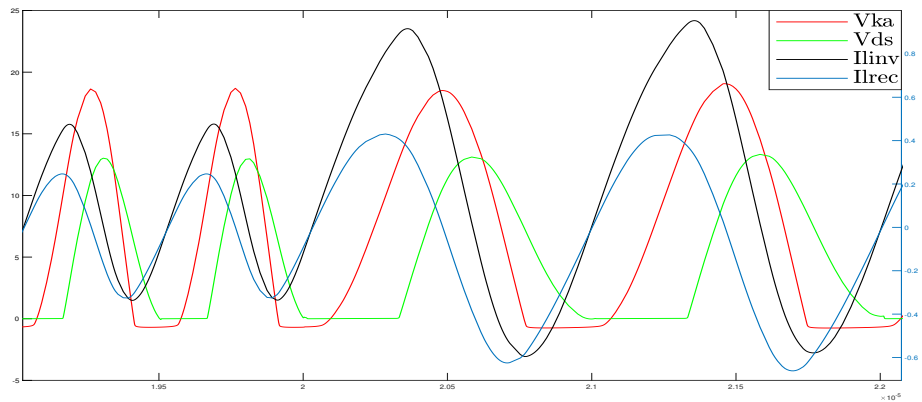


Figura 5.3.2.4: Transizione tra  $f_1$  e  $f_2$ .

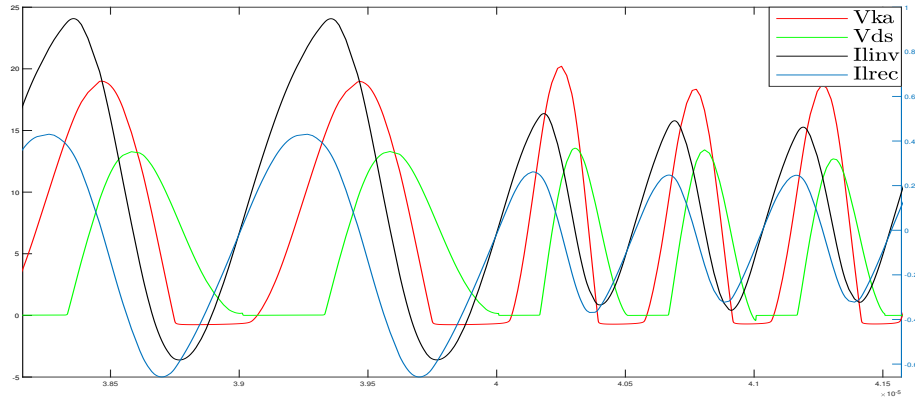


Figura 5.3.2.5: Transizione tra  $f_2$  e  $f_1$ .

Le transizioni risultano praticamente immediate, come previsto dalla simulazione ideale, ed il problema del diodo di Body non è presente. La corrente in uscita vale  $I_{output} = 58.112mA$  che porta ad una potenza  $P_{output} = 697.35mW$ . Per ottenere i 750mW previsti si deve operare per aggiungere un offset nei valori Matlab di  $P_{OUT}^1$  e  $P_{OUT}^2$  come fatto nei casi precedenti. A riprova del fatto che il diodo di Body non è un problema viene mostrato il comportamento della corrente e della tensione del condensatore  $C_{REC}^P$  nel circuito reale, affiancato a quello ideale in Figura 5.3.2.6. Come si può vedere la tensione sul condensatore rimane fissa attorno allo zero durante la transizione e non vi sono problemi di scarica attraverso il diodo parassita.

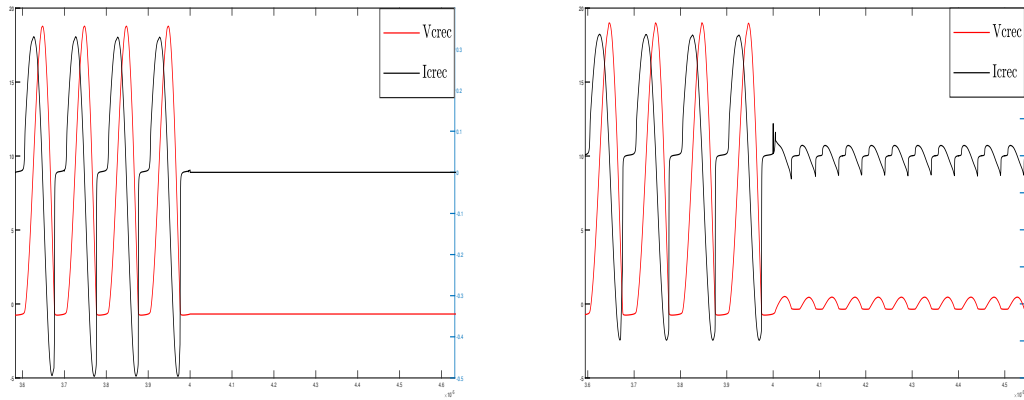


Figura 5.3.2.6: Differenze tra le transizioni per  $C_{REC}^P$ : ideale (sinistra) e reale (destra). In figura si vede la tensione su  $C_{REC}^P$  (rosso) e la corrente (nero).

### 5.3.3 Inverse3

Si mantengono le stesse specifiche ed i coefficienti della simulazione Inverse3 ideale. Si crea quindi il circuito in Figura 5.3.3.1:

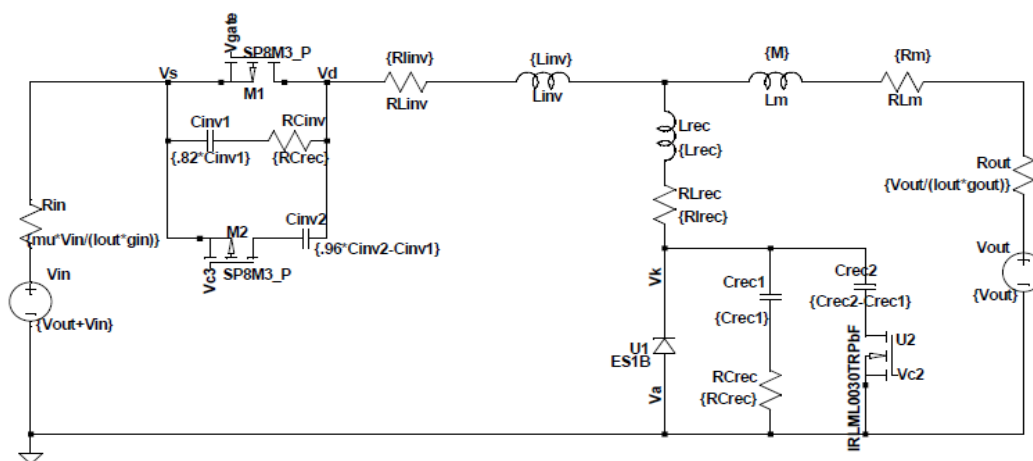


Figura 5.3.3.1: Circuito LTSpice reale per Inverse3 in dual frequency.

Come si può vedere si è resa necessaria una leggera modifica a  $C_{INV}$  e  $C_{INV}^P$  per ottenere le forme d'onda desiderate, inoltre come in Inverse1 sono presenti sia MOS di tipo N e di tipo P. In Figura 5.3.3.2 e 5.3.3.3 si osservano le evoluzioni alle due frequenze, come si può vedere la situazione non varia di molto rispetto alle simulazioni ideali, rimangono sempre presenti le condizioni di ZVS+ZVDS.

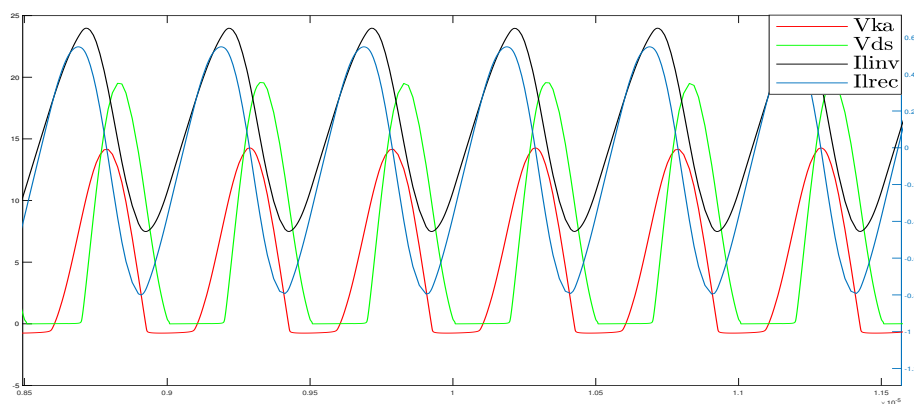


Figura 5.3.3.2: Regime a  $f_1$ .

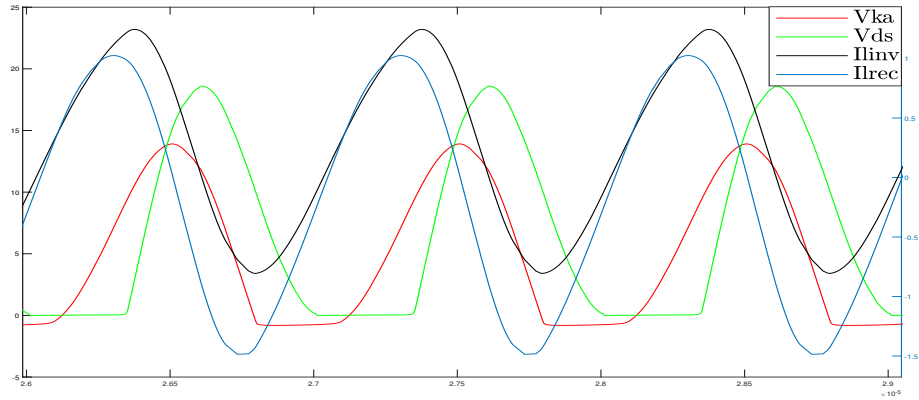


Figura 5.3.3.3: Regime a  $f_2$ .

Come nel caso Inverse3 il fatto di avere la tensione  $V_{KA} = 0$  durante il cambio di regime permette di ottenere delle transizioni praticamente perfette, a maggior ragione ora che il diodo di Body di U2 è con l'anodo a GND. Si mostrano le transizioni in Figura 5.3.3.4 e 5.3.3.5:

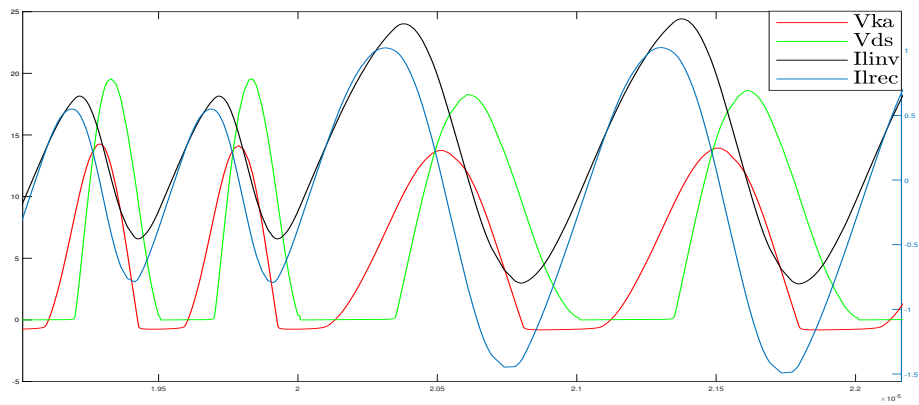


Figura 5.3.3.4: Transizione tra  $f_1$  e  $f_2$ .

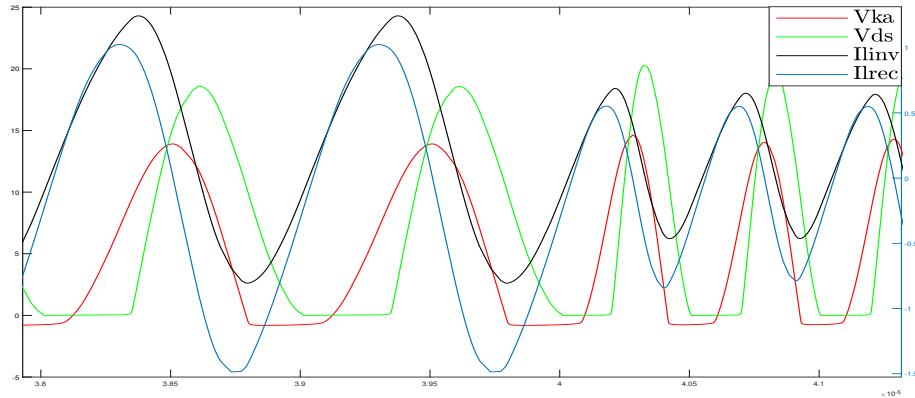


Figura 5.3.3.5: Transizione tra  $f_2$  e  $f_1$ .

Le transizioni risultano praticamente immediate, come previsto dalla simulazione ideale, ed il problema del diodo di Body non è presente. Infine la corrente di uscita vale  $I_{output} = 299.26mA$  che porta ad una potenza  $P_{output} = 1.4963W$ . Da notare che, come nei casi precedenti di Inverse3, non è necessario aggiungere un offset in Matlab poiché viene applicato automaticamente durante il procedimento di stima dell'efficienza.

A riprova del fatto che il diodo di Body non è un problema viene mostrato il comportamento della corrente e della tensione del condensatore  $C_{REC}^P$  nel circuito reale, affiancato a quello ideale in Figura 5.3.3.6.

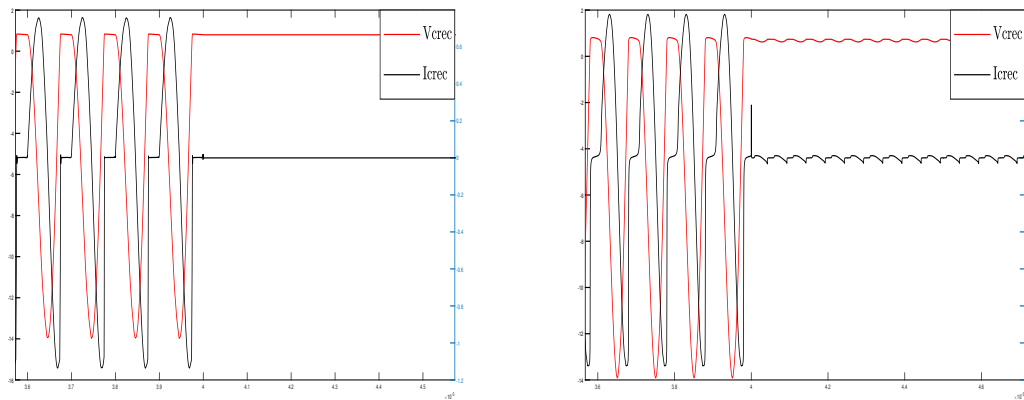


Figura 5.3.3.6: Differenze tra le transizioni per  $C_{REC}^P$ : ideale (sinistra) e reale (destra). In figura si vede la tensione su  $C_{REC}^P$  (rosso) e la corrente (nero).

## 5.4 Considerazioni finali sulle simulazioni

A fronte delle simulazioni svolte nelle sezioni precedenti si espone un elenco riassuntivo dei vari vantaggi e svantaggi nella scelta delle 3 topologie:

- **5.3.1.1 Direct2:** la topologia è particolarmente semplice dal punto di vista progettuale. Gli stress sui dispositivi, a parità di  $V_{IN}$  e  $V_{OUT}$ , sono maggiori rispetto alle altre topologie siccome si fissa  $D=0.5$ . È necessario l'utilizzo di 3 MOS di tipo P per garantire la correttezza di accensione e spegnimento di ogni switch, questo porterà indubbiamente a dei ritardi che non si avrebbero in caso di MOS di tipo N.

Non esistono switch riferiti a GND, questo porta a delle complicazioni nel driving che dovrà avere un range  $[0; V_{input}]$  per M1 ed M2 e  $[0; V_{output}]$  per M3. Sono necessari quindi dei traslatori di tensione per fare in modo di avere la dinamica desiderata per il corretto funzionamento. Dalle simulazioni si osserva la necessità di una compensazione abbastanza pesante della capacità  $C_{INV}$ , il che porta una maggiore sensibilità del convertitore alle tolleranze dei dispositivi reali scelti.

Per le operazioni in dual frequency, essendo una topologia diretta, non si riesce a garantire l'intersezione delle due condizioni per una transizione ottimale. Questo porta problemi nei passaggi tra i regimi, come visto nelle simulazioni svolte, a causa della fisica del MOS (diode di Body). Non è possibile interdire la conduzione del diodo parassita poiché, quando M3 è acceso, è necessario che anche il diodo di Body conduca (corrente bipolare).

Perciò la scelta di questa topologia è da sottomettere a dei compromessi non trascurabili tra cui una riduzione dell'efficienza, l'aggiunta di un grande offset in fase di progettazione e la necessità di inserire una capacità di carico di valore elevato.

- **5.3.2.1 Inverse1:** la topologia è particolarmente semplice dal punto di vista progettuale. Gli stress sui dispositivi, a parità di  $V_{IN}$  e  $V_{OUT}$ , sono inferiori rispetto a Direct2 e paragonabili a Inverse3 siccome si ha  $D=0.3$ . Si utilizzano due MOS di tipo N riferiti a GND, con tutti i vantaggi che ne derivano, ed un MOS di tipo P per garantire la correttezza di accensione e spegnimento. Il driving perciò non è un problema per U2 e U3, mentre per M1 deve avere un range  $[0; V_{output}]$ . È necessario l'utilizzo di un traslatore di tensione per fare in modo di avere la corretta dinamica per il MOS di tipo P. Dalle simulazioni si osserva la necessità di una compensazione moderata delle capacità  $C_{INV}^P$ ,  $C_{REC}^P$  e  $C_{REC}$  il che porta ad una minor sensibilità dei parassiti dei componenti reali scelti rispetto a Direct2.

Per le operazioni in dual frequency, essendo una topologia inversa, si riesce a garantire l'intersezione di entrambe le condizioni per una transizione ottimale. Perciò il passaggio tra i regimi è praticamente quasi ideale, con i vantaggi che ne derivano quali maggiore efficienza, la necessità di un offset inferiore da inserire in fase di progettazione e la possibilità di inserire una capacità di carico di valore inferiore a Direct2.

- **5.3.3.1 Inverse3:** la topologia è la più complicata tra le tre dal punto di vista progettuale. È necessario svolgere una simulazione preliminare per definire un'approssimazione dell'efficienza e, successivamente, progettare tutto in funzione del risultato trovato. Gli stress sui dispositivi, a parità di  $V_{IN}$  e  $V_{OUT}$ , sono inferiori rispetto a Direct2 e paragonabili a Inverse3 siccome si ha  $D=0.3$ . Si utilizzano due MOS di tipo P ed un MOS di tipo N riferito a GND, con tutti i vantaggi che ne derivano, per garantire la correttezza di accensione e spegnimento. Il driving perciò non è un problema per U2, mentre per M1 ed M2 è necessario avere un

range  $[0; V_{input}]$ . È necessario l'utilizzo di un traslatore di tensione per fare in modo di avere la corretta dinamica per i MOS di tipo P. Dalle simulazioni si osserva la necessità di una compensazione moderata della capacità  $C_{INV}$ , il che porta ad una maggiore sensibilità dei parassiti dei componenti reali scelti rispetto a Inverse1 (paragonabile a Direct2). Inoltre la presenza dell'efficienza nella definizione della corrente di uscita porta a delle complicanze nel calcolo della resistenza di carico, che sarà molto sensibile alle perdite interne nel convertitore. Per le operazioni in dual frequency, essendo una topologia inversa, si riesce a garantire l'intersezione di entrambe le condizioni per una transizione ottimale. Perciò il passaggio tra i regimi è praticamente quasi ideale, con un incremento dell'efficienza rispetto a Direct2 (paragonabile a Inverse1). L'offset in fase di progettazione non è da inserire in quanto viene già considerato nella valutazione dell'efficienza.

In definitiva si può dire che la topologia migliore è Inverse1 poiché è meno sensibile ai parametri parassiti dei componenti, ha stress minori sui dispositivi ed è relativamente semplice da progettare. Inoltre, essendo derivata dall'accoppiamento inverso, ha la possibilità di avere delle transizioni ottimali tra i differenti regimi in dual frequency con tutti i vantaggi che se ne ricavano.



## Capitolo 6

# Topologia scelta e ricerca componenti da catalogo

### 6.1 Dimensionamento definitivo di Inverse1

Viene perfezionato il circuito Inverse1 in Figura 5.3.2.1 sostituendo il generatore d'uscita con la resistenza di carico del valore:

$$R_{LOAD} = \frac{V_{IN} + V_{OUT}}{I_{OUT_{AVG}}} = \frac{V_{output}}{I_{output}}$$

Il circuito è dimensionato nello stesso modo dell'esempio in 5.3.2 dove la potenza di uscita può valere dai 500mW a 1W dipendentemente dal Duty Cycle della  $V_{control}$ . Inoltre si aggiunge un offset nella potenza  $P_{OUT1}$  con  $V_{control}$  a D=50% per poter ottenere in uscita 750mW, che è la scelta di progetto che si voleva avere in 5.3.2. Il circuito viene presentato in Figura 6.1.0.1:

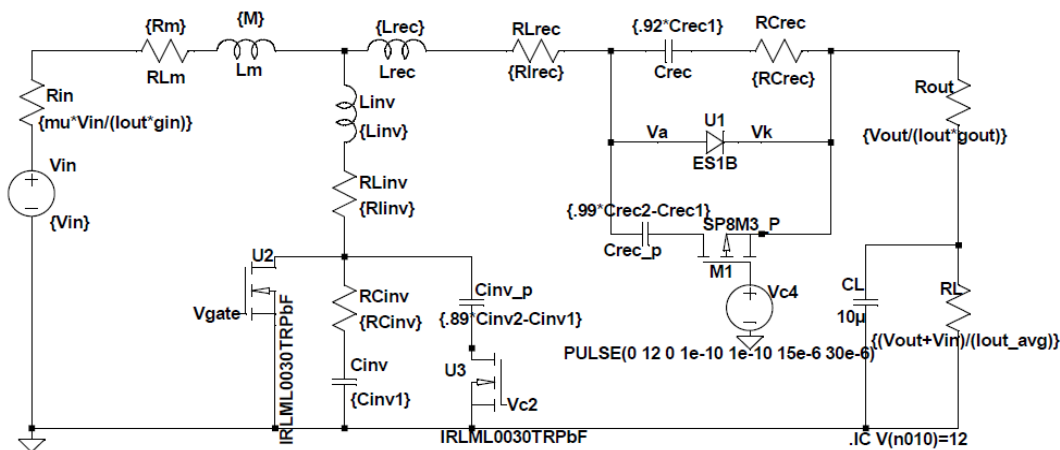


Figura 6.1.0.1: Circuito LTSpice reale per Inverse1 in dual frequency con sostituzione del carico RC.

La corrente di uscita media dovrà essere calcolata in base alla potenza media che si vuole ottenere. In questo caso avendo  $P_{output} = 750mW$  la corrente varrà:

$$I_{output} = \frac{P_{output}}{V_{output}} = \frac{750mW}{12V} = 62.5mA$$

Ovviamente, nel caso si voglia avere un'altra potenza, sarà necessario variare il valore del carico in modo opportuno unito alla variazione del Duty Cycle della  $V_{control}$ . Per quanto riguarda il condensatore di carico deve essere dimensionato secondo il criterio presentato al capitolo 1. Si decide di impostare il periodo di  $V_{control}$  a  $30\mu s$ , che corrisponderà a 30 cicli a 2MHz e 15 cicli a 1MHz alternativamente. In questo modo, avendo le transizioni tra regimi praticamente istantanee, il tempo speso per raggiungere il comportamento a regime sarà trascurabile. Con queste scelte sulla  $V_{control}$  è possibile riprendere il modello in Figura 1.0.0.2 solo che questa volta la corrente oscillerà tra  $I_{MAX} = 83.3mA$ , corrispondente a  $P_{MAX} = 1W$ , e  $I_{MIN} = 41.66mA$ , corrispondente a  $P_{MIN} = 500mW$ . Si ottiene quindi il comportamento in Figura 6.1.0.2 dove si impone, da progetto, una tensione di ripple  $\Delta V_R \leq 60mV$  in uscita.

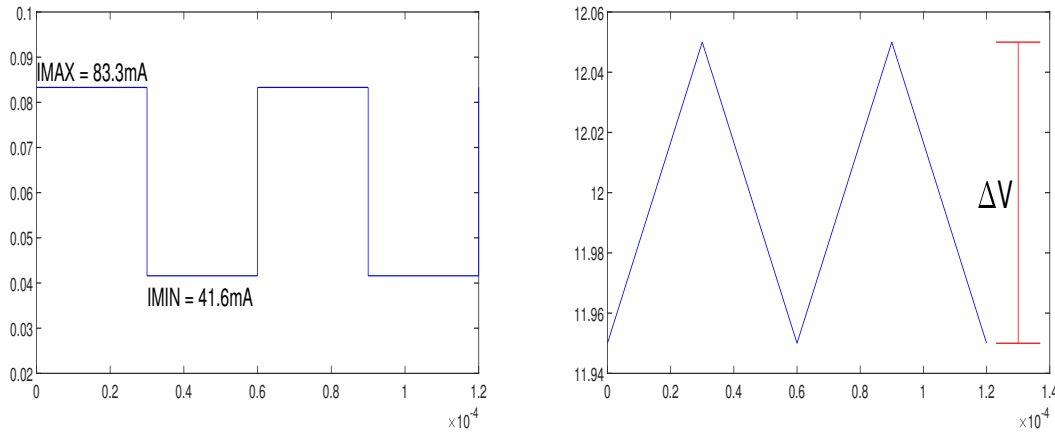


Figura 6.1.0.2: Andamento della corrente del convertitore nei due regimi (sinistra) e ripple di tensione sull'uscita (destra)

Considerando il circuito in Figura 1.0.0.2 si ottiene che la corrente sul condensatore vale:

$$I_{CL} = \begin{cases} I_{MAX} - I_{output} & \text{a 1MHz} \\ I_{MIN} - I_{output} & \text{a 2MHz} \end{cases}$$

E di conseguenza il ripple di tensione vale:

$$\Delta V_R = \frac{I_{MAX} - I_{output}}{C_L} \frac{D}{f_{DUAL}} = \frac{I_{MIN} - I_{output}}{C_L} \frac{1 - D}{f_{DUAL}} \leq 60mV \quad (6.1.0.1)$$

La frequenza  $f_{DUAL}$  corrisponde alla frequenza di switching diviso il numero di cicli in un semiperiodo di  $V_{control}$ , perciò diviso 15 se si considera  $f_2 = 1MHz$ , oppure diviso 30 considerando  $f_1 = 2MHz$ .

Imponendo di avere un ripple  $\leq 60mV$  si può girare l'equazione 6.1.0.1 ed ottenere un limite sulla capacità di carico:

$$C_L \geq (I_{MAX} - I_{output}) \frac{D}{f_{DUAL} \Delta V_R} = 2.6\mu F$$

Perciò come mostrato in Figura 6.1.0.1 si sceglie di inserire una capacità da  $10\mu F$  per essere sicuri che, nonostante le non idealità del sistema, il ripple della tensione di uscita sia minore di 60mV.

Si svolge quindi la simulazione del circuito, ottenendo i seguenti risultati:

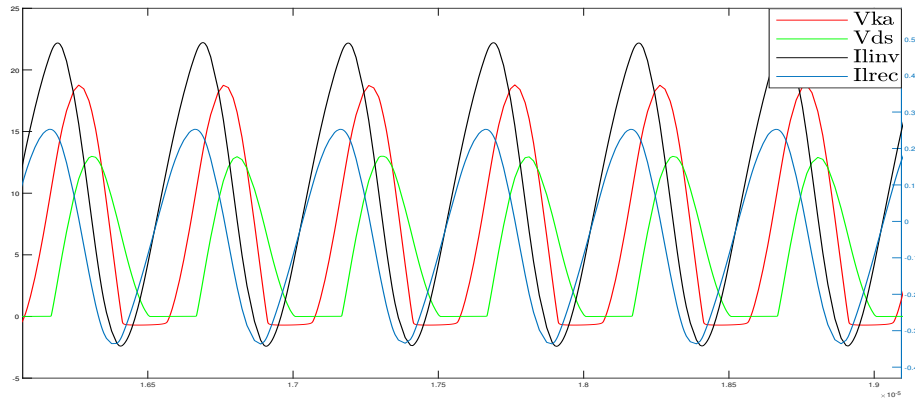


Figura 6.1.0.3: Regime a  $f_1$ .

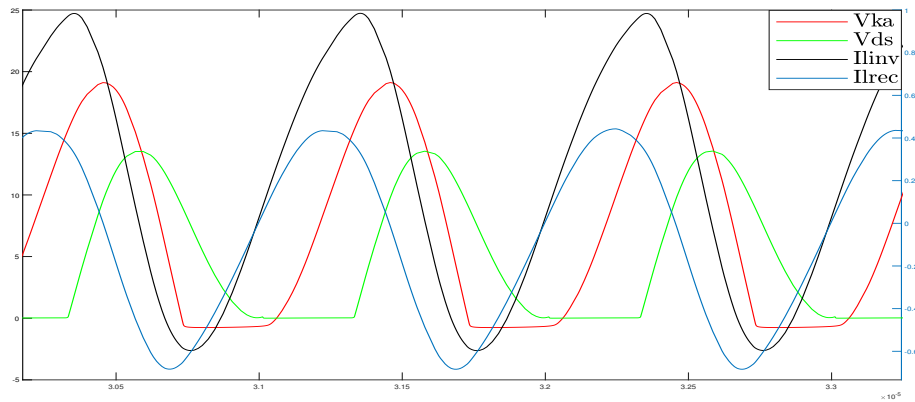


Figura 6.1.0.4: Regime a  $f_2$ .

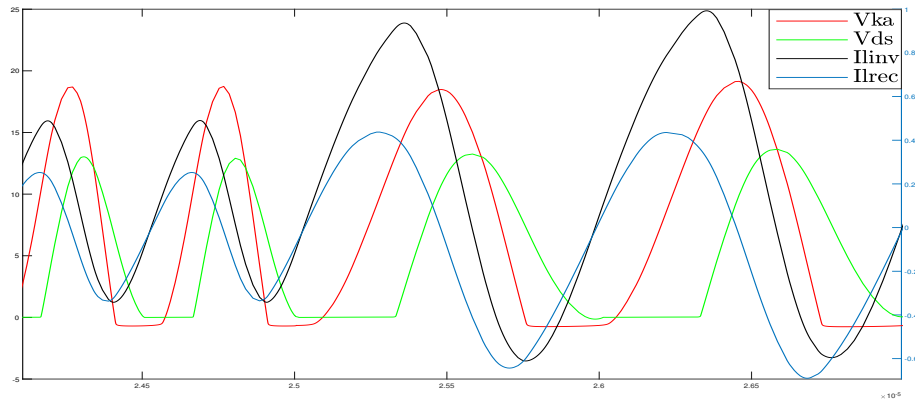


Figura 6.1.0.5: Transizione tra  $f_1$  e  $f_2$ .

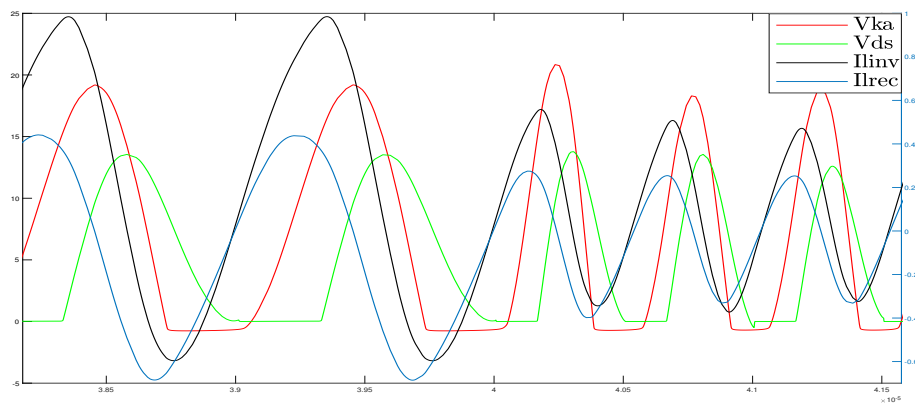


Figura 6.1.0.6: Transizione tra  $f_2$  e  $f_1$ .

Il comportamento per quanto riguarda le forme d'onda è quello atteso nonostante l'inserimento del blocco RC in uscita. Questo significa che il dimensionamento è stato svolto correttamente e le compensazioni praticate sulle capacità del circuito sono state efficaci.

Rimane ora da osservare il comportamento di  $V_{output}$ ,  $I_{output}$  e  $P_{output}$ . Vengono quindi mostrate le forme d'onda della corrente e della tensione di uscita in Figura 6.1.0.7, osservando una finestra di 2 interi periodi di  $V_{control}$ . Come si vede dai grafici la tensione media in uscita vale 11.9965V e la corrente vale 62.472mA che corrisponde ad una potenza  $P_{output} = 749.66mW$ , praticamente l'errore è trascurabile almeno in simulazione. Inoltre il ripple di tensione in uscita vale 56.6mV che è minore dei 60mV per i quali è stato progettato il condensatore. Questo significa che tutto funziona come previsto, sia dal punto di vista della correttezza dell'evoluzione del sistema nelle sue transizioni che dalle grandezze ottenute in uscita.

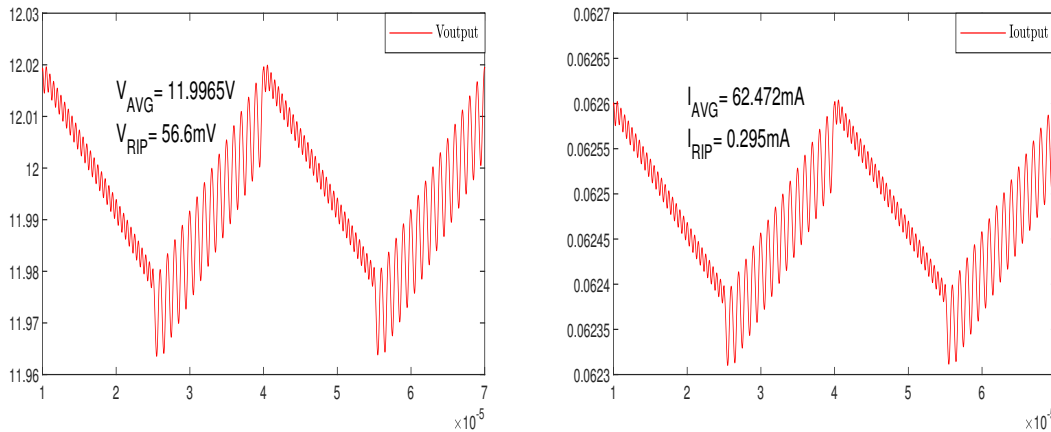


Figura 6.1.0.7: Tensione (sinistra) e corrente (destra) in uscita con evidenziati i valori medi e il ripple.

## 6.2 Analisi degli stress e selezione componenti

Dai risultati ottenuti in precedenza è possibile valutare gli stress sui componenti per poter scegliere i corretti dispositivi reali da sostituire. Successivamente nelle sottosezioni verranno presi in considerazione gli induttori, i condensatori, il MOS ed il diodo elencando i parametri importanti di cui tener conto per la scelta.

### 6.2.1 Induttori

Dalla simulazione si ottengono i seguenti valori e stress sui 3 induttori:

- $L_M = 1.25\mu H$ :  $I_{RMS} = 300mA$ ,  $I_{PK} = 750mA$  e  $I_{DC} = 200mA$
- $L_{INV} = 0.9\mu H$ :  $I_{RMS} = 460mA$ ,  $I_{PK} = 1A$  e  $I_{DC} = 130mA$
- $L_{REC} = 3.15\mu H$ :  $I_{RMS} = 320mA$ ,  $I_{PK} = 440mA$  e  $I_{DC} = 62.5mA$

Tutte le correnti sono inferiori in pratica ad 1A, il che rende la ricerca meno restrittiva. È necessario che tutti gli induttori abbiano un fattore di merito molto elevato (nelle simulazioni è sempre stato usato  $Q=50$ ). Sfortunatamente solamente osservando i cataloghi non è possibile ottenere il comportamento di  $Q$  al variare della frequenza, l'unico modo è quello di misurarlo in laboratorio. Tuttavia si può ottenere un'approssimazione del limite superiore analizzando la resistenza in DC dichiarata nel Datasheet del componente. Il valore del  $Q$ , se molto differente a 50, porterebbe alla necessità di un ridimensionamento del circuito ma non comprometterebbe il suo comportamento. Inoltre è buona norma mantenersi ad almeno una decade di distanza dalla frequenza di autorisonanza in modo da evitare fenomeni indesiderati.

Dai cataloghi è possibile ridurre la finestra di ricerca ai valori di induttori compresi tra gli  $800nH$  e i  $3.3\mu H$ . Da notare come praticamente nessuno dei valori ottenuti da Matlab sia commerciale, questo quindi sarà una possibile fonte di errore a fronte di una possibile realizzazione.

A fronte degli stress misurati in simulazione vengono selezionati gli induttori *Type 36502C Series* [20] di Tyco Electronics, in particolare i componenti aventi Package 1008. La serie ammette i valori:

- $910nH @25MHz$ : tolleranza 5%,  $Q_{MIN} = 35 @50MHz$ ,  $f_{SR} = 320MHz$  e  $I_{DC} = 380mA$ . Per quanto riguarda tolleranza, risonanza e corrente il componente è perfetto, mentre il fattore di merito non è sufficientemente alto.
- $1.2\mu H @7.9MHz$ : tolleranza 5%,  $Q_{MIN} = 35 @50MHz$ ,  $f_{SR} = 250MHz$  e  $I_{DC} = 310mA$ . Per quanto riguarda tolleranza, risonanza e corrente il componente è perfetto, mentre il fattore di merito come prima potrebbe essere basso.
- $3.3\mu H @7.9MHz$ : tolleranza 5%,  $Q_{MIN} = 22 @25MHz$ ,  $f_{SR} = 110MHz$  e  $I_{DC} = 290mA$ . Per quanto riguarda tolleranza, risonanza e corrente il componente è perfetto, mentre il fattore di merito è basso. Per questo induttore potrebbero esserci dei problemi nel caso di realizzazione.

In alternativa è possibile selezionare gli induttori *1008LS Series (2520)* [3] di Coilcraft. Questa serie ammette gli stessi valori di [20], ma vengono forniti dei grafici nel datasheet che rappresentano le variazioni del fattore di merito e dell'induttanza al variare della frequenza:

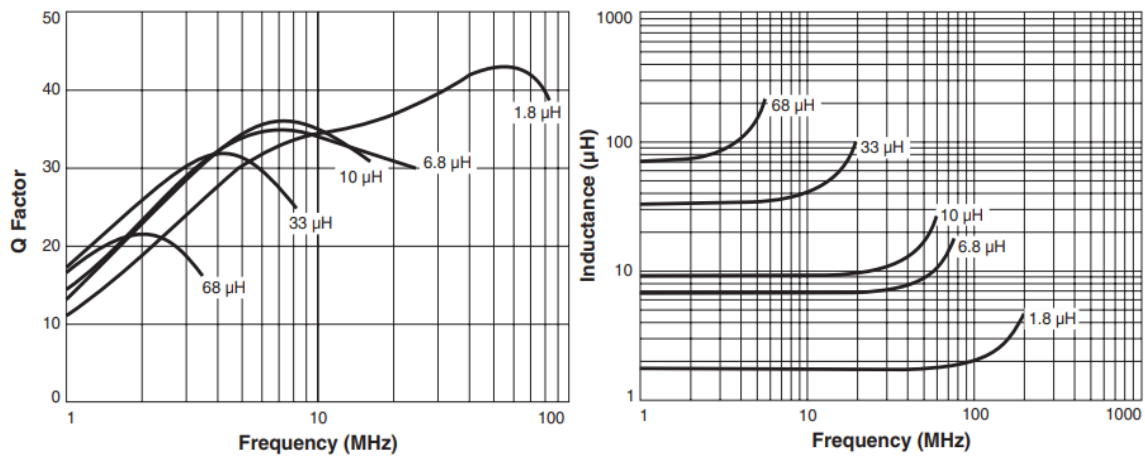


Figura 6.2.1.1: Fattore di merito (sinistra) e induttanza (destra) al variare della frequenza.

In tutti i casi elencati comunque risultano dei fattori di merito relativamente bassi rispetto ai 50 utilizzati nelle simulazioni, principalmente compresi tra i 20 e i 30. Risulterà necessario compensare questo effetto in fase di dimensionamento iniziale nel caso di una realizzazione di un prototipo.

## 6.2.2 Condensatori

Dalla simulazione si ottengono i seguenti valori e stress sui condensatori, comprensivi della compensazione applicata nello schema in Figura 6.1.0.1:

- $C_{INV} = 3.33nF$ :  $V_{MAX} = 14V$  e  $I_{RMS} = 187mA$ .
- $C_{REC} = 1.61nF$ :  $V_{MAX} = 20V$  e  $I_{RMS} = 130mA$ .
- $C_{INV}^P = 8.24nF$ :  $V_{MAX} = 14V$  e  $I_{RMS} = 222mA$ .
- $C_{REC}^P = 5.07nF$ :  $V_{MAX} = 20V$  e  $I_{RMS} = 185mA$ .

Generalmente i condensatori sono semplici da trovare poiché vi è una vasta gamma a disposizione in commercio. Il fatto di non avere valori normalizzati non è un problema siccome è possibile mettere più condensatori in parallelo. In pratica con questa semplice tecnica è possibile raggiungere qualunque valore di capacità si voglia mantenendo comunque delle tolleranze accettabili. Per restringere il campo di ricerca si scelgono condensatori ceramici multilayer SMD con dielettrico C0G o NP0. A titolo di esempio vengono proposti i condensatori *GRM 0805 Series* [7] di Murata e *CGA Series* [19] di TDK.

## 6.2.3 MOS

Dalla simulazione si ottengono i seguenti stress sullo switch:

- U2:  $V_{DS}^{MAX} = 14V$ ,  $I_{DC} = 130mA$ ,  $I_{RMS} = 283mA$  e  $I_{PK} = 1A$ .
- U3:  $V_{DS}^{MAX} = 14V$ ,  $I_{RMS} = 230mA$  e  $I_{PK} = 700mA$ .
- M1:  $V_{SD}^{MAX} = 20V$ ,  $I_{RMS} = 200mA$  e  $I_{PK} = 350mA$

I MOS trovati nella sezione 4.2 hanno tutte le caratteristiche per sopportare questi stress, si può dire anzi che siano addirittura sovradimensionati per i livelli di correnti nel circuito. Osservando infatti i datasheet di [8] e [13] si vede che entrambi i MOS possano gestire fino a circa 5A di corrente continua di drain e 20A di corrente impulsiva, valori attorno ai quali non ci si avvicinerà nemmeno. Si può quindi provare a cercare dei MOS più piccoli con vincoli un po' più restrittivi, ma aventi una capacità  $C_{OSS}$  più piccola e tempi di accensione e spegnimento più rapidi.

I dispositivi scelti fino ad ora hanno  $C_{OSS}^N \simeq 80pF$  e  $C_{OSS}^P \simeq 190pF$  mentre per quanto riguarda i tempi di accensione e spegnimento si ha rispettivamente  $t_{d(ON)} = 5.2ns$  e  $t_{d(OFF)} = 7.4ns$  per il MOS di tipo N e  $t_{d(ON)} = 10ns$  e  $t_{d(OFF)} = 60ns$  per il MOS di tipo P. Si propongono quindi le seguenti soluzioni:

- IRLML0030TRPbF (N) e SP8M3 (P): questo setup è quello utilizzato fino ad ora in ogni simulazione, perciò i risultati come si è visto sono positivi. Risulta necessaria spesso la compensazione delle capacità nel circuito a causa della  $C_{OSS}$  dei dispositivi. Lato positivo di questa configurazione è la bassa  $R_{DS}^{ON}$  di entrambi i MOS e la possibilità di utilizzare i componenti per altri dimensionamenti che prevedano potenze maggiori. Aumentando tuttavia la frequenza di lavoro del convertitore risulta difficile continuare ad usare tali dispositivi visti i tempi di accensione e spegnimento.

- SP8M3 (lato N) e SP8M3 (lato P): siccome l'integrato contiene entrambi i dispositivi è possibile utilizzarli come configurazione. Le caratteristiche del MOS di tipo N sono praticamente identiche a quelle di IRLML0030TRPbF, può essere quindi considerato un vantaggio in termini di area occupata l'utilizzo di questo setup.
- IRLML0030TRPbF (N) e IRLML9303TRPbF [9] (P): la coppia complementare di N e P può essere una buona soluzione. Il MOS di tipo P ha come caratteristiche  $C_{OSS} = 39pF$ ,  $t_{d(ON)} = 7.5ns$  e  $t_{d(OFF)} = 9ns$  che sono migliori delle caratteristiche di SP8M3.

Altre possibilità possono essere PMV45EN2 [16], PMV40UN2 [15] e DMN3404L [4] per i MOS di tipo N, che presentano tempi di accensione e spegnimento più brevi di IRLML0030TRPbF e capacità  $C_{OSS} \simeq 50pF$ . Per i MOS di tipo P invece si può scegliere anche FDN338P [10], ma le caratteristiche saranno comunque peggiori rispetto a IRLML9303TRPbF.

## 6.2.4 Diodo

Dalla simulazione si ottengono i seguenti stress:

- $I_{DC} = 70mA$  e  $V_R^{MAX} = 20V$

Come per i MOS anche il diodo usato fino ad ora nelle simulazioni risulta sovradimensionato per le correnti, siccome può tollerare correnti medie fino a 1A. Quello che importa dal punto di vista della realizzazione è la possibilità di avere un dispositivo che abbia tempi di accensione e spegnimento il più veloci possibile. Per il diodo ES1B ad esempio nel datasheet viene specificato un  $t_{RR}^{MAX} = 25ns$  ed una capacità  $C_J = 7pF$ .

Per restringere la ricerca viene selezionata la finestra dei diodi "ultra-fast recovery" e "Schottky Rectifier", con  $V_R = 30V$  o maggiori, package SMA (DO-214AC),  $t_{RR}$  e  $t_{FR}$  più bassi possibile per i diodi normali e  $V_F$  minore di 0.8V. A questo proposito si elencano alcuni sostituti:

- serie ES1A - ES1D: dipendentemente dalle tensioni con le quali si lavora è possibile selezionare qualunque diodo della serie. Questa soluzione è comprensiva del modello ES1B usato fino ad adesso e le caratteristiche degli altri dispositivi è molto simile, fatta eccezione per la DC blocking voltage.
- MURA105 [12]: possiede le stesse caratteristiche di tensione di ES1B,  $t_{RR} = 30ns$  ma una tensione  $V_F$  leggermente più bassa.

Date le basse tensioni con le quali si lavora è possibile selezionare anche dei diodi Schottky. Il vantaggio di tale scelta è la totale assenza di  $t_{RR}$  e la riduzione nella  $V_F$ . Questo porta quindi a tempi di risposta più brevi rispetto all'utilizzo di un normale diodo. Ad esempio vengono riportate alcune possibili soluzioni con evidenziata la tensione in conduzione:

- STPS2L30 [18]:  $V_F \simeq 0.4V$ .
- VS-15MQ040-M3 [17]:  $V_F \simeq 0.34V$ .
- MBRA130LT3G [11]:  $V_F \simeq 0.35V$ .



## 6.3 Schematico e PCB in KiCad

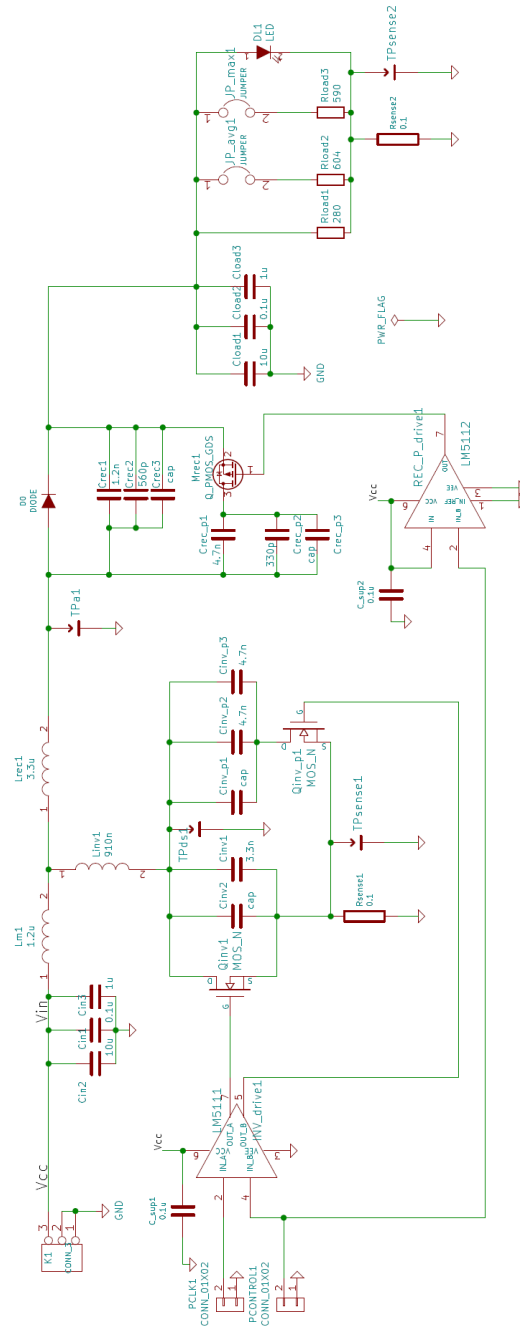


Figura 6.3.0.1: Schematico KiCad del circuito Inverse1

Viene creato lo schematico in KiCad del circuito Inverse1 in Figura 6.3.0.1. Nello schema si aggiungono i driver LM5111 [5] ed LM5112 [6] per pilotare i MOS di tipo N e di tipo P rispettivamente. Inoltre si evidenzia la presenza di test point per la misura della  $V_{DS}$  e di  $V_A$ , il sensing per la corrente nel carico e attraverso il MOS principale. Il carico è suddiviso in tre rami che permettono, mediante l'utilizzo dei jumper, di far funzionare il circuito nei tre regimi di potenza (massimo, intermedio e minimo).

Si crea inoltre il PCB in KiCad in Figura 6.3.0.2 e 6.3.0.3 del precedente schematico. Non è stato possibile produrre una scheda a causa dei vincoli delle scadenze per la sessione di laurea.

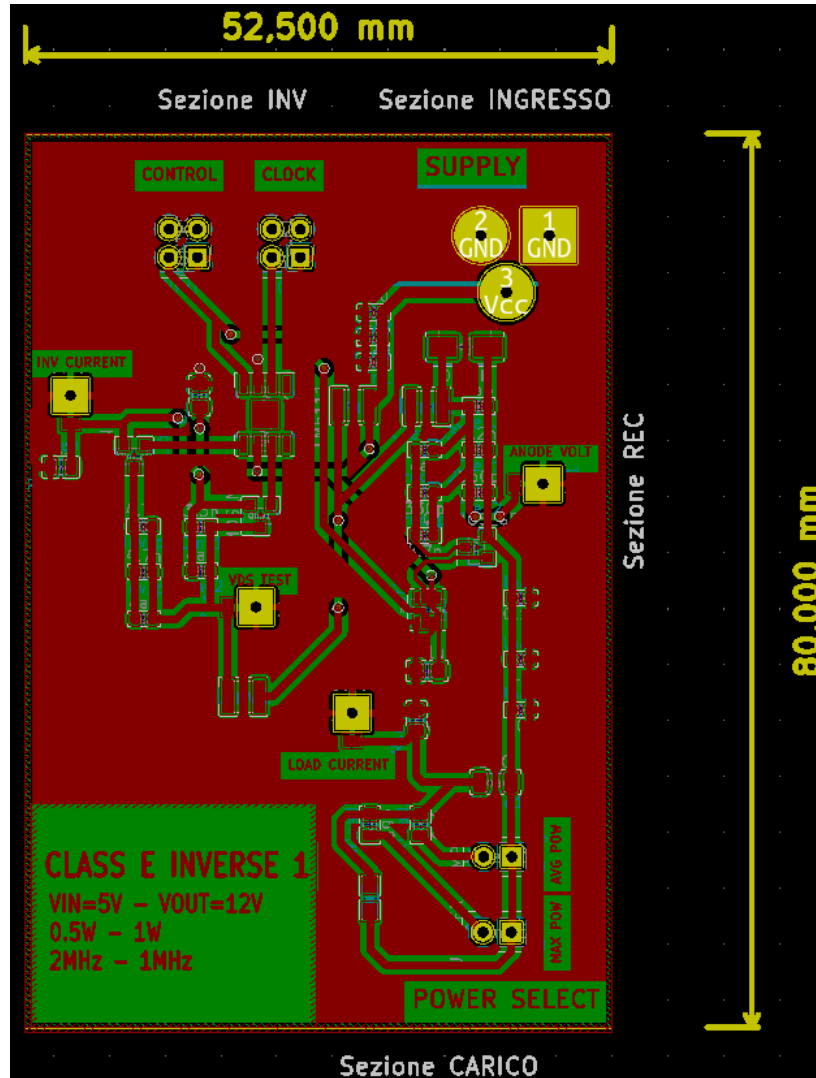


Figura 6.3.0.2: PCB front in KiCad del circuito Inverse1

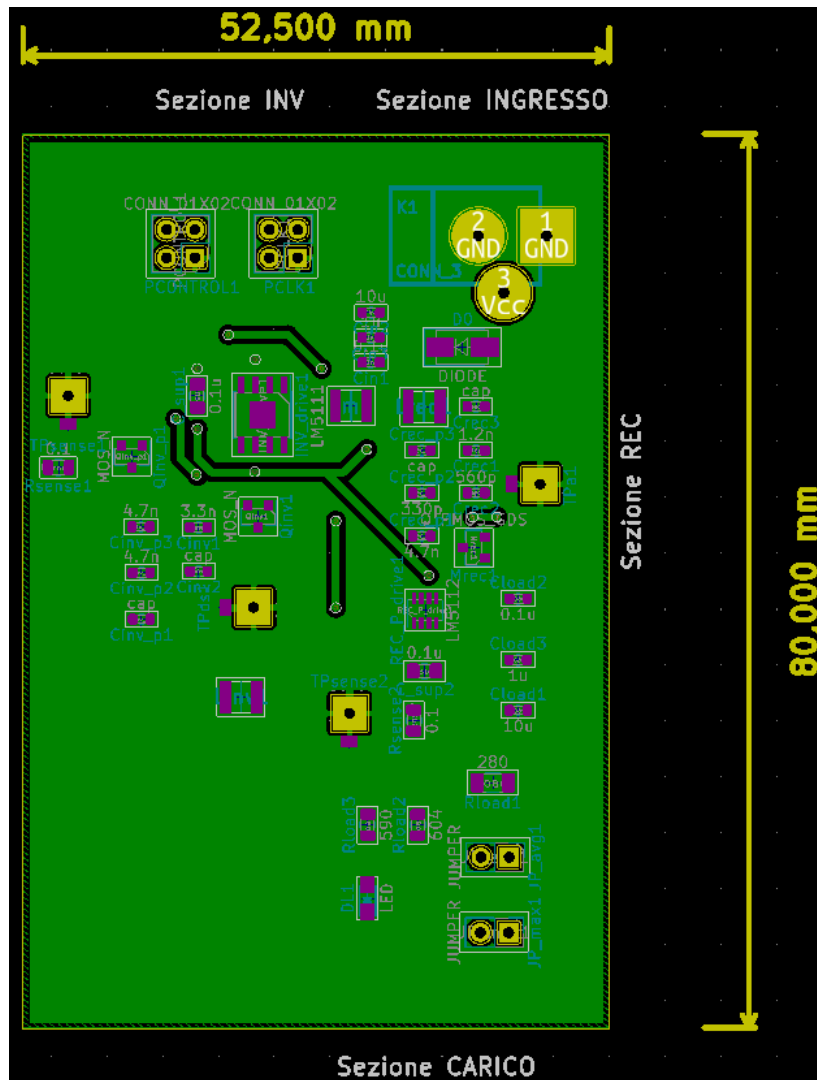


Figura 6.3.0.3: PCB back in KiCad del circuito Inverse1

## 6.4 Conclusioni

I risultati ottenuti durante il lavoro di tesi possono essere considerati molto positivi. Dalle simulazioni in single frequency è stato possibile dimostrare il corretto funzionamento di ogni topologia derivata, mostrando una forte aderenza con la teoria del modello ideale. Le simulazioni in dual frequency hanno mostrato delle problematiche per le topologie ad accoppiamento diretto, le cui motivazioni sono da attribuire ai parassiti dei dispositivi reali e all'evoluzione propria del sistema. I circuiti ad accoppiamento inverso presentano un corretto comportamento sia in termini di regimi

che di evoluzione in dual frequency, dimostrando che lo studio sull'ottimizzazione delle transizioni porta benefici sia in termini di stress sui componenti che in termini di correttezza delle grandezze in uscita. Punto critico della scelta dei componenti reali è l'impossibilità di trovare degli induttori aventi fattore di merito elevato (nel lavoro è considerato  $Q=50$  sempre), questo contribuirà alla necessità di rivisitare il dimensionamento in caso di simulazione di un prototipo. Inoltre per ridurre gli effetti delle non idealità nel modello utilizzato è consigliata la ricerca di componenti più piccoli e veloci, aventi fenomeni parassiti trascurabili rispetto alle grandezze considerate.

# Bibliografia

- [1] Nicola Bertoni et al. “An Analytical Approach for the Design of Class-E Resonant DC–DC Converters.” In: *IEEE Transactions On Power Electronics* 31.11 (2016), pp. 7701–7713.
- [2] Fabio Pareschi et al. “A Unified Design Theory for Class-E Resonant DC-DC Converter Topologies Converters.” In: *IEEE Transactions On Circuits And Systems* (in corso di pubblicazione), pp. 1–9.
- [3] Coilcraft. *Chip Inductors – 1008LS (2520)*. URL: [http://www.farnell.com/datasheets/1681899.pdf?\\_ga=2.31660286.151703676.1539358386-926256860.1537019560](http://www.farnell.com/datasheets/1681899.pdf?_ga=2.31660286.151703676.1539358386-926256860.1537019560).
- [4] Diodes Incorporated. *DMN3404L Datasheet*. URL: [http://www.farnell.com/datasheets/1915663.pdf?\\_ga=2.103838528.151703676.1539358386-926256860.1537019560](http://www.farnell.com/datasheets/1915663.pdf?_ga=2.103838528.151703676.1539358386-926256860.1537019560).
- [5] Texas Instruments. *LM5111 Datasheet*. URL: <http://www.ti.com/lit/ds/symlink/lm5111.pdf>.
- [6] Texas Instruments. *LM5112 Datasheet*. URL: <http://www.ti.com/lit/ds/symlink/lm5112-q1.pdf>.
- [7] Murata. *GRM 0805 Series Capacitors*. URL: <https://docs-emea.rs-online.com/webdocs/07a1/0900766b807a1cab.pdf>.
- [8] International Rectifier. *IRLML0030TRPbF Datasheet*. URL: <https://www.infineon.com/dgdl/irlml0030pbf.pdf?fileId=5546d462533600a401535664773825df>.
- [9] International Rectifier. *IRLML9303TRPbF Datasheet*. URL: [http://www.farnell.com/datasheets/1749828.pdf?\\_ga=2.5780279.50341601.1539535461-926256860.1537019560](http://www.farnell.com/datasheets/1749828.pdf?_ga=2.5780279.50341601.1539535461-926256860.1537019560).
- [10] Fairchild Semiconductor. *FDN338P Datasheet*. URL: [http://www.farnell.com/datasheets/2298726.pdf?\\_ga=2.237492996.50341601.1539535461-926256860.1537019560](http://www.farnell.com/datasheets/2298726.pdf?_ga=2.237492996.50341601.1539535461-926256860.1537019560).
- [11] ON Semiconductor. *MBRA130LT3G Datasheet*. URL: [http://www.farnell.com/datasheets/2353934.pdf?\\_ga=2.173555623.50341601.1539535461-926256860.1537019560](http://www.farnell.com/datasheets/2353934.pdf?_ga=2.173555623.50341601.1539535461-926256860.1537019560).
- [12] ON Semiconductor. *MURA105 Datasheet*. URL: [http://www.farnell.com/datasheets/2353832.pdf?\\_ga=2.216014482.50341601.1539535461-926256860.1537019560](http://www.farnell.com/datasheets/2353832.pdf?_ga=2.216014482.50341601.1539535461-926256860.1537019560).
- [13] ROHM Semiconductor. *SP8M3 Datasheet*. URL: <http://rohmsf.rohm.com/en/products/databook/datasheet/discrete/transistor/mosfet/sp8m3fra-e.pdf>.
- [14] Vishay General Semiconductor. *ES1B Datasheet*. URL: <https://www.vishay.com/docs/88586/es1.pdf>.
- [15] NXP Semiconductors. *PMV40UN2 Datasheet*. URL: [http://www.farnell.com/datasheets/2242071.pdf?\\_ga=2.103838528.151703676.1539358386-926256860.1537019560](http://www.farnell.com/datasheets/2242071.pdf?_ga=2.103838528.151703676.1539358386-926256860.1537019560).

- [16] NXP Semiconductors. *PMV45EN2 Datasheet*. URL: [http://www.farnell.com/datasheets/1885688.pdf?\\_ga=2.103838528.151703676.1539358386-926256860.1537019560](http://www.farnell.com/datasheets/1885688.pdf?_ga=2.103838528.151703676.1539358386-926256860.1537019560).
- [17] Vishay Semiconductors. *VS-15MQ040-M3 Datasheet*. URL: [http://www.farnell.com/datasheets/2119782.pdf?\\_ga=2.173527847.50341601.1539535461-926256860.1537019560](http://www.farnell.com/datasheets/2119782.pdf?_ga=2.173527847.50341601.1539535461-926256860.1537019560).
- [18] STMicroelectronics. *STPS2L30 Datasheet*. URL: [http://www.farnell.com/datasheets/1690226.pdf?\\_ga=2.173527847.50341601.1539535461-926256860.1537019560](http://www.farnell.com/datasheets/1690226.pdf?_ga=2.173527847.50341601.1539535461-926256860.1537019560).
- [19] TDK. *CGA Series Capacitors*. URL: <https://docs-emea.rs-online.com/webdocs/1532/0900766b81532d14.pdf>.
- [20] Tyco Electronics (TE). *Type 36502C Series Inductors*. URL: <https://docs-emea.rs-online.com/webdocs/0660/0900766b80660964.pdf>.