

POLITECNICO DI TORINO

Corso di Laurea Magistrale in Ingegneria Elettronica



Tesi di Laurea Magistrale

Analisi del sistema per la sintesi di frequenza di un sistema RADAR FMCW

Relatore

Prof. Marco Pirola

Correlatore

Chiara Ramella

Candidato

Francesco Fiume

ANNO ACCADEMICO 2017/18

Alla mia famiglia

INDICE

INDICE	5
INTRODUZIONE	9
1. GENERALITA' SUI RADAR.....	11
1.1 Introduzione.....	11
1.1 Principio di funzionamento	11
1.2 Tipi di radar	12
1.2.1 Distanza da un bersaglio	14
1.2.2 Massima portata non ambigua.....	14
1.3 Radar ad impulsi.....	15
1.3.1 Descrizione del radar ad impulsi.....	15
1.3.2 Cenni sui radar ad onda continua (CW)	17
1.4 Radar ad Onda Continua Modulata in Frequenza (FMCW)	18
1.4.1 Principio di funzionamento	18
1.4.2 Modelli di segnale per la modulazione in frequenza.....	19
1.4.3 Analisi dei segnali	20
1.4.4 Risoluzione in distanza e in frequenza	25
1.5 Applicazioni dei radar	26
2. SINTETIZZATORI DI FREQUENZA.....	28
2.1 Sintetizzatore di tipo Diretto	28
2.2 Sintesi Diretta Digitale (DDS).....	29
2.3 Sintetizzatore di tipo indiretto (o ad aggancio di fase)	31
2.4 I PLL nella sintesi di frequenza	31
2.5 Timing jitter	32
2.6 Phase noise	33
2.7 Phase-locked loop.....	36

2.7.1	Phase Detector	37
2.7.2	Filtro d'anello	40
2.7.3	Voltage Controlled Oscillator (VCO)	40
2.7.4	Charge-pump-based PLL (CP-PLL)	42
2.7.5	Rumore di fase e jitter del PLL	43
2.7.6	Settling time	43
2.7.7	Sintetizzatore a N-intero.....	44
2.7.8	Sintetizzatore frazionario	45
2.7.9	Sintetizzatore Dual-loop.....	48
3.	SINTETIZZATORI COMMERCIALI	50
3.1	Sintetizzatore LMX2594	50
3.1.1	Introduzione	50
3.1.2	Reference Oscillator Input	51
3.1.3	Reference Path.....	51
3.1.4	OSCin Doubler (OSC_2X).....	52
3.1.5	Phase Detector e Charge Pump	52
3.1.6	Pre-R Divider (PLL_R_PRE).....	52
3.1.7	Programmable Multiplier (MULT)	53
3.1.8	Post-R Divider (PLL_R)	53
3.1.9	State Machine Clock	53
3.1.10	PLL Phase Detector and Charge Pump	53
3.1.11	Divisore N e circuiteria frazionaria	53
3.1.12	VCO (Voltage Controlled Oscillator)	54
3.1.13	Calibrazione del VCO	54
3.1.14	Determinazione del guadagno del VCO.....	55
3.1.15	Channel Divider	56
3.1.16	Output Buffer	56

3.1.17	Sincronizzazione della fase	58
3.1.18	Funzione Rampa.....	58
3.1.19	SYSREF	60
3.1.20	Programming	60
3.1.21	Reference PRO	61
3.2	Sintetizzatore ADF4159	62
3.2.1	Introduzione	62
3.2.2	Stadio d'ingresso	63
3.2.3	Divisore RF INT.....	63
3.2.4	PFD e Pompa di carica	64
3.2.5	Multiplexer d'uscita	65
3.2.6	Registro a scorrimento d'ingresso.....	66
3.2.7	Mappa dei registri dell'ADF4159	67
3.2.8	Modalità di programmazione dei registri	68
3.2.9	Duplicatore di riferimento	69
3.2.10	Cycle Slip	69
3.2.11	Tipi di forme d'onda generate	70
3.2.12	Deviazioni e Timing della forma d'onda	71
3.2.13	Meccanismo delle spurie	75
3.2.14	Applicazione dell'ADF4159 nei Radar FMCW.....	76
3.3	PLLatinum Sim e ADIsimPLL.....	77
3.3.1	PLLatinum Sim	77
3.3.2	ADIsimPLL.....	79
3.4	Confronto tra le board LMX2594 e ADF4159	82
3.5	Ulteriori applicazioni dell'LMX2594.....	84
CONCLUSIONI.....		86
INDICE DELLE FIGURE		88

Bibliografia.....	92
RINGRAZIAMENTI	95

INTRODUZIONE

Oggi, l'utilità e l'importanza del radar consentono di considerarlo come uno strumento imprescindibile. Nonostante sia stato inventato e utilizzato inizialmente come strumento militare, esso è dotato di caratteristiche tali che gli permettono di esplicare le proprie capacità nei più disparati ambiti: per il controllo del traffico aereo e navale in campo civile e militare, per il controllo della velocità degli autoveicoli, per la rilevazione delle turbolenze in tempo reale in ambito meteorologico. Stiamo parlando di un sistema elettronico in grado di localizzare oggetti non visibili a occhio nudo e di determinarne distanza, velocità, angolazione, dimensioni e forma, attraverso l'utilizzo delle onde elettromagnetiche da essi riflesse. Questi dispositivi, funzionando con segnali a microonde, impongono un'analisi accurata rispetto all'andamento non ideale dei componenti. Un sistema radar tradizionale è costituito da: blocchi TX/RX a radiofrequenza; componenti analogici e digitali; processori di segnali; e microcontrollori. Solitamente questi apparati sono prodotti utilizzando componenti discreti che, anche a causa delle alte frequenze da generare, richiedono elevati consumi di energia e di costi. L'alternativa rispetto alla suddetta tipologia di radar è rappresentata da quelli ad onda continua CW, i quali possiedono notevoli vantaggi in termini di ingombro e di consumo di potenza. Le loro caratteristiche hanno suscitato un grande interesse nelle aziende produttrici, indotte quindi a investire maggiormente su questi tipi di sistemi, anche in considerazione delle numerose applicazioni in cui trovano impiego; basti pensare ai droni, sui quali è possibile installare un sensore radar CW utile, ad esempio, per le attività di telerilevamento che consentono di ricavare numerose informazioni, quantitative e qualitative, sull'ambiente e sul territorio. I radar ad onda continua, a differenza di quelli ad impulsi, emettono delle onde elettromagnetiche non discontinue nel tempo, per cui, il collo di bottiglia è rappresentato dall'impossibilità di valutare la distanza che divide il radar dal target, in quanto non esiste alcuna separazione temporale tra il segnale trasmesso e quello ricevuto. Pertanto, si rende necessario ricorrere ai radar FMCW (Frequency Modulated Continuous Wave) tramite i quali è possibile modulare in frequenza il segnale trasmesso. Così facendo, a partire dalla conoscenza della differenza di frequenza tra il segnale trasmesso e quello di eco (ricevuto), si valuta il tempo di round/trip del segnale. In questo tipo di radar la valutazione della frequenza può essere effettuata utilizzando dei particolari processori che sfruttano la tecnica FFT (Fast Fourier Transform) in modo da ottenere informazioni riguardo alla distanza del target. Parti integranti dei sistemi radar sono senza dubbio i sintetizzatori di frequenza. Per mezzo di essi è possibile generare segnali ad alta frequenza fino a raggiungere la banda delle microonde. I sintetizzatori svolgono un lavoro essenziale all'interno di un radar grazie alle loro tecniche di sintesi, analogica e digitale, nella generazione di segnali periodici e non. Ma non solo, essi rivestono notevole importanza in quanto capaci di generare segnali rampa con un'elevata risoluzione e un ottimo sweep in frequenza nei Radar FMCW. Ebbene, la presente tesi ha lo scopo di analizzare il funzionamento di un sistema radar FMCW dando enfasi ai parametri che lo caratterizzano, primo tra tutti il rumore di fase che interessa il segnale d'uscita. In particolare, vengono messi in luce i vantaggi che essi presentano rispetto ad altri tipi di radar, come ad esempio quelli ad impulsi che per funzionare necessitano di elevata potenza e che forniscono dei segnali poco stabili in frequenza. Per far ciò, si parte dallo studio del dispositivo che sta a monte, vale a dire, il sintetizzatore di frequenza. Quest'ultimo rappresenta uno dei punti cardine del sistema radar, in quanto, la qualità del segnale da esso prodotto, assieme alla sua potenza costituiscono elementi essenziali al fine di poter valutare in maniera accurata parametri importanti come la distanza e la velocità di un oggetto. Il primo capitolo si occupa della descrizione dei radar, a partire dal loro principio di funzionamento fino alle loro possibili applicazioni, e in particolare di una descrizione specifica sui radar FMCW. Nel secondo capitolo si introducono i metodi di sintesi, a partire da quella analogica,

ormai poco utilizzata, per poi passare a quella indiretta, basata sui famosi circuiti a PLL ampiamente utilizzati nell'ambito delle telecomunicazioni. Il terzo è incentrato sulla descrizione e sul confronto tra due differenti tipi di Evaluation Board esistenti in commercio, confronto che prende avvio a partire dalle prestazioni che sono in grado di raggiungere; peraltro, viene anche effettuata una simulazione dei sintetizzatori presenti al loro interno mediante l'utilizzo di due software messi a disposizione dalle rispettive case produttrici. L'ultima sezione attiene alle conclusioni sull'elaborato.

1. GENERALITA' SUI RADAR

1.1 Introduzione

In questo capitolo inerente ai Radar vengono fornite una serie di informazioni che consentono di coglierne i tratti caratteristici, focalizzandosi in primo luogo sulla descrizione dei vari blocchi che li compongono. Vengono citate le tecniche impiegate per la rilevazione di un oggetto, detto anche target, a partire dalla tipologia di segnali utilizzati e dal modo in cui essi vengono impiegati in tale sistema. Viene poi descritto il metodo che consente di procedere alla valutazione della velocità e della distanza di un oggetto rispetto al radar. E da ultimo, vengono riportate le varie applicazioni in cui tali sistemi trovano largo impiego. Il principio di base del radar è illustrato in Figura 1.

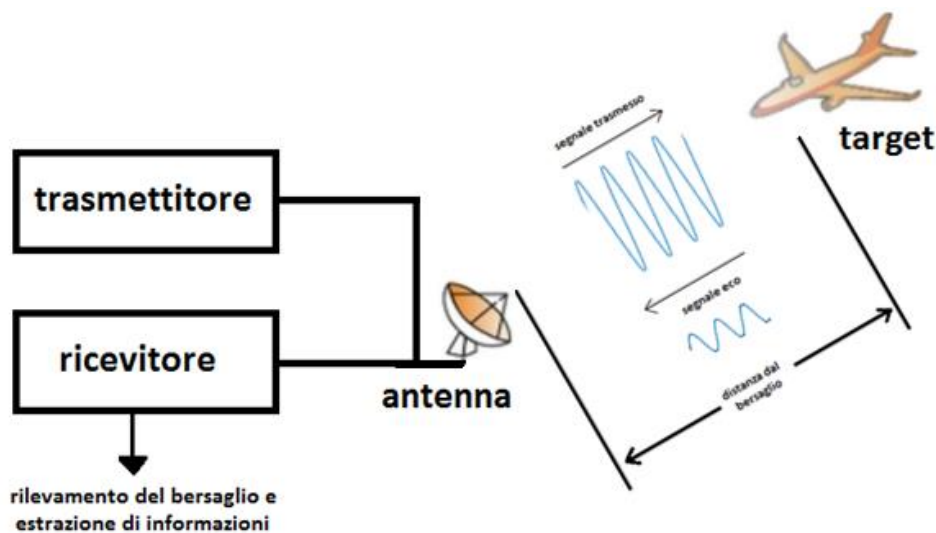


Figura 1 Principio di base del radar

1.1 Principio di funzionamento

[1] Il radar è un sistema elettromagnetico usato per il rilevamento di oggetti (o targets) quali aerei, navi, veicoli, persone, ambiente naturale, e per la valutazione di alcune loro caratteristiche, come ad esempio la posizione angolare e la velocità. Funziona irradiando energia nello spazio e rilevando il segnale di eco riflesso da un bersaglio. Il radar può svolgere la sua funzione a lunghe o brevi distanze e in condizioni impervie, ovvero nella notte e in presenza di foschia, nebbia, pioggia e neve. La capacità di misurare la distanza con elevata precisione e in qualsiasi condizione atmosferica è uno dei suoi attributi più importanti. Un trasmettitore genera un segnale elettromagnetico che viene irradiato nello spazio attraverso un'antenna fortemente direttiva in modo tale che l'energia non si disperda ma venga concentrata in uno specifico volume. Una parte dell'energia trasmessa viene intercettata dal bersaglio posto all'interno del volume di ricerca e nuovamente irradiata in tutte le direzioni. La parte di energia diretta al radar viene captata dall'antenna di quest'ultimo che la consegna ad un ricevitore; l'energia viene a sua volta elaborata per rilevare la presenza del target e

determinarne la posizione. La distanza tra il radar e un bersaglio viene rilevata misurando il tempo impiegato dal segnale per raggiungere l'oggetto e ritornare indietro. La posizione angolare del target può essere valutata a partire dalla direzione dei punti dell'antenna radar con larghezza di fascio stretta, quando il segnale di eco ricevuto assume la sua massima ampiezza. Se il bersaglio è in movimento, c'è una traslazione in frequenza del segnale di eco a causa dell'effetto Doppler, che è proporzionale alla velocità del bersaglio (detta anche 'velocità radiale') rispetto al radar. [1] L'effetto dovuto alla variazione della frequenza doppler viene sfruttato nei radar come base per distinguere i segnali provenienti da target mobili 'desiderati' da echi fissi (indesiderati), ossia segnali riflessi dall'ambiente naturale come terra, mare o pioggia.

1.2 Tipi di radar

I radar possono essere classificati in *monostatici*, quando utilizzano un'unica antenna per trasmettere e ricevere contemporaneamente i segnali; e *bistatici* o *multistatici*, quando invece possiedono due o più antenne: una di esse si occupa di trasmettere il segnale, mentre le altre, ubicate in posizioni differenti, si occupano della ricezione del segnale proveniente dal target. Un'ulteriore distinzione può esser fatta anche in base alla tipologia di segnali che essi utilizzano; i più comuni sono i c.d. 'Radar ad impulsi' e 'Radar ad onda continua'. [2]

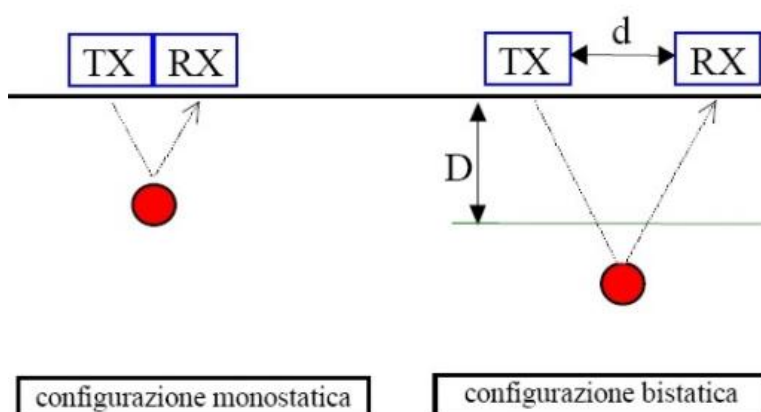


Figura 2 Configurazione delle antenne

L'*equazione del radar* mette in relazione il raggio R con le caratteristiche del trasmettitore, del ricevitore, dell'antenna, del bersaglio e dell'ambiente. È utile non solo per determinare il raggio massimo rispetto al quale un particolare radar può rilevare un bersaglio, ma può servire anche come mezzo per comprendere i fattori che influenzano le prestazioni del radar stesso. Se la potenza del trasmettitore P_t è irradiata da un'antenna, la densità di potenza a una distanza R dal radar è uguale alla potenza irradiata divisa per l'area di superficie $4\pi R^2$ di una sfera immaginaria di raggio R , dunque

$$P_d = \frac{P_t}{4\pi R^2} \quad \text{Eq. (1)}$$

dove la densità di potenza è misurata in watt per metro quadro. I radar, tuttavia, impiegano antenne direttive (con ampiezze di fascio strette) per concentrare la potenza irradiata P_t in una particolare direzione. Il guadagno di un'antenna è la misura della densità di potenza irradiata in una certa direzione rispetto alla densità di potenza irradiata da un'antenna isotropica; per cui, il guadagno massimo G si può esprimere come

$$G = \frac{\text{densità di potenza massima irradiata da un'antenna direttiva}}{\text{densità di potenza irradiata da un'antenna isotropica senza perdite con la stessa potenza assorbita}}$$

mentre invece la densità di potenza a distanza R generata da un'antenna direttiva con un guadagno di trasmissione G è

$$\frac{P_t G}{4\pi R^2} \quad \text{Eq. (2)}$$

Il bersaglio intercetta una parte dell'energia incidente e la re-irradia in varie direzioni: soltanto la parte diretta verso il radar, ovvero il segnale di eco, è di interesse. La sezione trasversale del bersaglio determina la densità di potenza restituita al radar per una particolare densità di potenza incidente. Essa è denotata da σ ed è spesso chiamata 'target cross section'. [1] Dunque, la densità di potenza inviata verso il radar vale

$$\frac{P_t G}{4\pi R^2} * \frac{\sigma}{4\pi R^2} \quad \text{Eq. (3)}$$

L'antenna radar capta una parte dell'energia dell'eco incidente su di essa. La potenza ricevuta dal radar si può esprimere come il prodotto della densità di potenza incidente per l'area effettiva A_e dell'antenna ricevente. L'area effettiva è correlata all'area fisica A dalla relazione $A_e = \rho_a A$, dove ρ_a è l'apertura di efficienza dell'antenna. La potenza del segnale ricevuto P_r è quindi

$$P_r = \frac{P_t G}{4\pi R^2} * \frac{\sigma}{4\pi R^2} * A_e = \frac{P_t G A_e \sigma}{(4\pi)^2 R^4} \quad \text{Eq. (4)}$$

dove P_t indica il valore di picco della potenza di trasmissione.

La massima estensione R_{max} di un radar è la distanza oltre la quale il bersaglio non può essere rilevato. Si verifica quando la potenza del segnale ricevuto P_r equivale al minimo segnale rilevabile S_{min} . Sostituendo S_{min} nell'equazione sopra e ri-arrangiando i termini si ottiene

$$R_{max} = \left[\frac{P_t G A_e \sigma}{(4\pi)^2 S_{min}} \right]^{\frac{1}{4}} \quad \text{Eq. (5)}$$

Questa rappresenta la forma fondamentale dell'equazione del radar. I parametri principali dell'antenna sono: il guadagno di trasmissione e l'area effettiva ricevente. Se la stessa antenna viene utilizzata sia per la trasmissione che per la ricezione, come di solito avviene nel radar, la teoria delle antenne fornisce la relazione tra il guadagno G di trasmissione e l'area effettiva di ricezione A_e come segue

$$G = \frac{4\pi A_e}{\lambda^2} = \frac{4\pi \rho_a A}{\lambda^2} \quad \text{Eq. (6)}$$

dove λ è la lunghezza d'onda del segnale. Sostituendo l'eq. (6) nella (5) si ottiene un'altra forma dell'equazione del radar R_{max} che varia come λ^{-2} .

$$R_{max} = \left[\frac{P_t G^2 \lambda^2 \sigma}{(4\pi)^3 S_{min}} \right]^{\frac{1}{4}} \quad \text{Eq. (7)}$$

L'antenna trasmittente deve avere un guadagno indipendente dalla lunghezza d'onda, mentre quella ricevente un'efficienza di apertura indipendente dalla medesima.

1.2.1 Distanza da un bersaglio

Il segnale radar più comune, detto treno di impulsi, è costituito da una serie di impulsi di breve durata che modulano una portante sinusoidale. La distanza da un bersaglio viene determinata a partire dal tempo T_r che il segnale generato dal radar impiega per raggiungere l'oggetto e tornare indietro. Un generico segnale viaggia nello spazio libero ad una velocità c pari a quella della luce; quindi, il tempo impiegato dallo stesso per raggiungere un bersaglio situato ad una distanza R e tornare al radar è $2R/c$. La misura del raggio vale dunque

$$R = \frac{T_r * c}{2} \quad \text{Eq. (8)}$$

1.2.2 Massima portata non ambigua

Non appena l'antenna radar irradia un segnale nello spazio, deve trascorrere un tempo sufficiente per consentire a tutti i segnali di eco di poter tornare indietro prima che venga trasmesso l'impulso successivo. Pertanto, la velocità con cui gli impulsi possono essere trasmessi è determinata tenendo conto del punto più distante in cui sono previsti i targets da rilevare. Se il tempo T_p che intercorre tra due impulsi consecutivi è troppo breve, il segnale di eco proveniente da un target posto ad elevata distanza potrebbe arrivare dopo la trasmissione dell'impulso successivo ed essere associato erroneamente a quest'ultimo piuttosto che all'effettivo impulso trasmesso in precedenza; ciò può comportare una misurazione errata della distanza. Gli echi che arrivano dopo la trasmissione dell'impulso successivo sono chiamati *echi di secondo livello*. La distanza oltre la quale i targets si manifestano come echi di secondo livello è detta *massima portata non ambigua*, R_{na} , ed è data da [1]

$$R_{na} = \frac{T_p * c}{2} = \frac{c}{2 * f_p} \quad \text{Eq. (9)}$$

dove T_p e f_p sono, rispettivamente, il periodo e la frequenza di ripetizione dell'impulso. L'andamento dell'intervallo massimo non ambiguo in funzione della frequenza di ripetizione dell'impulso è mostrata in Figura 3.

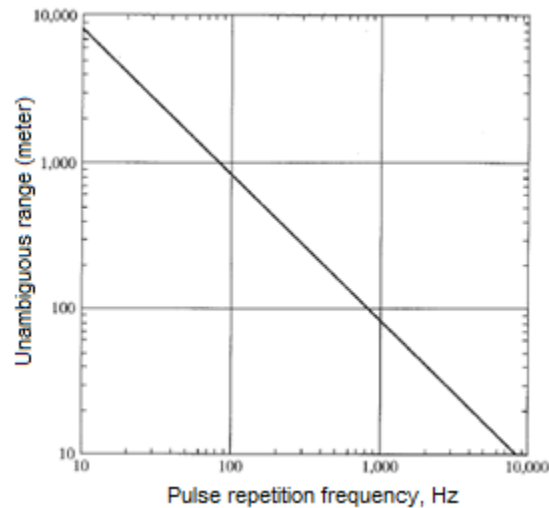


Figura 3 Massima portata non ambigua Rna in funzione della frequenza di ripetizione dell'impulso f_p

1.3 Radar ad impulsi

I radar ad impulsi sono in grado di rilevare la presenza di piccoli bersagli posti ad elevatissime distanze e necessitano di segnali impulsivi ad elevata potenza. Tuttavia, questi segnali presentano una bassa risoluzione spaziale e un basso SNR, per cui, diventa basilare modulare il segnale trasmesso attraverso la tecnica '*pulse compression*'. [1]

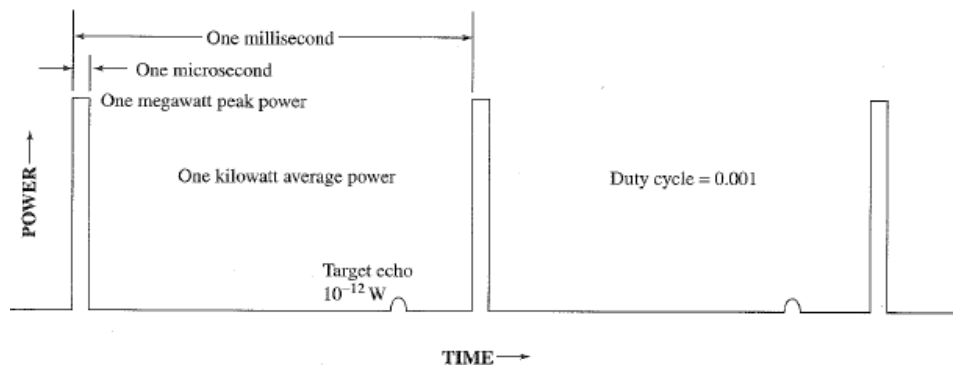


Figura 4 Esempio di una forma d'onda ad impulso con valori tipici per un radar di sorveglianza aerea a medio raggio

1.3.1 Descrizione del radar ad impulsi

Il funzionamento di un radar a impulsi può essere descritto tramite lo schema a blocchi in Figura 5. [1]

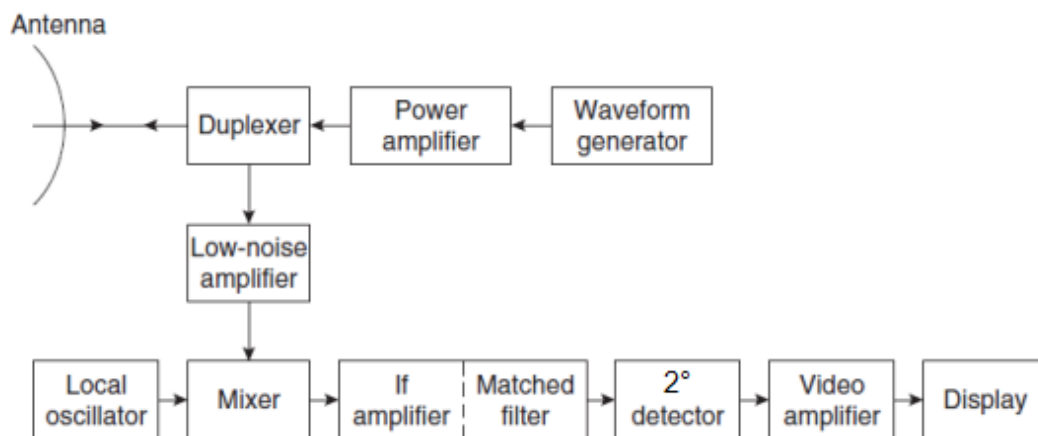


Figura 5 Schema a blocchi di un radar generico

Il trasmettitore è spesso costituito da un oscillatore di potenza come il *magnetron*, il quale è in grado di generare un segnale ad alta potenza e frequenza ma con il difetto di essere poco stabile. Nella maggior parte degli amplificatori di potenza un modulatore accende e spegne il trasmettitore in sincronia con gli impulsi d'ingresso. Il segnale in uscita dal trasmettitore viene inviato all'antenna tramite una guida d'onda o un'altra forma di linea di trasmissione, e successivamente irradiato nello spazio. Le antenne possono essere orientate o meccanicamente su riflettori parabolici o facendo uso di array planari guidati meccanicamente o elettronicamente. Trasmettendo, il riflettore parabolico concentra l'energia su un fascio stretto. Un'antenna ad array di fase è costituita da numerosi elementi radianti i cui segnali si combinano nello spazio per produrre un'onda piana radiante. Usando degli sfasatori su ciascuno di questi elementi che compongono l'array, si può cambiare rapidamente la direzione del fascio nello spazio senza che l'antenna venga spostata meccanicamente. Il duplexer consente di utilizzare un'unica antenna sia per la trasmissione che per la ricezione. In esso sono inoltre presenti dispositivi di protezione, in genere diodi e circolatori di ferrite. Il ricevitore è quasi sempre un supereterodina; il suo stadio di ingresso può essere un amplificatore a transistor a basso rumore. Il mixer e l'oscillatore locale (LO) si occupano di convertire il segnale RF in una frequenza intermedia, mentre l'amplificatore IF di amplificarlo. Il filtro adattato massimizza la rilevabilità dei deboli segnali di eco e attenua quelli indesiderati. La larghezza di banda del segnale di un ricevitore supereterodina è determinata da quella del suo stadio IF. A volte, nel ricevitore, l'amplificatore a basso rumore viene omissso e il mixer diventa il primo stadio; in questa circostanza, lo stadio di ingresso sarà meno sensibile a causa di una maggiore quantità di rumore generata dal mixer. Il ricevitore, quindi, avrà un maggiore intervallo dinamico, minori suscettibilità al sovraccarico e vulnerabilità alle interferenze elettroniche, rispetto ad uno che invece presenta un primo stadio a basso rumore. L'amplificatore IF è seguito da un *demodulatore* che è tradizionalmente chiamato *secondo rivelatore*. Il suo scopo è di estrarre il segnale utile da quello modulato sulla portante. Dunque, la combinazione dell'amplificatore IF, del secondo rivelatore e dell'amplificatore video funge da *rivelatore di inviluppo*. Nei radar che rilevano la traslazione del segnale di eco a causa dell'effetto doppler, il rivelatore di inviluppo viene sostituito da un rivelatore di fase, che è diverso rispetto a quello mostrato in Figura 5. Infine, l'insieme degli amplificatori IF e video fornisce un guadagno sufficiente ad elevare il livello del segnale di ingresso in modo che quest'ultimo sia in grado di pilotare un display, come un tubo a raggi catodici (CRT), o di essere l'input di un microprocessore per ulteriori elaborazioni. All'uscita del ricevitore viene presa una decisione che dipende dalla presenza o meno del bersaglio. Essa viene valutata in base all'ampiezza del segnale ricevuto: se

quest'ultima è abbastanza grande da superare una soglia predeterminata, il risultato sarà la presenza di un bersaglio. Il livello di soglia viene impostato in modo tale che la frequenza con cui si verificano falsi allarmi, a causa del rumore di fondo, sia inferiore a un valore specifico e tollerabile; in questo caso, il rumore di fondo ha un valore costante ed è dovuto principalmente alla presenza del duplexer, dell'amplificatore LNA, delle guide d'onda e di altri blocchi che costituiscono il sistema. Se, invece, il rumore proviene dall'esterno (causato da interferenze involontarie) o se gli echi di disturbo (provenienti dall'ambiente naturale) hanno un'ampiezza maggiore rispetto a quella del rumore del ricevitore, la soglia deve essere variata in modo tale da mantenere il tasso di falso allarme ad un valore costante. Il tutto si può ottenere utilizzando un ricevitore con tasso di falso allarme costante (*Constant False Alarm Rate*, CFAR). Di solito un radar riceve molti segnali di eco da parte di un bersaglio. Il processo che consente di ottenere un maggior rapporto segnale-rumore, prima che venga presa la decisione sul rilevamento del target, è chiamato *integrazione*. Il processore di segnale è quella parte del radar la cui funzione è di far passare il segnale di eco desiderato e di rifiutare quelli affetti da rumore. Il filtro adattato, menzionato in precedenza, è un esempio di processore di segnale. Un altro esempio è il *filtro doppler*, che discrimina i bersagli mobili desiderati da quelli stazionari. Inoltre, alcuni radar elaborano ulteriormente il segnale rilevato e, attraverso un "tracker" automatico che utilizza le posizioni del target misurate su un periodo di tempo, stabiliscono la traccia (o il percorso) dell'oggetto. Il processore di segnale e il processore dati sono solitamente implementati con una tecnologia digitale anziché con circuiti analogici. Il convertitore analogico/digitale e la memoria digitale sono quindi particolarmente importanti nei moderni sistemi radar. In passato, in alcuni radar sofisticati, i processori di segnale e dati erano più grandi, consumavano più energia del trasmettitore e costituivano degli strumenti fondamentali per la determinazione dell'affidabilità complessiva del sistema radar. Un tipico display usato nei radar di sorveglianza è il PPI (*Plan Position Indicator*), ovvero, *indicatore di posizione del piano*. Esso è una presentazione che mappa in coordinate polari la posizione del target in azimuth e distanza. Un esempio è mostrato in Figura 6. [3]

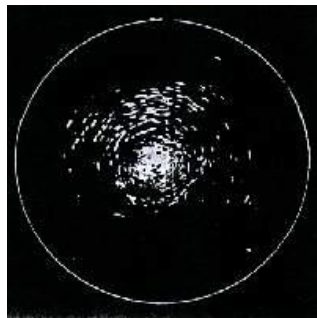


Figura 6 Esempio di un display PPI

1.3.2 Cenni sui radar ad onda continua (CW)

I radar ad onda continua, a differenza di quelli ad impulsi, emettono delle onde elettromagnetiche non discontinue nel tempo. Non essendoci alcuna separazione temporale tra il segnale trasmesso e quello ricevuto, questo tipo di radar non è in grado di rilevare la distanza. [4] In particolare, nei radar ad impulsi la distanza del bersaglio varia in funzione della durata temporale tra l'istante di trasmissione e quello di ricezione (ritardo) del segnale; in quelli ad onda continua, invece, non verificandosi alcuna interruzione del segnale, non è possibile rilevare la distanza radiale rispetto al ricevitore, se non tramite l'ausilio di altri sistemi che legano la distanza alla variazione di frequenza (modulatori di frequenza). Con

questo tipo di radar si può invece valutare la variazione istantanea della velocità radiale del bersaglio rispetto al suo ricevitore, vale a dire il suo avvicinamento o allontanamento; ciò è possibile sfruttando l'effetto Doppler del segnale di ritorno. La lunghezza d'onda è data dal rapporto tra la velocità di propagazione dell'onda nel mezzo e la frequenza ondulatoria emessa. Essendo il valore della velocità di propagazione costante, se la frequenza aumenta la lunghezza d'onda si riduce. La variazione tra la frequenza emessa e quella ricevuta è dunque definita come 'Doppler shift'. Un'altra sostanziale differenza tra i radar CW e quelli ad impulsi è che quest'ultimi, per poter avere la stessa potenza media di un radar ad onda continua, debbono generare impulsi con una potenza di picco molto elevata.

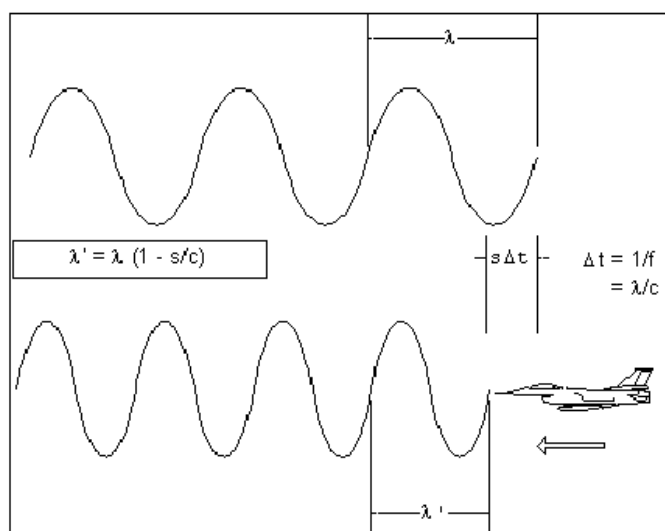


Figura 7 Variazione Doppler dal trasmettente in movimento. Dove s è la velocità con la quale si muove il target, c la velocità della luce, f la frequenza d'oscillazione, λ e λ' è il periodo o la lunghezza d'onda

1.4 Radar ad Onda Continua Modulata in Frequenza (FMCW)

Questa sezione tratta i radar FMCW. In essa viene descritto: il loro principio di funzionamento; i diversi tipi di segnali utilizzati per la modulazione in frequenza; l'analisi di questi ultimi per la valutazione dei parametri di interesse come la distanza, la velocità del target e la stima dell'angolo di arrivo; e infine, le differenze rispetto ai tradizionali radar ad impulsi.

1.4.1 Principio di funzionamento

I radar FMCW rappresentano un sottoinsieme dei radar ad onda continua e hanno per l'appunto la peculiarità di trasmettere un segnale modulato in frequenza in maniera continua. [5] La frequenza di questo segnale varia nel tempo, generalmente all'interno di un intervallo di frequenze note; grazie a ciò, è possibile determinare la differenza di frequenza tra il segnale trasmesso e quello riflesso dal target. Mixando questi due segnali se ne ottiene un terzo che può essere sfruttato per determinare la distanza e/o la velocità dell'oggetto. Lo schema a blocchi di un generico sistema radar FMCW è mostrato in Figura 8. [6]

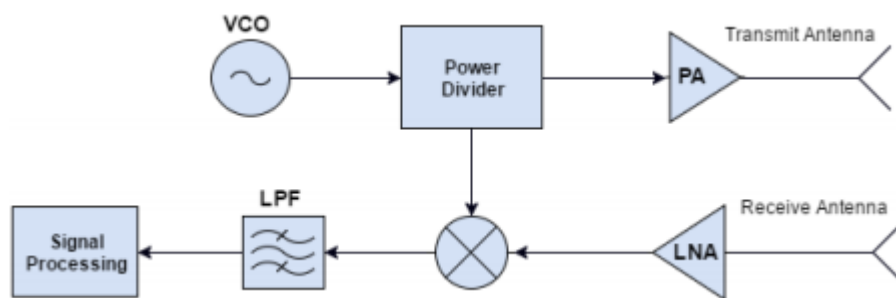


Figura 8 Diagramma a blocchi di un radar FMCW

[7] Il sistema rappresentato in Figura 8 si basa sui seguenti passi:

- Elaborazione del segnale trasmesso;
- Elaborazione del segnale ricevuto;
- Miscelazione dei segnali nel dominio del tempo;
- Analisi dei due termini sinusoidali prodotti dal mixer e filtraggio di una sola componente;
- FFT sul segnale filtrato per la valutazione di distanza e velocità;
- Ulteriori successive elaborazioni del segnale (DSP).

Più precisamente, il segnale prodotto dal VCO viene suddiviso in due parti uguali tramite un divisore di potenza: una parte va in ingresso al PA (Power Amplifier) per essere amplificato, raggiungere l'antenna e poi essere trasmesso, l'altra parte di segnale è invece destinata al Mixer, che lo miscela assieme a quello prodotto dall'LNA (Low Noise Amplifier); quest'ultimo ha il compito di aumentare la debole ampiezza del segnale Eco proveniente dal target. Il segnale in uscita dal mixer a sua volta dà luogo a due segnali le cui fasi sono, rispettivamente, la somma e la differenza delle fasi dei due ingressi del mixer. Il segnale somma viene filtrato mentre quello differenza viene elaborato dal DSP.

I radar FMCW presentano diversi vantaggi se comparati ad altri tipi di radar:

- Capacità di misurare brevi distanze con elevata precisione;
- Capacità di misurare contemporaneamente la distanza tra target e ricevitore assieme alla sua velocità relativa;
- L'elaborazione del segnale viene eseguita ad intervalli di frequenza relativamente bassi semplificando così l'architettura del circuito di elaborazione;
- Funzionano bene in condizioni atmosferiche come pioggia, umidità, nebbia, neve;
- La modulazione FMCW è compatibile con i trasmettitori a stato solido che ben si prestano per questo tipo di applicazione in quanto funzionano con basse tensioni;
- Basso ingombro e piccoli consumi di energia.

1.4.2 Modelli di segnale per la modulazione in frequenza

Esistono vari pattern di modulazione che possono essere utilizzati per diversi scopi di misurazione [8]:

- Modulazione a dente di sega
questo pattern di modulazione viene utilizzato quando la distanza da rilevare è relativamente ampia (distanza massima) ed è combinato con un'influenza trascurabile della frequenza Doppler (per esempio, usato nei radar di navigazione marittima);
- Modulazione triangolare
consente una facile separazione della frequenza di battimento f_b dalla frequenza Doppler f_d ;
- Modulazione ad onda quadra
viene utilizzata per misurare una distanza in modo molto preciso grazie al confronto di fase delle due frequenze del segnale di eco. Lo svantaggio è che i segnali di eco provenienti da più bersagli non possono essere separati l'uno dall'altro, per cui tale processo consente solo un intervallo di misurazione non ambiguo;
- Modulazione con forma d'onda a gradini
Viene utilizzata per misurazioni interferometriche e amplia la massima distanza non ambigua; [8]



Figura 9 Pattern di modulazione comuni per un Radar FMCW

1.4.3 Analisi dei segnali

La funzione a dente di sega è la più semplice forma d'onda utilizzata per realizzare un segnale a frequenza variabile nel tempo.

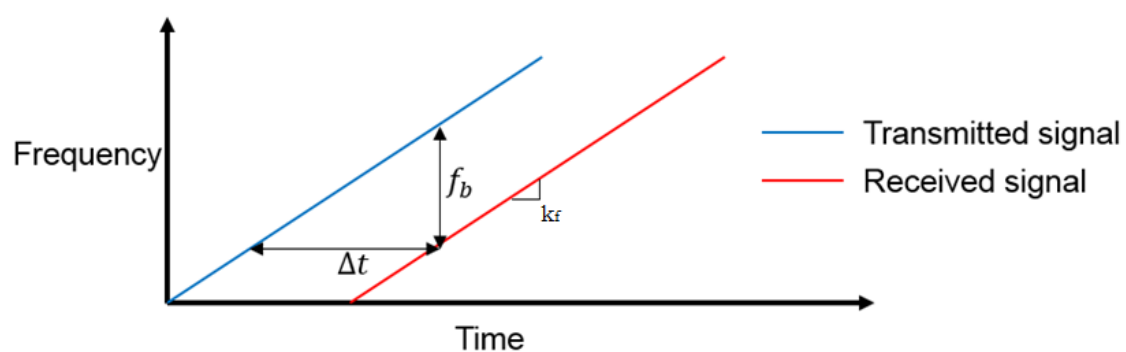


Figura 10 Segnale generato con frequenza che varia linearmente nel tempo

Il radar FMCW emette un segnale RF che di solito viene traslato linearmente in frequenza. Il segnale ricevuto viene quindi mixato con il segnale trasmesso e a causa del ritardo causato dal tempo di volo del segnale riflesso, ci sarà una differenza di frequenza f_b che coinciderà appunto con la frequenza del segnale IF uscente dal mixer. Una rappresentazione grafica di quanto detto è mostrata in Figura 10.

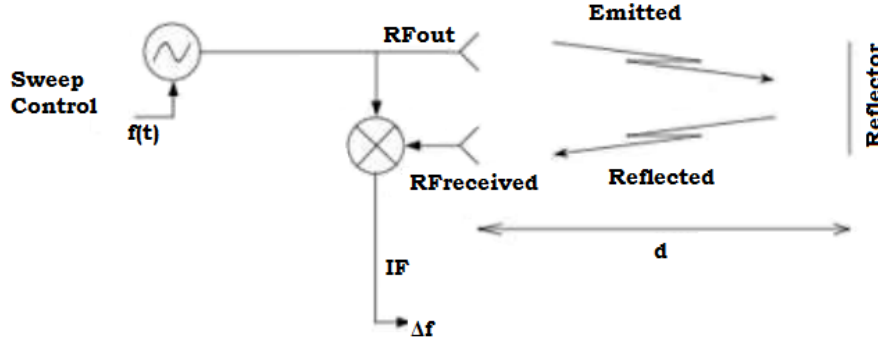


Figura 11 Sistema radar FMCW

Facendo riferimento alla Figura 11 [9], descriviamo come ottenere la derivazione del segnale a frequenza intermedia IF.

Il generatore di segnale RF produce una frequenza che varia linearmente nel tempo come:

$$f_{RFout} = f_{min} + k_f \cdot t, \quad 0 \leq t < T \quad \text{Eq. (10)}$$

dove f_{min} è la frequenza iniziale, T e k_f sono, rispettivamente, il periodo e la pendenza del segnale rampa. Il parametro k_f indica la rapidità con la quale il segnale, partendo dal valore minimo di frequenza f_{min} , riesce a raggiungere il massimo f_{max} , ed è dato da:

$$k_f = \frac{BW}{T} \quad \text{Eq. (11)}$$

dove $BW = f_{max} - f_{min}$ rappresenta la banda di frequenza del segnale. Il ritardo causato dal tempo di andata e ritorno del segnale trasmesso è calcolato come:

$$\Delta_t = 2 \cdot \frac{d}{c} \quad \text{Eq. (12)}$$

dove d indica la distanza tra l'antenna radar che emette il segnale e il riflettore (o target), e c la velocità della luce.

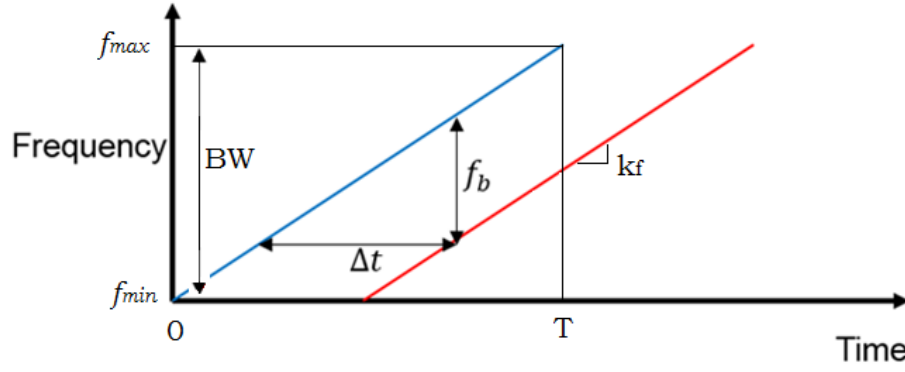


Figura 12 Segnale generato con frequenza che varia linearmente nel tempo con pendenza pari a k , massima escursione in frequenza BW e periodo (tempo di scansione) pari a T

A causa del ritardo, la frequenza del segnale ricevuto rispetto al segnale emesso sarà:

$$f_{RReceived} = f_{min} + k_f \cdot (t - \Delta_t), \quad \Delta_t \leq t < T + \Delta_t \quad \text{Eq. (13)}$$

La derivazione della frequenza di battimento, ottenuta mixando il segnale di trasmissione con quello di ricezione, si basa sull'utilizzo della FFT (Fast Fourier Transform) che calcola in modo efficiente la DFT (Discrete Fourier Transform) della sequenza digitale. Di conseguenza, applicando l'algoritmo FFT sul periodo di segnale possiamo facilmente trovare la frequenza di battimento e quindi la distanza del bersaglio, come illustrato in Figura 13, dove la frequenza di battimento f_b è rappresentata come un offset dallo zero, assieme ad una soglia progettata per uno specifico CFAR (Constant False Alarm Rate). Quest'ultima viene impostata per avere uno specifico tasso di falso allarme; vengono quindi rilevate tutte le frequenze di battimento con un'ampiezza al di sopra di questa soglia [9] [10].

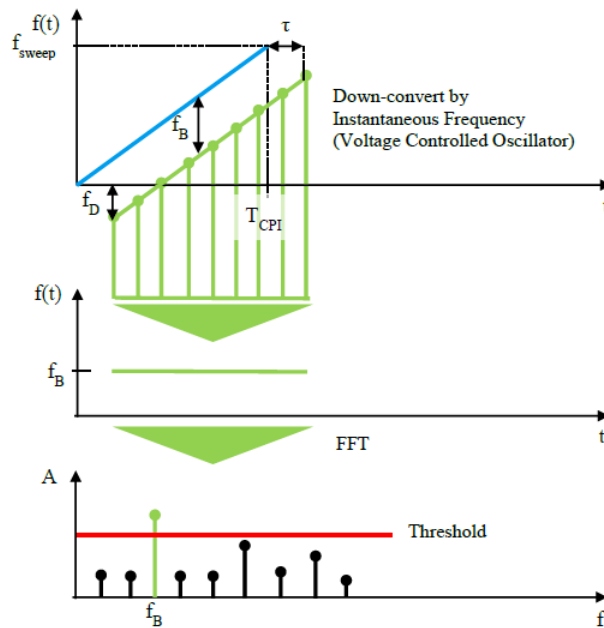


Figura 13 Valutazione della frequenza di battimento

La frequenza di battimento, f_b , risulta dunque essere pari a

$$f_b = f_{RFout} - f_{RFreceived} = k_f \cdot \Delta_t \quad \text{Eq. (14)}$$

f_b , ovvero la frequenza del segnale IF, può assumere anche valori negativi nel caso in cui il valore di frequenza del segnale trasmesso abbia un valore inferiore rispetto a quello ricevuto; in tal caso il sistema utilizza un dispositivo chiamato *discriminator*, il quale lascia passare esclusivamente la parte positiva del segnale che è direttamente proporzionale alla distanza (altrimenti, se così non fosse, le f_b negative darebbero luogo a distanze negative, e ciò sarebbe impossibile), v. Figura 14. L'espressione della **frequenza di battimento** f_b può essere scritta come:

$$f_b = \frac{BW}{T} \cdot \frac{2d}{c} \quad \text{Eq. (15)}$$

da cui si ricava facilmente la formula della **distanza d** [11]

$$d = \frac{c \cdot T}{2} \cdot \frac{f_b}{BW} = \frac{c \cdot f_b}{2k_f} \quad \text{Eq. (16)}$$

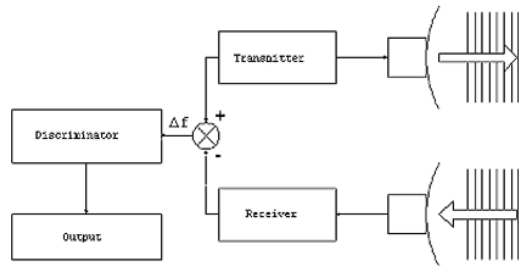


Figura 14 Schema a blocchi del FMCW con discriminator

Per cui, la forma d'onda processata dal discriminator associata ad un segnale continuo triangolare è quella mostrata in Figura 15.

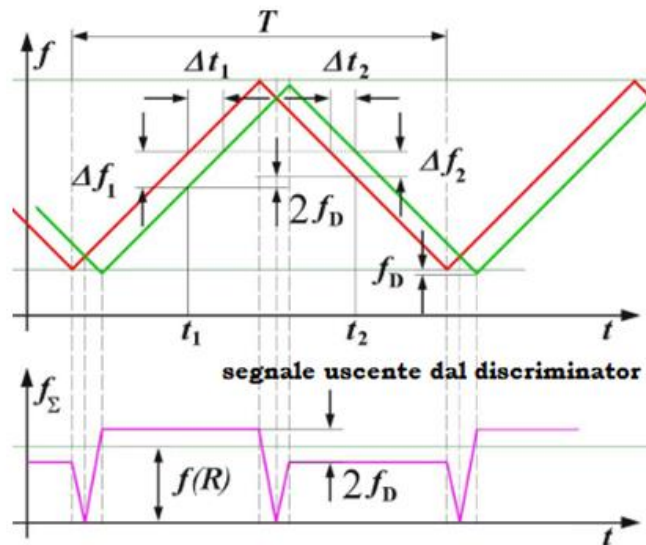


Figura 15 Esempio di segnale prodotto dal discriminator nel caso di segnali triangolari

La stima dell'angolo di arrivo (AoA) può essere fatta a partire dall'angolo che un segnale riflesso forma rispetto al piano orizzontale, come mostrato in Figura 16. [12]

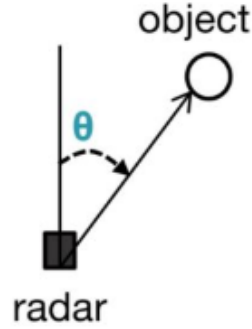


Figura 16 Angolo di arrivo

In particolare, essa è basata sull'osservazione che una piccola variazione della distanza dell'oggetto determina sulla fase del segnale in uscita dal blocco FFT. Questo risultato si ottiene utilizzando almeno due antenne RX come mostrato in Figura 17.

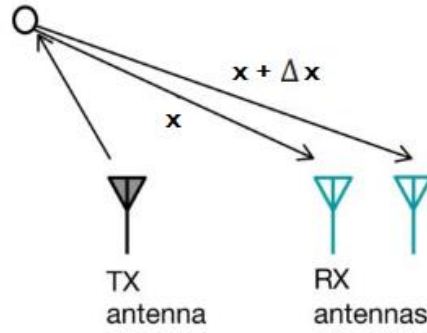


Figura 17 Stima dell' AoA tramite due antenne riceventi RX

In questo caso, la variazione di fase è data dall'espressione

$$\Delta_{\phi} = \frac{2\pi\Delta_x}{\lambda} \quad \text{Eq. (17)}$$

Nell'ipotesi che Δ_x valga $l \cdot \sin\vartheta$, dove l è la distanza che separa le antenne riceventi, l'**angolo di arrivo** può essere espresso come

$$\vartheta = \sin^{-1} \left(\frac{\lambda\Delta_{\phi}}{2\pi l} \right) \quad \text{Eq. (18)}$$

Si noti che Δ_{ϕ} dipende da $\sin\vartheta$ in modo non lineare. Solo quando il valore ϑ assume un valore basso, allora si ha $\sin\vartheta \rightarrow \vartheta$. Ciò equivale a dire che minore è l'angolo ϑ maggiore sarà l'accuratezza dell'AoA, come mostrato in Figura 18.

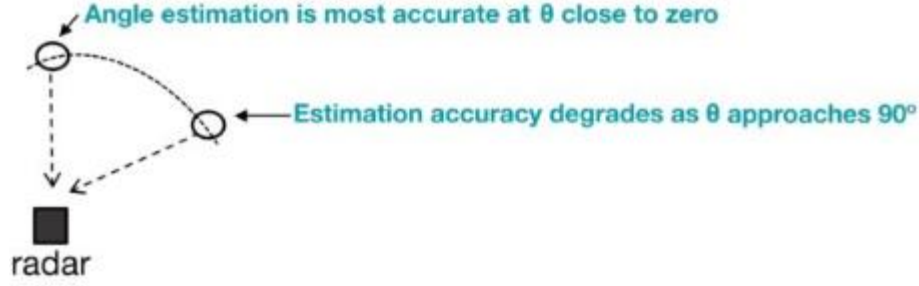


Figura 18 Diversi angoli di stima

1.4.4 Risoluzione in distanza e in frequenza

La *risoluzione in distanza* è definita come la distanza radiale minima tra due target per la rilevazione distinta di entrambi [13]. Questo concetto si basa sul fatto che la *risoluzione in frequenza* è limitata dalla frequenza di chirp, per cui deve valere la seguente relazione

$$\Delta_{f_b} \geq \frac{1}{T} \quad \text{Eq. (19)}$$

il che significa che per poter rilevare due oggetti differenti, la variazione di frequenza del segnale miscelato restituito da tali oggetti si deve verificare entro il tempo T . Tuttavia, l'applicazione dell'algoritmo FFT impone dei limiti temporali che sono inerenti alla durata del segnale T . Pertanto, il reciproco della durata del segnale a dente di sega restituisce la più piccola variazione di frequenza rilevabile Δ_{f_b} . Dalle equazioni (11) e (16) segue che:

$$\Delta_d = \frac{c \cdot T \cdot \Delta_{f_b}}{2BW} \quad \text{Eq. (20)}$$

Sostituendo la (19) nella (20) ne segue che la **risoluzione in distanza** vale

$$\Delta_d = \frac{c}{2BW} \quad \text{Eq. (21)}$$

Come si evince dalla formula di cui sopra, per ottenere una migliore risoluzione in distanza è necessario aumentare la banda del segnale.

Infine, dall'equazione (19) si trova facilmente la **risoluzione in frequenza**:

$$\Delta_{f_b} = \frac{BW}{T} \cdot \frac{2\Delta_d}{c} \quad \text{Eq. (22)}$$

Alla frequenza di battimento vi è associata una fase $\left(\frac{2f_c v}{c} \cdot nT\right)$ che varia linearmente con il numero di periodi del segnale. In particolare, il cambiamento di fase indica come la frequenza del segnale cambia per il conseguente numero di periodi. Questa variazione è dovuta all'effetto Doppler, ovvero, alla variazione di frequenza che si manifesta come risultato del movimento relativo di due oggetti. L'effetto Doppler, come detto precedentemente, si può

sfruttare per la valutazione della **velocità** dell'oggetto in movimento, per cui, a partire dalla frequenza Doppler f_d , si ottiene che

$$f_d = \frac{2f_c v}{c} \quad \text{Eq. (23)}$$

e quindi

$$v = \frac{f_d c}{2f_c} \quad \text{Eq. (24)}$$

Lo shift di frequenza del segnale dovuto all'effetto Doppler può essere valutato a partire dallo spettro di frequenza del segnale su n periodi consecutivi ($n \cdot T$). Pertanto, come fatto in precedenza per la frequenza e la distanza, si può valutare la *risoluzione in velocità*. Essa è definita come la differenza di velocità minima tra due targets che viaggiano alla stessa distanza e che il radar è in grado di distinguere. La variazione di frequenza Doppler su n periodi è limitata dalla risoluzione in frequenza ($\Delta f_d \geq \frac{1}{nT}$). Pertanto, la **risoluzione in velocità** può essere espressa come:

$$\Delta v = \frac{c}{2f_c} \cdot \frac{1}{nT} \quad \text{Eq. (25)}$$

Riassumendo, un radar FMCW consente la valutazione della distanza a partire dalla conoscenza del ritardo Δ_t che si manifesta tra il segnale trasmesso e quello ricevuto (eco), e della velocità quando invece ad essere nota è la frequenza Doppler f_d .

1.5 Applicazioni dei radar

I radar, come già evidenziato, vengono impiegati per rilevare bersagli a terra, sul mare, nell'aria, nello spazio e persino sotto terra. Le principali aree di applicazione radar sono brevemente descritte di seguito.

Militare. Il radar rappresenta una parte importante nei sistemi di difesa aerea. Molto spesso, svolge funzioni di sorveglianza e controllo degli armamenti; la sorveglianza, peraltro, include il rilevamento, il riconoscimento e il tracciamento del bersaglio. Radar ad apertura sintetica sono utilizzati per scopi di ricognizione e per la rilevazione di bersagli fissi e mobili sul campo di battaglia. Molte delle applicazioni civili dei radar sono usate anche dai militari; l'esercito è infatti il principale utente di questi sistemi.

Rilevamento remoto. Tutti i radar sono definiti come sensori remoti; definizione che sottintende il rilevamento dell'ambiente. Quattro importanti esempi di telerilevamento radar sono: l'osservazione meteorologica, l'osservazione planetaria - come la mappatura di Venere sotto le sue nubi visivamente opache -, il sondaggio sotterraneo a corto raggio e, infine, la mappatura dei ghiacciai.

Controllo del traffico aereo (ATC). I radar sono impiegati in tutto il mondo per il controllo del traffico aereo nelle vicinanze degli aeroporti (Air Surveillance Radar o ASR): nonché per

il traffico veicolare di terra e per gli aerei in rullaggio (Airport Surface Detection Equipment, o ASDE). L'ASR mappa anche le regioni di pioggia in modo che gli aerei possano essere guidati in maniera corretta. Vi sono poi radar specificamente dedicati all'osservazione del tempo atmosferico, posti all'interno di aeroporti, chiamati Terminal Doppler Weather Radar, o TDWR. [1]

Applicazione della legge e sicurezza stradale. Il misuratore di velocità radar, familiare a molti, viene utilizzato dalla polizia per il controllo dei limiti di velocità dei veicoli. Il radar è poi utilizzato nelle applicazioni che si occupano di monitorare il traffico dei veicoli al fine di evitare collisioni o per avvisare della presenza di ostacoli. Infine, trovano largo impiego nelle abitazioni domestiche o in ambienti isolati per il rilevamento di intrusi.

Sicurezza e navigazione dell'aeromobile. Il radar viene impiegato per delineare le regioni in cui sono presenti precipitazioni e per fornire informazioni circa le zone in cui soffiano venti impetuosi, in modo da consentire al pilota di evitare il passaggio per queste regioni pericolose. Altro congegno presente a bordo degli aerei è l'altimetro radio, un particolare tipo di radar usato per indicare l'altezza di un aereo sopra il terreno e come parte di un sistema di guida autonoma.

Sicurezza delle imbarcazioni. Il radar si trova su navi e imbarcazioni per evitare collisioni e per osservare le boe di navigazione, soprattutto quando la visibilità è scarsa. I radar di terra sono similmente utilizzati per la sorveglianza dei porti e del traffico fluviale.

Spazio. I veicoli spaziali hanno usato il radar per l'attracco e l'atterraggio sulla luna. I grandi radar terrestri sono utilizzati per il rilevamento e il tracciamento di satelliti e altri oggetti specifici presenti nello spazio. Nel campo dell'astronomia i radar sono stati fondamentali a comprendere la natura delle meteore - stabilendo una misurazione accurata dell'Unità Astronomica -, e ad osservare la luna e i pianeti vicini.

Altro. Il radar ha anche trovato applicazione nell'ambito delle misurazioni di velocità e distanza. È stato utilizzato per l'esplorazione di petrolio e gas. Entomologi e ornitologi hanno utilizzato il radar per studiare i movimenti di insetti e uccelli che non possono essere facilmente raggiunti con altri mezzi.

2. SINTETIZZATORI DI FREQUENZA

Un sintetizzatore di frequenza è un oscillatore a frequenza variabile caratterizzato da una stabilità di frequenza pari a quella di un oscillatore a cristallo controllato che, come noto, risulta essere il più stabile e preciso degli oscillatori. I sintetizzatori sono utilizzati nei moderni sistemi di comunicazione a banda stretta come semplici trasmettitori e ricevitori radio, router Wi-Fi e telefoni cellulari, fino a sistemi di comunicazione ad altissime prestazioni, collegamenti satellitari e simili, grazie alla ottima stabilità del segnale di uscita che risulta essere un requisito essenziale. In realtà i moderni sistemi di comunicazione non potrebbero esistere senza di essi. La progettazione dei sintetizzatori si basa su due approcci fondamentali: il metodo diretto e quello indiretto. Il metodo diretto consiste nel generare un segnale combinando una o più uscite dell'oscillatore controllato con divisori di frequenza, generatori a pettine, filtri e miscelatori. Il metodo indiretto, invece, utilizza un VCO spettralmente puro e una circuiteria ad aggancio di fase programmabile. Sebbene più lenta dell'approccio diretto e suscettibile di rumore sul VCO, la sintesi di frequenza indiretta usando il principio del PLL risulta meno costosa, richiede un numero inferiore di filtri e offre una maggiore potenza di uscita con una minima presenza di armoniche. In particolare, quest'ultimo metodo, attraverso l'utilizzo di sistemi digitali (μP), consente di mantenere in maniera molto stabile le elevatissime frequenze di lavoro che il VCO è in grado di produrre, oltre ad avere un'elevata flessibilità nell'impostare il valore e il passo della frequenza d'uscita.

2.1 Sintetizzatore di tipo Diretto

Questa categoria di sintetizzatori non adopera PLL o VCO ma solamente dispositivi come moltiplicatori e divisori armonici multipli, facendo uso di uno o più oscillatori che generano un segnale di riferimento di clock ad una frequenza prefissata. Un esempio di sintetizzatore a oscillatore singolo è mostrato in Figura 19. L'oscillatore al cristallo da 1 MHz è seguito da un moltiplicatore di armoniche, anche detto generatore a pettine. Quest'ultimo è un circuito che regola il segnale prodotto dall'oscillatore al cristallo in maniera tale da generare un treno di impulsi formato da molteplici armoniche della frequenza fondamentale. Si chiama generatore a pettine proprio perché il suo spettro di frequenze assomiglia ad un pettine. Il filtro selettore di armoniche 1 (HSF 1) elabora le armoniche del segnale ad intervalli di 1 MHz. Quindi, regolando opportunamente il filtro, è possibile ottenere frequenze di 1, 2, 3, 4, ecc. MHz. La seconda uscita dell'oscillatore ad 1 MHz viene suddivisa in intervalli da 100 kHz, riproposta ad un altro generatore a pettine e successivamente al filtro selettore armonico 2 (HSF 2). L'armonica selezionata dipende dal modo in cui viene impostato il filtro. Le due uscite dei filtri selettori sono quindi inviate al mixer per produrre le frequenze somma e differenza, amplificate e filtrate attraverso il filtro d'uscita. [14]

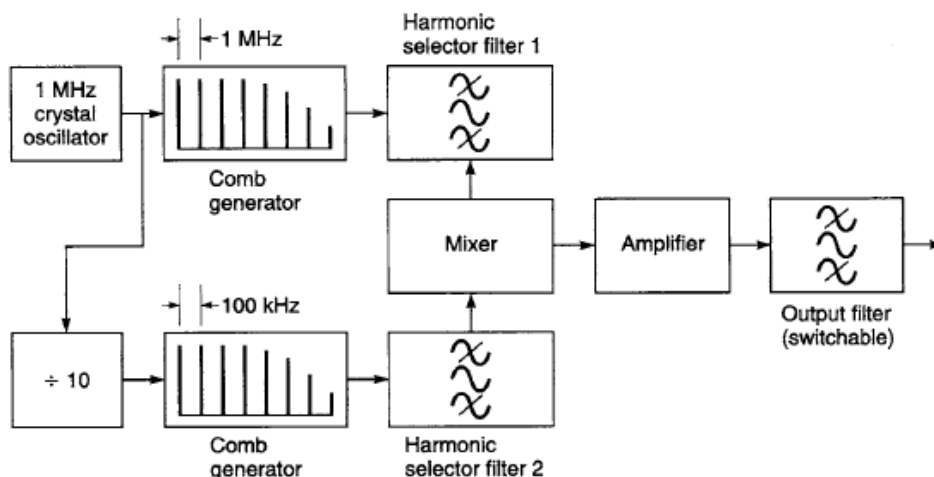


Figura 19 Sintetizzatore a frequenza diretta

Ad esempio, se è richiesta una frequenza di uscita di 6.5 MHz, la sesta armonica di 1 MHz sarà selezionata da (HSF 1), ovvero 6 MHz. La quinta armonica di 100 kHz, invece, sarà selezionata da (HSF 2), cioè 500 kHz. Le due frequenze vengono immesse nel mixer per produrre una somma di 6,5 MHz e una differenza di frequenza di 5,5 MHz. I quattro segnali, 500 kHz, 5,5 MHz, 6 MHz e 6,5 MHz, sono amplificati e inviati al filtro di uscita commutabile, il quale rifiuta tutti i segnali tranne quello desiderato di 6.5 MHz. La risoluzione di frequenza può essere ulteriormente migliorata aggiungendo altri divisori, generatori a pettine e filtri di selezione. Ad esempio, facendo uso di un secondo divisore a decade e di un generatore a pettine, si fornirebbero passi da 10 kHz, selezionabili tramite un secondo filtro; l'uscita di quest'ultimo verrebbe miscelata con quella del filtro a passi da 100 kHz in un secondo mixer, ottenendo nuovamente il filtraggio di una frequenza somma o differenza. Per finire, questo segnale verrebbe mixato con quello prodotto dal filtro con passo 1 MHz. Dunque, tramite il suddetto circuito si avrebbero frequenze del tipo 10,9 MHz, con una risoluzione di 10 kHz. Lo svantaggio di un siffatto sistema è che pone requisiti stringenti sul filtro d'uscita. Questo perché, in alcuni casi, le frequenze somma e differenza possono differire di poco, per cui selezionare una frequenza e rifiutare l'altra significherebbe avere un filtro d'uscita con delle pendenze estremamente ripide.

2.2 Sintesi Diretta Digitale (DDS)

Il sistema descritto nella Sezione 1.8 è raramente usato oggi. La Sintesi Diretta Digitale, invece, è una tecnica più recente che sintetizza digitalmente un'onda sinusoidale. Il principio di base è illustrato in Figura 20. I valori della funzione seno vengono campionati ad intervalli angolari regolarmente distribuiti su un ciclo completo e archiviati digitalmente in una tabella (Figura 21). Quest'ultima prende il nome di Lockup Table (LUT) ed è realizzata tipicamente mediante una memoria ROM. I valori memorizzati in tabella in maniera sequenziale sono sincronizzati con il convertitore digitale-analogico e con l'uscita tramite il filtro passa-basso. Il filtro si occupa di eliminare le componenti frequenziali del segnale di clock. [15]

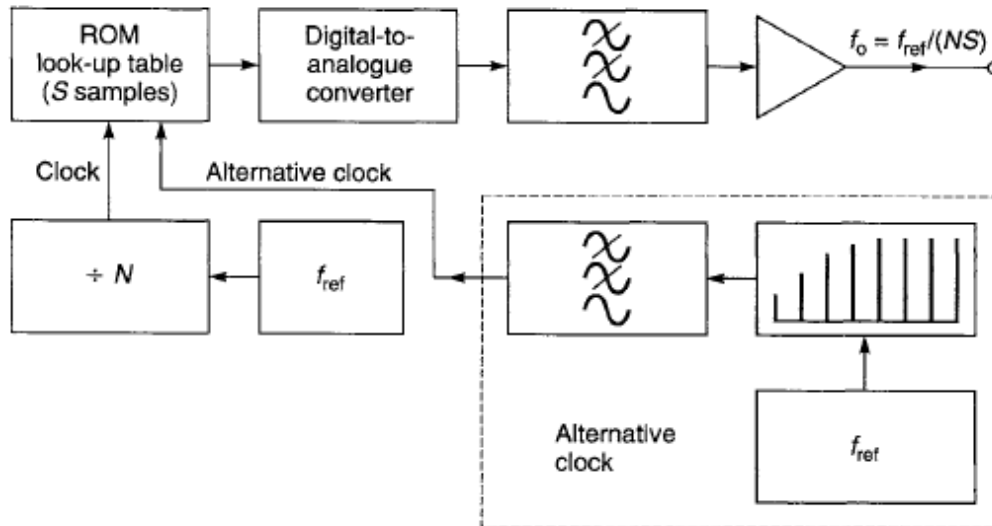
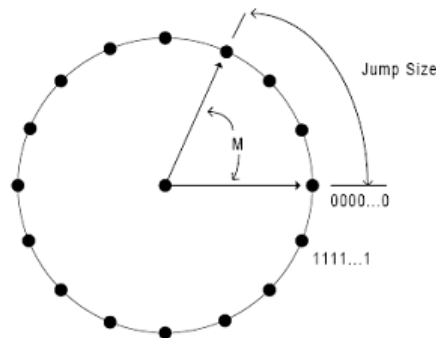


Figura 20 Sintetizzatore diretto di base con sintesi della forma d'onda sinusoidale



n	NUMBER OF POINTS
8	256
12	4096
16	65536
20	1048576
24	16777216
28	268435456
32	4294967296
48	281474976710656

Figura 21 Ruota delle fasi digitale

La frequenza di uscita, determinata a partire dalla frequenza di clock del sistema, è definita come

$$f_o = \frac{f_c}{S} \quad \text{Eq. (26)}$$

dove f_c è la frequenza di clock e S il numero di campioni per ciclo memorizzati all'interno della ROM. Questa può essere variata agendo sul fattore di divisione del contatore programmabile, che divide la frequenza prodotta dall'oscillatore al cristallo f_{ref} per un fattore N . Così facendo, la frequenza d'uscita sarà data dall'espressione

$$f_o = \frac{f_c}{S * N} \quad \text{Eq. (27)}$$

Il valore di S non deve risultare inferiore a 4, a meno che non si utilizzi un filtro analogico particolarmente complicato. Chiaramente questo tipo di sintetizzatore non può produrre frequenze molto elevate poiché deve funzionare a S volte la frequenza di uscita, ed il limite nei circuiti digitali è di circa 2 GHz. In pratica, una tabella di ricerca in una circuiteria così veloce sarebbe troppo costosa; per cui, in termini di costi il vantaggio della tecnica digitale si realizza solo a frequenze più basse.

2.3 Sintetizzatore di tipo indiretto (o ad aggancio di fase)

Questa tipologia di sintetizzatori è largamente utilizzata nel settore delle telecomunicazioni. Tali sintetizzatori si contraddistinguono dai precedenti per il loro ridotto consumo di potenza essendo realizzati in tecnologia BiCMOS. Essi vengono implementati mediante una struttura basata sui PLL, come mostrato in Figura 22. Il sistema è composto da un Phase Detector (PD), da un filtro e da un VCO (Voltage Controlled Oscillator). [16]

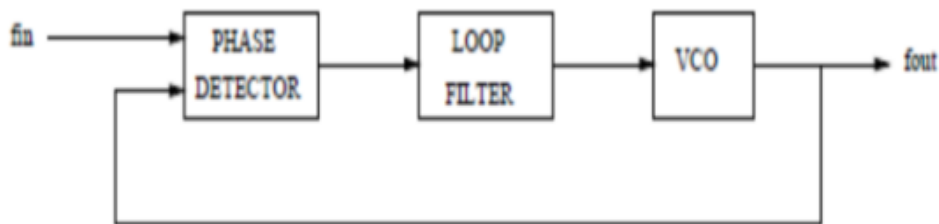


Figura 22 Schema di base del Sintetizzatore PLL

Si rimanda ai successivi paragrafi la descrizione dettagliata dei sintetizzatori basati sul principio dei PLL focalizzando dapprima l'attenzione su quelle che sono le grandezze che influenzano in maniera negativa questo tipo di sistemi, ovvero il Timing Jitter e il Phase Noise.

2.4I PLL nella sintesi di frequenza

Il sintetizzatore di frequenza viene utilizzato in una gamma sempre più ampia di prodotti elettronici per generare una qualsiasi delle numerose frequenze operative. I sintetizzatori basati sui PLL sono popolari per le loro eccellenti prestazioni, in particolare per la generazione di segnali ad alta frequenza e bassa potenza, per la relativa semplicità e il basso costo. Fondamentalmente, un sintetizzatore basato su PLL è un sistema di feedback utilizzato per generare un segnale di clock stabile basato su un segnale di riferimento. Di conseguenza, gli oscillatori al cristallo sono comunemente usati per generare la frequenza di riferimento nella maggior parte dei sistemi PLL a causa della loro eccellente purezza e stabilità. Come risultato della costante congestione nelle bande di comunicazione dello spettro elettromagnetico, si stanno compiendo sforzi per utilizzare nuove gamme per sfruttare al meglio le attuali allocazioni di frequenza. Questi ultimi compiti hanno portato a miglioramenti nelle tecniche di comunicazione [modulazione (SSB), multiplexing, sistemi

digitali, applicazione a spettro diffuso, servizi mobili globali cellulari (GSM), ecc.]. In questo contesto, la perfezione dei generatori di frequenza nei trasmettitori, negli oscillatori locali e nei ricevitori è stata resa possibile grazie all'implementazione dei suddetti sintetizzatori di frequenza. Questo approccio è preferito agli oscillatori a frequenza singola, grazie a migliori stabilità a breve e lungo termine (rumore di uscita inferiore), ottimizzazione o programmazione mediante l'utilizzo di microprocessori e molti altri vantaggi. La situazione attuale rispetto alle tecniche di sintesi di frequenza nello spettro elettromagnetico è mostrata in Figura 23.

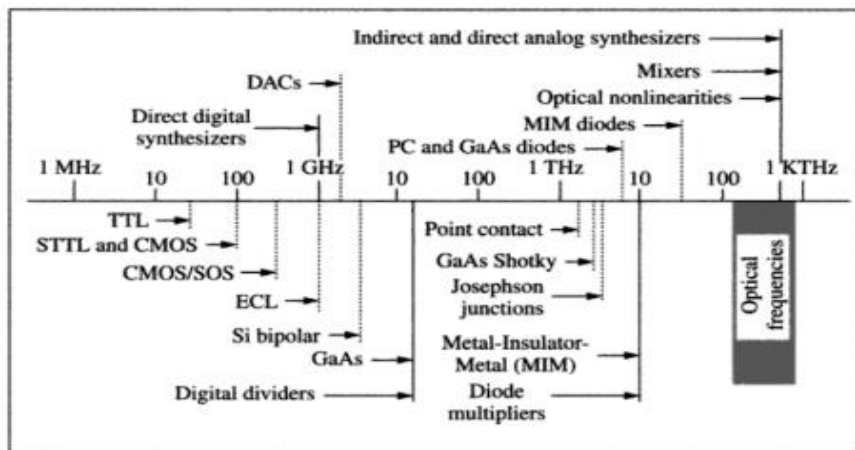


Figura 23 Spettro elettromagnetico

Al giorno d'oggi molti circuiti integrati funzionano nella cosiddetta gamma 'multi-gigahertz' al fine di aumentare la loro potenza di elaborazione e la larghezza di banda dei dati. La generazione di segnali di clock ad alta frequenza è necessaria sia per i sistemi RF che per quelli a microprocessore. Gli oscillatori locali (LO), elementi chiave nei transceivers, sono necessari per convertire i segnali RF a frequenze più basse (down-conversion) o a frequenze più alte (up-conversion), aumentando il rapporto segnale-rumore (SNR). Il segnale LO dovrebbe essere rappresentato da un tono ideale, in altre parole, da una sinusoide perfetta, ed essere stabile e pulito il più possibile; sfortunatamente, in molte situazioni reali, il rumore intrinseco dei dispositivi e quello proveniente dall'ambiente circostante rendono questo segnale fluttuante. Di conseguenza, nel dominio della frequenza, il segnale LO sarà rappresentato da un impulso con del rumore sovrapposto nelle bande laterali. In molti sistemi il *jitter* viene normalmente utilizzato per caratterizzare l'incertezza della temporizzazione di un segnale di clock nel dominio del tempo, che è definito come la deviazione del segnale d'uscita rispetto alla sua forma d'onda ideale.

2.5 Timing jitter

Il timing jitter è un parametro misurato statisticamente con una distribuzione gaussiana con media nulla e viene utilizzato per caratterizzare il rumore nei segnali di clock nel dominio del tempo. Il *jitter assoluto*, $\sigma_{\Delta T}$, può essere usato per misurare le prestazioni in termini di jitter di un oscillatore ed è espresso come

$$\sigma_{\Delta T} = \sqrt{\sum_{n=1}^N (T_n - \bar{T})^2}. \quad \text{Eq. (28)}$$

Dove T_n è il periodo dell'uscita dell'oscillatore al ciclo n-esimo e $\bar{T}$ è il periodo di oscillazione medio. A causa della presenza del rumore di sfarfallio (flicker noise o 1/f noise) negli oscillatori CMOS, la deviazione standard del jitter del VCO è proporzionale alla radice quadrata del tempo misurato prima di $t_{1/f}$, e direttamente proporzionale al tempo misurato dopo $t_{1/f}$, dove $t_{1/f}$ è il tempo misurato associato al 'rumore 1/f' negli oscillatori. Il termine '1/f' indica la densità spettrale di potenza del flicker noise [17]. Si tratta di un tipo di rumore presente in tutti i fenomeni di conduzione ed è dovuto a molteplici cause. Esso è sempre correlato a una fluttuazione di resistenza che si traduce in una fluttuazione di corrente o di tensione. È caratterizzato dall'andamento approssimativo 1/f (da cui il nome), per cui, è trascurabile ad alta frequenza (rispetto agli altri tipi di rumore) mentre può essere rilevante a bassa frequenza; il suo andamento è rappresentato in Figura 24. Un sistema temporizzato ad alte prestazioni richiede una stabilità del segnale di clock molto stringente. Un clock instabile può limitare la massima velocità con la quale lavora un sistema e può persino causare un campionamento errato dei dati. Il rumore termico nei dispositivi può causare rumore di fase e rumore di ampiezza, come illustrato nella Figura 24.

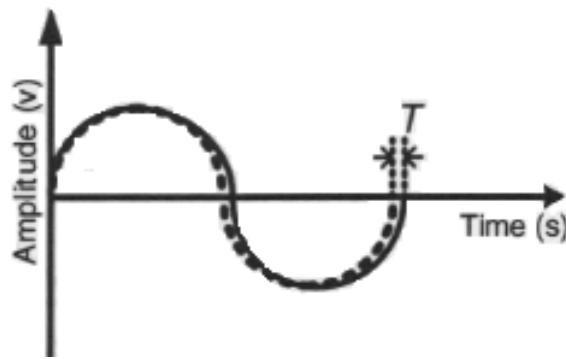


Figura 24 Timing jitter

2.6 Phase noise

Il *rumore di fase* (o Phase Noise) è definito come il rapporto tra la potenza totale della portante e la potenza del rumore con un offset Δf dalla frequenza del segnale portante, per cui si ha

$$L(\Delta f) = 10 \log \left(\frac{\text{potenza nella banda di 1 Hz @ } f_o + \Delta f \text{ offset dalla portante}}{\text{potenza totale del segnale portante}} \right) \quad \text{Eq. (29)}$$

dove $L(\Delta f)$ è il rumore di fase espresso in decibel su hertz (dBc/Hz), e f_o la frequenza centrale dell'oscillatore. In un sistema RF, maggiore è il valore del SNR richiesto migliore sarà il rumore di fase per un oscillatore.

Nel ricevitore mostrato in Figura 25, il segnale LO presenta un rumore di fase non ideale (Figura 26). Il segnale RF desiderato assieme a quello interferente possono essere simultaneamente miscelati dal segnale LO. Dopo aver effettuato l'operazione di mixaggio tra i segnali, quello interferente può interessare la stessa banda del segnale desiderato causando una drastica riduzione del rapporto segnale/rumore. Questo effetto è generalmente definito come miselazione reciproca o 'reciprocal mixing'. Poiché tipicamente l'ampiezza dei segnali interferenti è maggiore rispetto a quella del segnale RF desiderato, il SNR diventa inaccettabile a meno che il rumore di fase del segnale LO non sia sufficientemente basso.

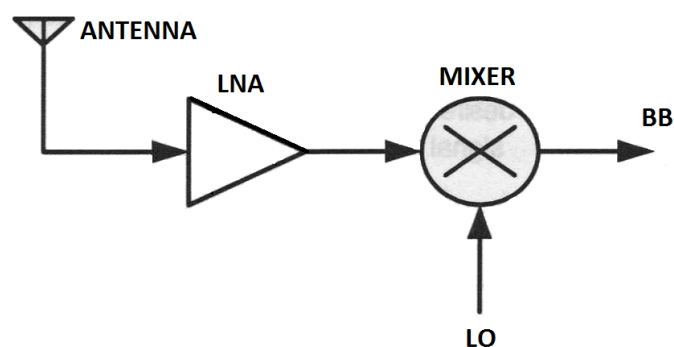


Figura 25 Ricevitore con segnale LO

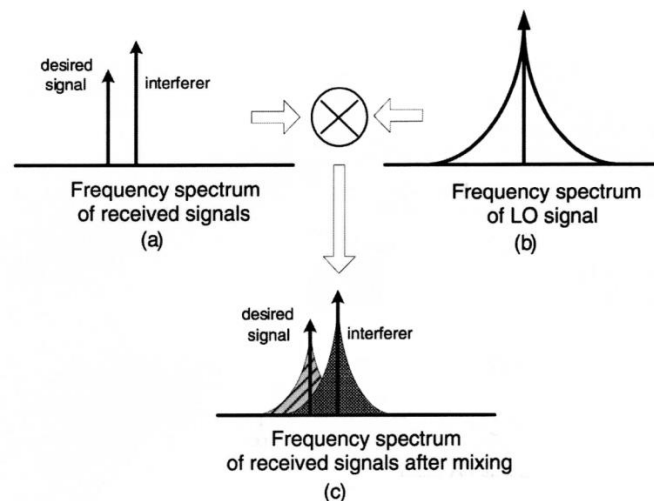


Figura 26 Spettro di frequenza del (a) segnale ricevuto, (b) segnale LO con rumore di fase e (c) segnale ricevuto che presenta una degradazione dell' SNR dopo la miselazione

Il rumore di ampiezza e di fase sono presenti in ogni oscillatore. Il primo tipo di rumore risulta essere meno grave del secondo in quanto eliminabile facendo uso di particolari circuiti chiamati *limitatori*; il rumore di fase, invece, rappresenta la causa principale di deterioramento degli oscillatori usati nei circuiti per le telecomunicazioni. Pertanto, le specifiche di progettazione per questa tipologia di rumore risultano molto stringenti. L'errore di fase dell'oscillatore aumenta nel tempo e ciò comporta una traslazione in frequenza del segnale prodotto; infatti, il rumore di fase e il jitter sono correlati tra di loro. E' necessario

dunque un meccanismo di controllo che blocchi il sistema e lo mantenga stabile. Tuttavia, il rumore di fase, rappresentato nel dominio della frequenza, può fornire un'immagine più dettagliata di come il rumore contribuisca al variare della frequenza rispetto al segnale portante. È stato dimostrato che il rumore di fase ha uno spettro simile ad una funzione Lorentziana ed è rappresentato come

$$L(\Delta f) \propto \frac{f_o^2}{(\alpha \pi f_o^2)^2 + \Delta f^2} \quad \text{Eq. (30)}$$

dove f_o è la frequenza di oscillazione e Δf è l'offset di frequenza rispetto alla portante. Lo spettro del rumore scende di -20 dB per decade. Tuttavia, non include il flicker noise (o rumore $1/f$) né il rumore bianco. L'equazione di Leeson descrive invece nel dettaglio lo spettro del rumore di fase presente negli oscillatori:

$$L(\Delta f) = 10 \log \left[\frac{2FKT}{P_o} \left(1 + \frac{f_o^2}{4Q^2 \Delta f^2} \right) \left(1 + \frac{\Delta f_1/f^3}{\Delta f} \right) \right] \quad \text{Eq. (31)}$$

dove:

F è il fattore di rumore in eccesso;

K è la costante di Boltzmann ($1.38 \times 10^{-23} \text{ J/K}$);

T è la temperatura assoluta;

P_o è la potenza del segnale portante;

f_o è la frequenza del segnale portante;

Q è il fattore di qualità;

Δf è l'offset di frequenza rispetto alla portante;

$\Delta f_1/f^3$ è la frequenza d'angolo (o frequenza di rottura) del rumore $1/f$.

Pertanto, il modello di Leeson tiene conto del rumore rosa (flicker noise) assieme a quello di fondo (white noise floor). Lo spettro del rumore è illustrato nella Figura 27.

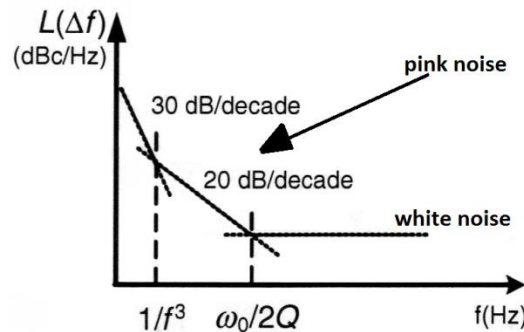


Figura 27 Spettro del rumore negli oscillatori tipici

Il modello indica che il rumore di fase scende con una pendenza di -30 dB/dec prima della frequenza di rottura $1/f^3$ (flicker noise dominante). Questo fenomeno si verifica perché il rumore $1/f$ modula la transconduttanza dei transistor nell'oscillatore. Rispetto ai transistor bipolari, i dispositivi CMOS mostrano una regione di frequenza $1/f^3$ più ampia, il rumore di fase scende a -20 dB / dec e infine cessa quando il rumore di fondo diventa dominante. Quest'ultimo è principalmente generato dal rumore termico dei dispositivi e corrisponde a $2FkT/P_o$. Nel dominio del tempo, il segnale oscillante $V_{vco}(t)$ in presenza di timing jitter può essere espresso come

$$V_{vco}(t) = V_o \cos[\omega_o t + \phi(t)] \quad \text{Eq. (32)}$$

dove $\phi(t)$ indica il rumore di fase dell'oscillatore e V_o l'ampiezza del segnale. L'uscita può essere semplificata e riscritta

$$V_{vco}(t) = V_o \cos(\omega_o t) - V_o \sin(\omega_o t) \cdot \phi(t). \quad \text{Eq. (33)}$$

$\phi(t)$ risulta essere pari a $\phi_A \sin(\omega_\phi t)$, dove ϕ_A è l'ampiezza del rumore alla frequenza ω_ϕ . L'equazione (34), infine, assume la seguente forma

$$V_{vco}(t) = V_o \cos(\omega_o t) - \frac{V_o \phi_A}{2} [\cos(\omega_o t - \omega_\phi t) - \cos(\omega_o t + \omega_\phi t)]. \quad \text{Eq. (34)}$$

Essa mostra che qualsiasi rumore a bassa o ad alta frequenza può essere modulato e apparire come banda laterale del segnale portante. Per cui, la considerazione del rumore nel progetto di oscillatori non dovrebbe essere limitata solo alle frequenze attorno a quella fondamentale. Per progettare ricevitori con un determinato SNR, il rumore di fase dell'oscillatore dovrebbe soddisfare la condizione

$$L(\Delta f) < S_{RF} - S_{block} - 10 \log_{10}(BW) - SNR \quad \text{Eq. (35)}$$

dove:

S_{RF} è la potenza del segnale RF desiderata;

S_{block} è la potenza del segnale di blocco;

BW è la larghezza di banda del canale del segnale RF desiderato;

SNR è il rapporto segnale/rumore di un sistema per raggiungere il Bit Error Rate richiesto.

2.7 Phase-locked loop

Un oscillatore di per sé non può recuperare l'errore di fase e la traslazione di frequenza, per questo motivo vengono impiegati i PLL (Phase-Lock Loop). Il PLL è un sistema con retroazione negativa che viene tipicamente impiegato per agganciare la fase di riferimento prodotta dall'oscillatore posto in ingresso al PD in maniera tale da fornire un segnale stabile in uscita. Il generico diagramma a blocchi di tale sistema è mostrato in Figura 28.

Fondamentalmente, un sistema PLL è costituito da un rivelatore di fase di ingresso (PD), una pompa di carica, un filtro di anello rappresentato da un filtro passa-basso, un oscillatore controllato in tensione (VCO) e da divisori. I divisori N e M sono opzionali ma possono essere richiesti a seconda del rapporto desiderato tra la frequenza di uscita del PLL e la frequenza di riferimento generata dall'oscillatore. Variando opportunamente il rapporto tra N e M, la frequenza d'uscita risultante del VCO, f_{VCO} , può essere espressa come segue [18]

$$f_{VCO} = f_{ref} \frac{N}{M} \quad \text{Eq. (36)}$$

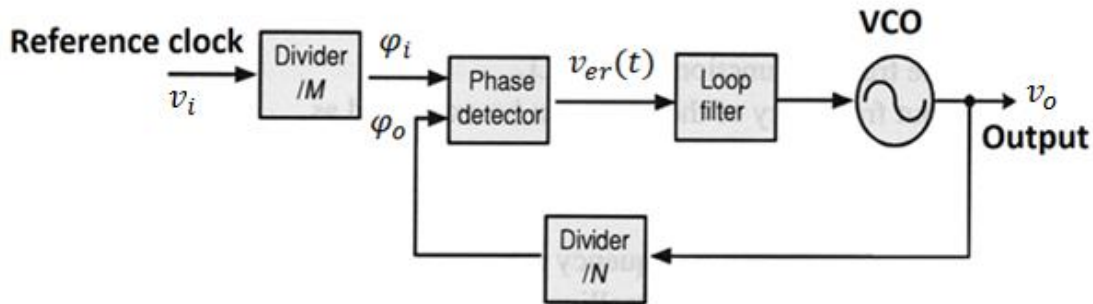


Figura 28 Diagramma a blocchi di un tipico PLL

Quando l'equazione (37) si verifica, il PLL è nella condizione di *lock*, ovvero risulta essere 'agganciato' al segnale di riferimento. Sotto tale condizione, la differenza di fase tra i due segnali applicati in ingresso al rivelatore di fase è costante. In caso contrario, ovvero quando ciò non si verifica, il PLL versa nella condizione di *unlock*, in quanto non riesce ad agganciarsi al segnale d'ingresso.

2.7.1 Phase Detector

Il rivelatore di fase è l'elemento centrale del PLL. La sua azione consente di rilevare la differenza di fase Δ_ϕ tra il segnale di ingresso ϕ_i e quello di uscita ϕ_o , prodotti, rispettivamente, dai divisori M e N. Successivamente produce una tensione di errore risultante $v_{er}(t)$ che ha un valor medio V_{em} proporzionale a Δ_ϕ che, a sua volta, è applicato alla pompa di carica e al filtro. [18] Vi è una grande varietà di circuiti che possono essere usati come rivelatori di fase: alcuni usano delle tecniche analogiche, altri quelle digitali. Tuttavia, vi è da fare una distinzione tra i rivelatori. Questi circuiti infatti possono essere suddivisi in due categorie:

- rivelatori sensibili alla fase;
- rivelatori sensibili a fase e frequenza.

Rivelatori sensibili alla fase

I Phase Detectors sensibili alla fase sono la forma più semplice di rivelatore. Semplicemente producono un'uscita che è proporzionale alla differenza di fase tra i due segnali. Quando la differenza di fase tra i due segnali in ingresso è costante, il PD produce una tensione costante. Quando invece c'è una differenza di frequenza tra i due segnali, essi producono una tensione variabile.

Esistono diverse forme di rivelatore di fase che possono essere utilizzate:

- **Diode ring mixer phase detector**: questa tipologia di rivelatore può essere implementata usando un ponte a diodi e due trasformatori a presa centrale (Figura 29).

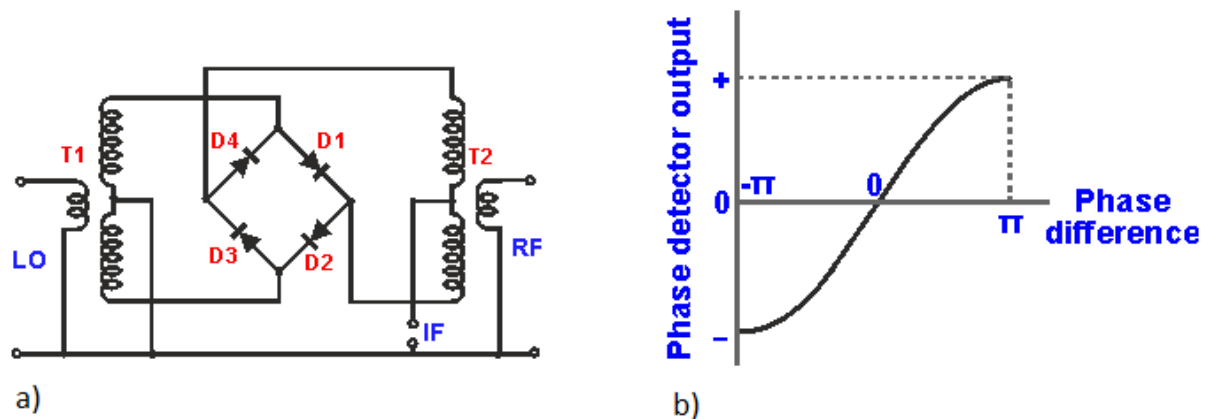


Figura 29 a) Diode ring phase detector e b) Diode ring phase detector response curve

La tensione alla porta IF del miscelatore ad anello a diodo varia come il coseno della differenza di fase tra i segnali LO e RF in ingresso al circuito. Come si evince in Figura 29 b), il segnale in uscita al PD avrà un valore nullo quando la differenza di fase vale $\pi/2$ e multipli dispari, mentre quando quest'ultima è un multiplo di π il segnale assume la sua minima e massima escursione.

- **XOR circuit**: la porta XOR rappresenta il più semplice comparatore di fase digitale

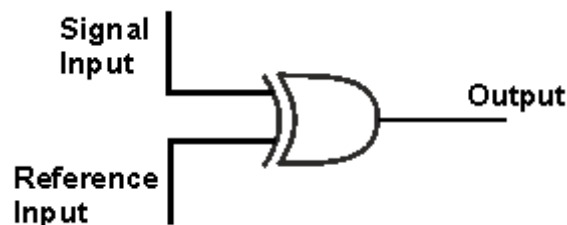


Figura 30 Comparatore di fase XOR

Il principio di funzionamento di questo tipo di rivelatore è mostrato in Figura 31:

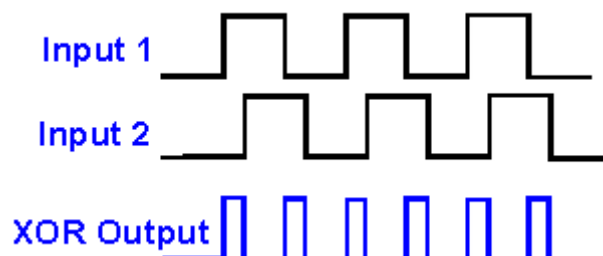


Figura 31 Forme d'onda del rivelatore XOR

- in uscita dalla porta XOR c'è un livello ALTO se gli ingressi hanno valore differente, o BASSO se hanno uguale valore [17];

- se $f_o = f_i$ il segnale v_e in uscita dall'EXOR ha un duty-cycle $\delta = \Delta\varphi/\pi$, proporzionale quindi allo sfasamento $\Delta\varphi$ tra i due segnali e il suo valor medio è dato da $V_{em} = \delta \cdot V_H$ è la tensione corrispondente al livello logico ALTO; si ricava quindi la relazione tra valor medio e sfasamento: $V_{em} = \Delta\varphi \cdot V_H / \pi$;
- poiché il massimo valore del duty-cycle è $\delta = 1$, il massimo sfasamento rilevabile dal comparatore a XOR è $\Delta\varphi = \pi$ rad, di conseguenza la caratteristica di trasferimento è quella riportata in Figura 32, dalla quale si deduce che il comparatore può essere utilizzato nell'intervallo $\Delta\varphi = 0 \div \pi$ rad, in cui la caratteristica ha andamento monotono e lineare;
- affinché il funzionamento del comparatore sia corretto è indispensabile che i segnali d'ingresso siano perfettamente squadrati ($\delta = 0,5$).

Si definisce guadagno di conversione K_φ del comparatore la pendenza della caratteristica di trasferimento, espressa in V/rad; nel caso del comparatore a XOR si ha: $K_\varphi = V_H / \pi$.

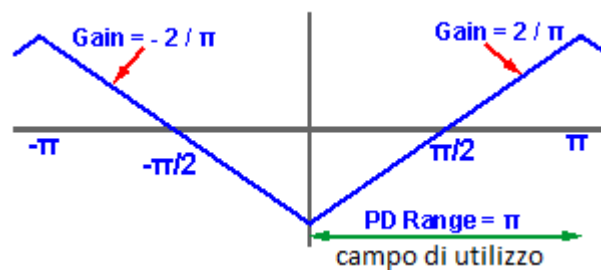


Figura 32 Caratteristica di trasferimento

A differenza di un rivelatore di fase analogico, il rivelatore XOR è indipendente dall'ampiezza dell'ingresso e costante su un intervallo di fase π .

Rivelatori sensibili a fase e frequenza

Questo tipo di comparatori può essere realizzato mediante l'uso di due Flip-Flop tipo D e di una porta And, come mostrato in Figura 33. Esso rappresenta una macchina a stati finiti che consente di rivelare quale tra i due segnali in ingresso ha un attraversamento dello zero.

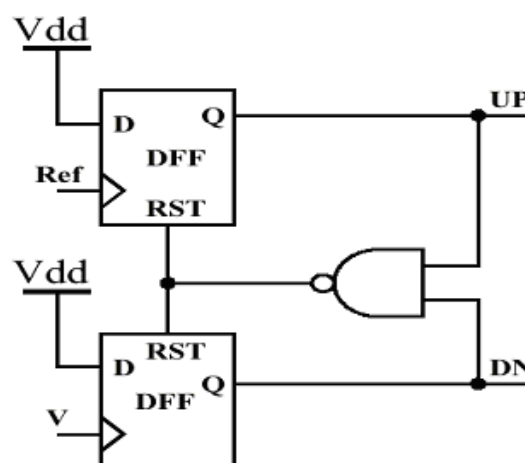


Figura 33 Rivelatori fase-frequenza PFD

[19] La condizione di lock nei PFD viene raggiunta in un tempo inferiore, se comparato con quello dei precedenti rivelatori, e inoltre non si ha nessun vincolo riguardo al duty-cycle dei segnali d'ingresso. La tensione applicata sull'ingresso D di entrambi i Flip-Flop rappresenta un 1 logico, mentre sugli ingressi del clock sono connessi da una parte il segnale di riferimento e dall'altra quello proveniente dal divisore. Le uscite del sistema, UP e DOWN, sono i segnali che regolano la carica e la scarica del filtro passa-basso e, allo stesso tempo, sono gli ingressi della porta Nand; quest'ultima si occupa di resettare i due F.F. non appena i suoi ingressi sono entrambi all' 1 logico. In questo caso, il circuito non è dipendente dai livelli e dal duty-cycle dei segnali d'ingresso, ma è sensibile solamente ai fronti di salita. Nell'ipotesi in cui il PFD fosse resettato, ovvero entrambe le uscite poste all'1 logico, esso rimarrebbe in tale stato fino all'arrivo di un segnale d'ingresso. Esso commuta verso lo stato A quando ad arrivare è il primo segnale, ovvero quello di riferimento, mentre commuta verso lo stato B nel caso in cui è il secondo segnale ad essere presente in ingresso al circuito.

2.7.2 Filtro d'anello

[20] Il filtro svolge le seguenti funzioni:

- estrae il valor medio dal segnale $v_{er}(t)$ in uscita dal comparatore di fase, eliminando le armoniche ed eventuali disturbi sovrapposti;
- determina i campi di cattura e di aggancio, che aumentano al crescere della larghezza di banda del filtro;
- controlla il comportamento dinamico del PLL (larghezza di banda e velocità di risposta alle variazioni della f_i). In genere si impiegano i filtri del 1° ordine di cui alla Figura 34 che, in condizioni ideali d'adattamento, hanno pulsazioni di taglio rispettivamente:

$$\omega_t = \frac{1}{RC} \text{ e } \omega_t = \frac{1}{(R_1 + R_2)C} \quad \text{Eq. (37)}$$

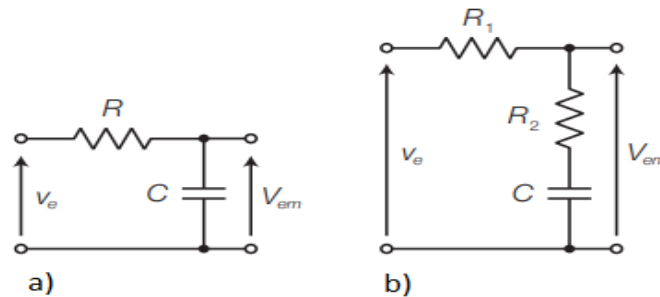


Figura 34 Filtri passa-basso per PLL: a) con un polo; b) con polo e zero

2.7.3 Voltage Controlled Oscillator (VCO)

Questo blocco è rappresentato da un oscillatore, il quale ha il compito di generare la frequenza del segnale di uscita del PLL che, a sua volta, è proporzionale al valor medio della tensione d'uscita del filtro. A ciclo chiuso, la fase del segnale VCO viene continuamente rivelata e regolata. Infine, la frequenza prodotta dal VCO è uguale alla frequenza di clock di riferimento moltiplicata per N / M .

[20] Durante il suo funzionamento, a seconda del valore della frequenza d'ingresso f_i , il PLL può trovarsi in uno dei tre stati seguenti, individuabili nella caratteristica di trasferimento in Figura 35.

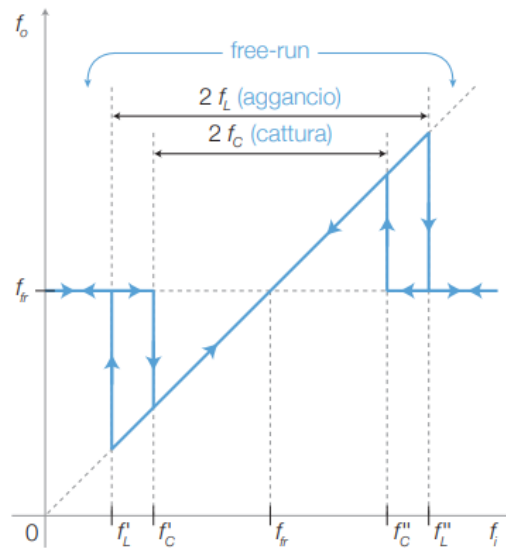


Figura 35 Caratteristica di trasferimento di un PLL

a) Stato di aggancio (lock o tracking): se la frequenza f_i in ingresso ha un valore compreso in un certo intervallo, detto campo d'aggancio (lock range: $2f_L = f''_L - f'_L$), la retroazione fa sì che la frequenza del segnale d'uscita, generato dal VCO, sia identica a quella in ingresso:

$$f_o = f_i \quad \text{Eq. (38)}$$

[20] Tra i segnali v_i e v_o si ha ora una differenza di fase costante $\Delta\varphi$ che il comparatore e il filtro passa-basso convertono nella tensione che pilota l'ingresso del VCO per mantenere f_o uguale a f_i . Se f_i varia, il comparatore rivela lo sfasamento tra v_i e v_o e genera un segnale errore che, una volta filtrato, porta il VCO a uguagliare nuovamente la frequenza d'ingresso. Se f_i esce dal campo d'aggancio, si perde l'aggancio tra f_i e f_o e la frequenza d'uscita si porta al valore di free run (f_{fr}) del VCO.

b) Stato di non aggancio (free run): se la frequenza del segnale d'ingresso è all'esterno del campo di aggancio ($2f_L$), il segnale d'uscita è indipendente da v_i e ha una frequenza pari a quella di free run del VCO ($f_o = f_{fr}$); il PLL rimane in questo stato finché f_i non rientra nel campo di cattura.

c) Stato di cattura (capture): è la situazione transitoria che si verifica dopo che f_i dallo stato di free run è rientrata nel campo di cattura (capture range: $2f_c = f''_c - f'_c$); grazie alla retroazione il VCO modifica la frequenza di uscita f_o fino a uguagliare quella d'ingresso f_i , raggiungendo così lo stato di aggancio.

Ricapitolando, per passare dallo stato di free run allo stato di aggancio, f_i deve entrare nel campo di cattura ($2f_c$), dopo di che il PLL rimane agganciato al segnale d'ingresso ($f_o = f_i$) finché la frequenza f_i non esce dal campo di aggancio ($2f_L$).

2.7.4 Charge-pump-based PLL (CP-PLL)

Il CP-PLL è un tipo comune di anello ad aggancio di fase, che impiega una pompa di carica all'uscita del comparatore di fase per fornire corrente al filtro d'anello. Più precisamente, la charge-pump trasforma i segnali di controllo provenienti dal PD in impulsi di corrente positivi o negativi. Si hanno pertanto tre differenti tipi di uscite dalla pompa di carica: $-I_{CP}$, 0 , $+I_{CP}$, dove I_{CP} è la corrente nominale prodotta da essa. La Figura 36 mostra lo schema a blocchi di un CP-PLL. Per esempio, la charge-pump entra in azione quando la frequenza del segnale prodotto dal VCO è più bassa rispetto a quella di riferimento; a tal proposito, essa si occupa di fornire una certa quantità di carica per un intervallo di tempo Δ_T . La quantità di carica iniettata al filtro è pari a $\Delta_q = I_{CP} \cdot \Delta_T$, la quale è sufficiente a far sì che dopo un certo numero di cicli la frequenza prodotta dal VCO eguagli quella di riferimento, arrivando così alla condizione di aggancio (lock-state). Dunque, in tale sistema il rivelatore di fase di un CP-PLL ha il compito di produrre dei segnali di "up" e "down" utili a guidare la charge-pump, la quale carica o scarica il filtro d'anello in modo da generare un'opportuna tensione di controllo per il VCO. I cicli di lavoro dei segnali up/down si basano sull'errore di fase dei due ingressi del PD, che sono θ_1 e θ_2 ; quindi la funzione di trasferimento di fase associata alla pompa di carica può essere scritta come

$$I_{CP-out} = I_{CP} \frac{\theta_1 - \theta_2}{2\pi} \quad \text{Eq. (39)}$$

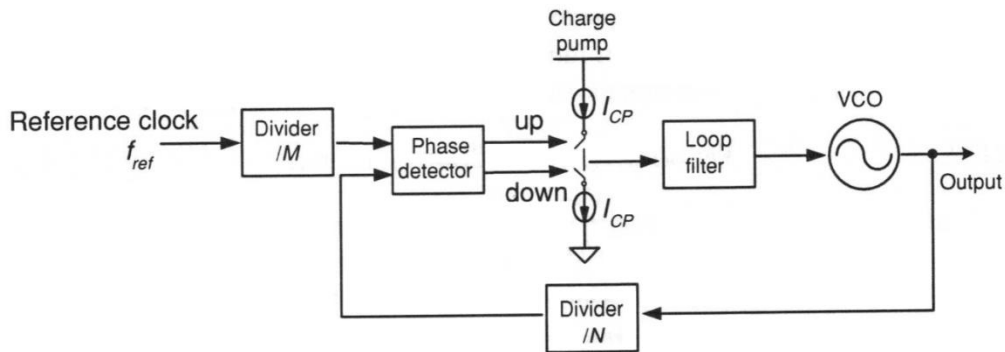


Figura 36 Diagramma a blocchi di un CP-PLL

Si assume che il phase detector abbia una fase lineare da -2π a $+2\pi$, come illustrato in Figura 37.

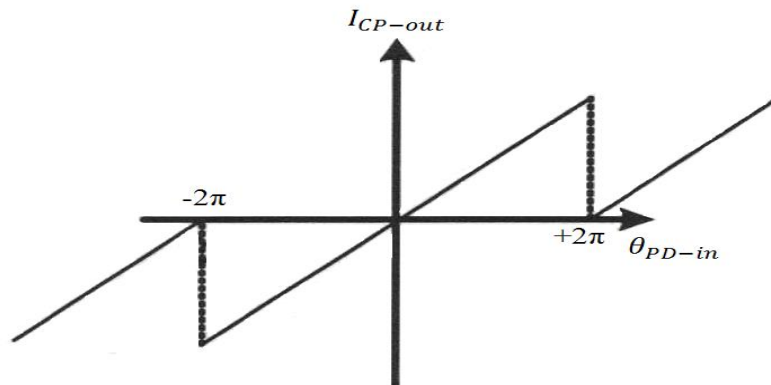


Figura 37 Relazione fase/corrente del PD con pompa di carica

Nell'ipotesi in cui il CP-PLL fosse costituito da due poli all'origine, uno dei quali proveniente dal VCO e l'altro dall'integratore presente nel filtro d'anello, sarebbe necessario uno zero stabilizzante per impedire che il loop sia instabile. Un filtro d'anello del secondo ordine, come quello mostrato in Figura 38, è comunemente usato nei CP-PLL. Il resistore R1 viene collegato in serie al condensatore C1 in modo da fornire uno zero stabilizzante. C2, collegato in parallelo al gruppo R1-C1, offre una buona capacità di filtraggio e riduce il ripple alla tensione di controllo del VCO in modo da sopprimere i toni spuri in uscita dal VCO.

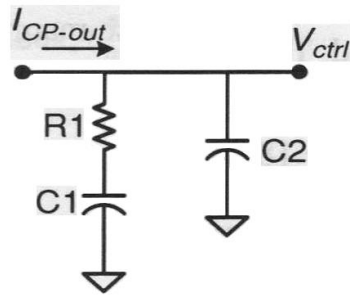


Figura 38 Filtro d'anello del 2° ordine

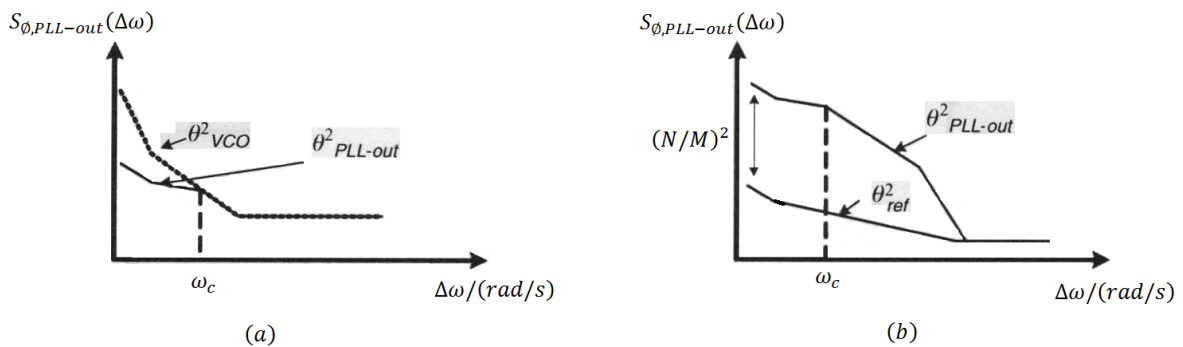


Figura 39 Rumore di fase in un PLL dovuto a: (a) rumore del VCO e (b) rumore di riferimento

2.7.5 Rumore di fase e jitter del PLL

Il rumore di uscita del PLL dipende fortemente dalla larghezza di banda del loop. Un'elevata larghezza di banda d'anello può respingere il timing error del VCO in breve tempo e determinare un maggiore abbattimento del rumore sull'uscita del PLL. D'altra parte, una piccola larghezza di banda è in grado di sopprimere il rumore proveniente dalla sorgente di ingresso così come quello dal PFD e dalle pompe di carica. Questo fenomeno è illustrato in Figura 39. Si noti che la potenza del rumore di fase dal clock di riferimento è amplificata di un fattore $(N/M)^2$.

2.7.6 Settling time

Il tempo di assestamento viene utilizzato per definire il tempo necessario affinché un sintetizzatore passi da una frequenza di uscita ad un'altra con una determinata precisione specificata dai requisiti di sistema. Esso rappresenta un parametro cruciale per quei sistemi, come il Bluetooth, che impiegano il 'frequency hopping' con un alto tasso di salto per evitare interferenze multi-path. Con una larghezza di banda maggiore è possibile ottenere un tempo di assestamento più rapido. Ciononostante, la presenza di toni spuri è maggiore quando la larghezza di banda del loop diventa più ampia. Pertanto, vi è la necessità di trovare il giusto

compromesso quando si progetta la larghezza di banda del loop e il tempo di assestamento di un sistema.

2.7.7 Sintetizzatore a N-intero

Un sintetizzatore di frequenza a N-intero è costituito da un divisore intero N programmabile posto nel percorso di retroazione, come mostrato in Figura 40. Il PD si occupa di valutare l'errore di fase tra il segnale di riferimento e il segnale VCO dopo essere stato diviso dal divisore programmabile. La tensione di controllo del VCO verrà regolata dinamicamente dalla pompa di carica e dal filtro d'anello fintanto che il sistema non sarà agganciato. Sotto questa condizione la frequenza di uscita f_o è uguale alla frequenza di riferimento f_{ref} moltiplicata per N. La frequenza di uscita, quindi, può essere variata semplicemente variando il parametro N. Per i sistemi a banda stretta, la frequenza di riferimento presenta dei limiti in merito alla spaziatura del canale e allo stesso tempo il divisore intero N dovrebbe essere grande abbastanza in modo da poter raggiungere la condizione di aggancio (lock condition). Al contempo, avere un valore di N elevato provocherebbe un grande consumo di energia per il divisore e un maggior rumore di fase all'uscita del sintetizzatore. Inoltre, poiché la larghezza di banda del circuito è tipicamente limitata a meno di un decimo della frequenza di riferimento per soddisfare il vincolo sulla stabilità del sistema, il tempo di assestamento viene anch'esso limitato.

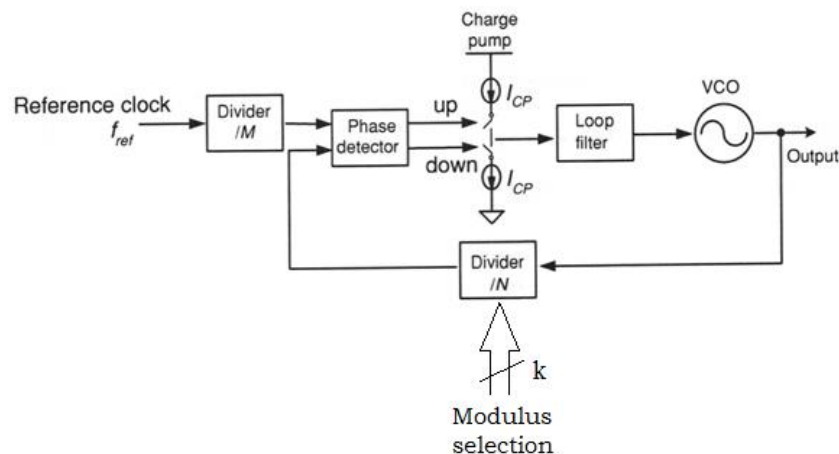


Figura 40 Diagramma a blocchi di un sintetizzatore a N-intero

Un divisore di frequenza ad impulsi è l'implementazione più comune di prescaler programmabile, come illustrato in Figura 41, e viene utilizzato per superare i vincoli sulla spaziatura tra i canali di valore pari alla frequenza di riferimento. E' costituito da due contatori, *program counter* (P) e *shallow counter* (S), e da un prescaler che è in grado di dividere per N o N+1 in base allo stato del modulus control. Subito dopo l'avvio del sistema, il prescaler inizia a eseguire una divisione per (N+1) ed entrambi i contatori iniziano a contare gli impulsi di uscita del prescaler. Il contatore S continua a contare fino a quando non raggiunge l'overflow, che si verifica dopo S impulsi. In quell'istante, il modulus control modifica il suo stato, e il prescaler inizia a dividere non più per (N+1) ma per N. Nel frattempo, il contatore P continua a contare gli impulsi di uscita del prescaler. Una volta che anche il contatore P raggiunge l'overflow, che avviene dopo (P-S) impulsi all'uscita del prescaler, entrambi i contatori saranno resettati e l'intero ciclo verrà ripetuto. Di conseguenza, il divisore effettivo, N, che è uguale al numero totale di impulsi all'ingresso contato per ogni ciclo, diventa

$$N_{TOTAL} = S(N + 1) + (P - S)N = PN - S \quad \text{Eq. (40)}$$

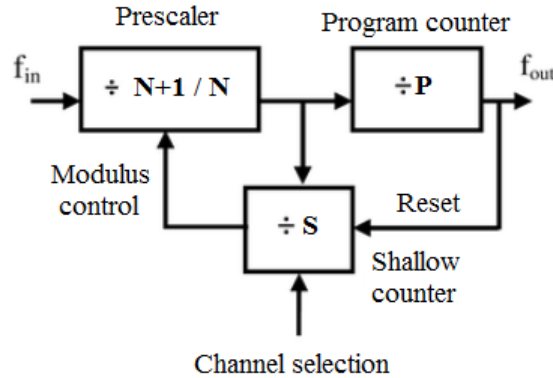


Figura 41 Diagramma a blocchi di un divisore di frequenza ad impulsi

2.7.8 Sintetizzatore frazionario

Come accennato nella sezione precedente, l'architettura basata sui divisori interi soffre di problemi inerenti alla limitazione della frequenza di riferimento e ad un valore del divisore intero N troppo elevato. Pertanto, questa non è adatta per essere usata nei sistemi con spaziatura dei canali ristretta. Come soluzione, i sintetizzatori frazionari possono fornire rapporti di divisione tali che la frequenza di riferimento possa essere molto più grande rispetto alla spaziatura dei canali. La risultante frequenza di uscita può essere a questo punto espressa come

$$f_o = N \cdot F * f_{ref}, \quad \text{Eq. (41)}$$

dove N è un numero intero e F un frazionario. Come mostrato in Figura 42, un sintetizzatore di frequenza frazionario contiene un divisore programmabile a doppio modulo controllato da un accumulatore. In ogni ciclo l'uscita dell'accumulatore è incrementata di k , che a sua volta è controllata dall'ingresso di selezione del canale. Una volta che l'accumulatore arriva all'overflow, il carry bit cambia il suo stato da 0 a 1 e di conseguenza il divisore programmabile cambia il suo divisore da N a $N+1$. La risoluzione del divisore programmabile è uguale al numero totale di cicli che l'accumulatore ripete e dipende dal numero di bit. Ad esempio, se il sintetizzatore utilizza un accumulatore a 4 bit e il modulo viene scelto pari a 10, il flusso di bit attraverso l'uscita carry è illustrato dalla Tabella 1. È chiaro che il divisore è alternato tra N e $N + 1$ in base alla sequenza del carry bit. Quindi, il divisore N_{AVG} è dato da

$$N_{AVG} = N + \frac{K}{2^k} \quad \text{Eq. (42)}$$

D'altra parte, se viene utilizzata una frequenza di riferimento più alta, anche il numero di bit dell'accumulatore k dovrebbe essere aumentato.

Numero di cicli	Contenuto dell'accumulatore	Carry bit	Divisore
0	0	1	$N+I$
1	10	0	N
2	4	1	$N+I$
3	14	0	N
4	8	1	$N+I$
5	2	1	$N+I$
6	12	0	N
7	6	1	$N+I$
8	0	1	$N+I$
9	10	0	N
10	4	1	$N+I$
11	14	0	N
12	8	1	$N+I$
13	2	1	$N+I$
14	12	0	N
15	6	1	$N+I$

Tabella 1 Schema di uscita dell'accumulatore a 4 bit con modulo pari a 10

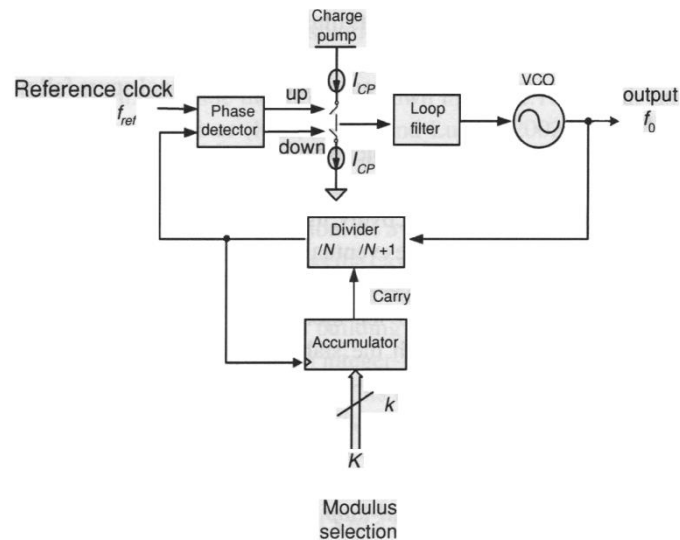


Figura 42 Sintetizzatore di frequenza frazionario

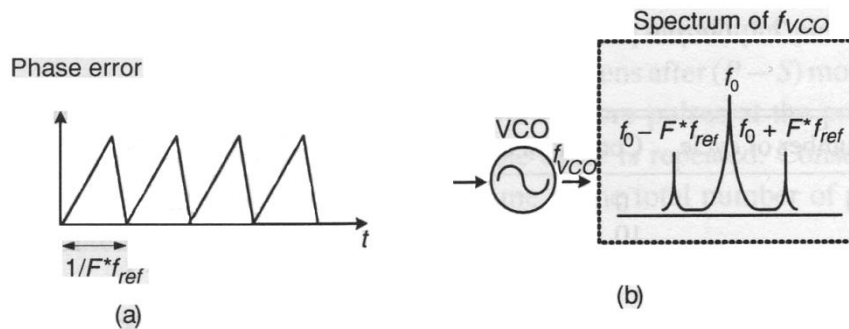


Figura 43 (a) Errore di fase periodico del sintetizzatore frazionario, (b) VCO modulato dal segnale ripetitivo e dal suo spettro di uscita

Un vantaggio dell'uso del sintetizzatore frazionario è che la frequenza di riferimento può essere scelta in maniera tale da risultare molto più grande rispetto alla spaziatura del canale. Pertanto, il divisore può essere inferiore, mentre il rumore di fase del sistema migliorato. D'altra parte, se la frequenza di riferimento è maggiore, la risoluzione dell'accumulatore dovrebbe essere aumentata per ottenere la stessa risoluzione di frequenza. Di conseguenza, anche il consumo di energia e la complessità dell'accumulatore aumenteranno. Poiché il divisore programmabile commuta in modo continuo, anche la differenza di fase tra il clock di riferimento e il segnale prodotto dal VCO varierà in maniera ripetitiva. Ne consegue che la tensione di ingresso del VCO aumenta e diminuisce, per cui, come illustrato in Figura 43, tale modulazione genera dei toni spuri che appaiono accanto al segnale portante. Si può osservare che le componenti spurie presentano un'ampiezza relativamente alta e sono situati in $f_0 \pm F \cdot f_{ref}, \dots, f_0 \pm nF \cdot f_{ref}$. Il problema diventa grave quando le suddette componenti interessano la banda del loop. Una soluzione efficace per risolvere tale problema consiste nell'utilizzare modulatori ($\Sigma - \Delta$). Il rumore di fase e gli impulsi spuri vengono spinti verso frequenze più elevate ed infine soppressi grazie alla presenza del filtro passa-basso, come illustrato in Figura 44 b). I modulatori di ordine superiore possono fornire una maggiore soppressione del rumore, ma il sistema potrebbe diventare instabile. Per affrontare il problema della stabilità si può impiegare l'architettura MASH, costituita dalla cascata di diversi modulatori di ordine inferiore.

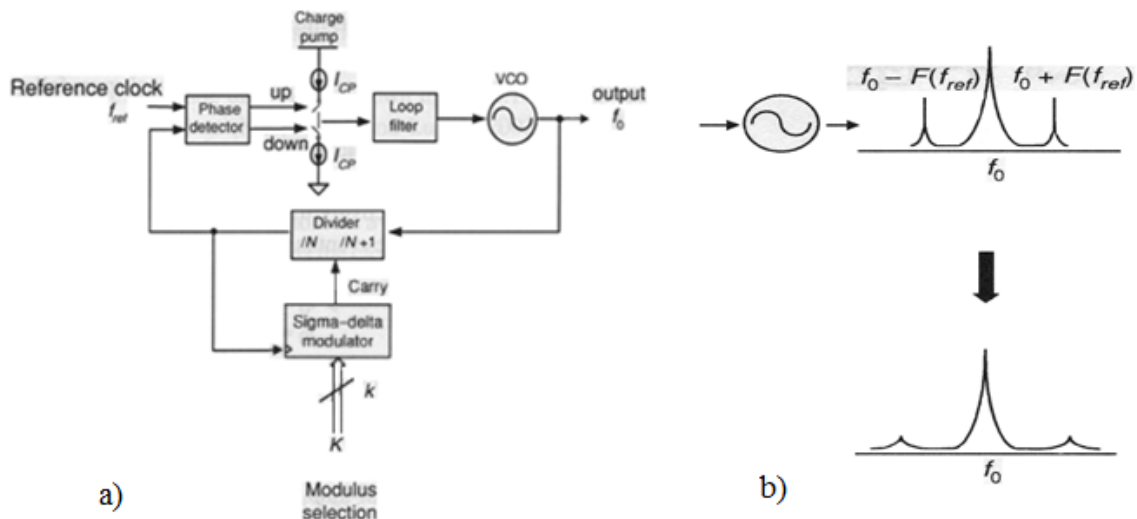


Figura 44 (a) Sintetizzatore sigma-delta frazionario, (b) armoniche con rumore sovrapposto

2.7.9 Sintetizzatore Dual-loop

Il sintetizzatore dual-loop è un altro tipo di sistema in grado di raggiungere un'alta risoluzione in frequenza senza presentare i problemi visti nell'architettura con divisore intero, ovvero la bassa frequenza del segnale di riferimento e l'elevato valore del divisore N . Un sintetizzatore dual-loop comprende due sistemi PLL insieme ad un mixer single sideband (SSB), come illustrato in Figura 45. È possibile dunque avere due tipi di configurazioni: parallelo e serie. Tuttavia, qualsiasi tipo di disaccoppiamento e non-linearità di un mixer SSB si manifesta sull'uscita con dei segnali spuri. Per cui, avere il mixer SSB all'interno del loop, come mostrato in Figura 45 b), consente di sopprimere le frequenze spurie generate dal mixer. In entrambe le configurazioni, il loop 1 contiene un VCO ad alta velocità con un divisore fisso per generare un grande offset di frequenza, mentre il loop 2 è costituito da un VCO a bassa velocità con un divisore programmabile per la selezione del canale. Di conseguenza, il loop 1 può essere progettato con un'ampia larghezza di banda così da sopprimere il rumore di fase generato dal VCO ad alta velocità, mentre il loop 2 può essere ottimizzato per avere una larghezza di banda tale da ottenere un'ulteriore riduzione del rumore.

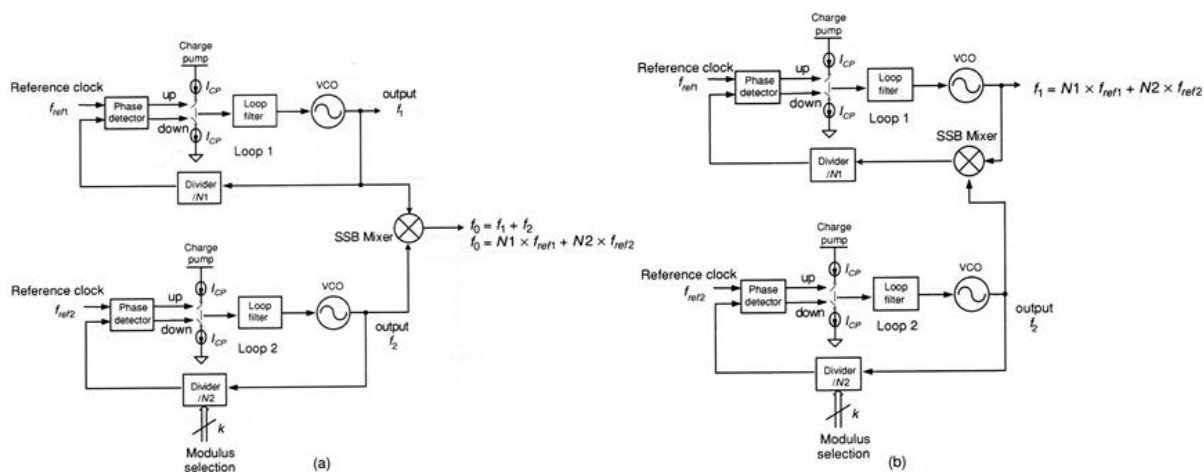


Figura 45 Sintetizzatore Dual-loop in configurazione parallelo (a) e serie (b)

Il modello lineare per il sintetizzatore dual-loop simile in configurazione serie è rappresentato in Figura 46. Riguardo al mixer, cambiare la sua fase d'ingresso equivale a cambiare quella d'uscita, per cui, il suo guadagno può essere impostato a uno. L'idea che sta alla base di questa architettura è quella di aggiungere una bassa frequenza variabile, generata da un PLL a bassa frequenza, ad una frequenza di offset fissa elevata, generata da un secondo PLL ad alta frequenza. Questa architettura può migliorare il compromesso tra: rumore di fase, spaziatura dei canali, frequenza di riferimento e velocità del sintetizzatore. Anche se sono necessari più circuiti, le specifiche per ciascun blocco sono molto rilassate. Tale sistema, rispetto all'architettura con divisore intero, può avere frequenze di riferimento molto più alte e divisori di frequenza con valori molto più bassi che, a loro volta, determinano un miglioramento significativo non solo della larghezza di banda del loop e del tempo di assestamento, ma anche in termini di rumore di fase. D'altra parte, rispetto all'architettura frazionaria con modulazione sigma-delta, l'architettura proposta può raggiungere prestazioni, in termini di spurie e rumore di fase, paragonabili a quelle di un prescaler molto più semplice e che non presenta una circuiteria digitale che potenzialmente introdurrebbe rumore di commutazione digitale al sintetizzatore. Lo svantaggio principale del dual-loop è che richiede due PLL e un singolo mixer a banda laterale con due sorgenti di riferimento. In realtà, se si volesse disporre di una singola sorgente, il segnale di riferimento a frequenza maggiore potrebbe essere progettato per essere un multiplo intero rispetto a quello con frequenza di riferimento inferiore, ed essere generato utilizzando un terzo PLL con divisore intero.

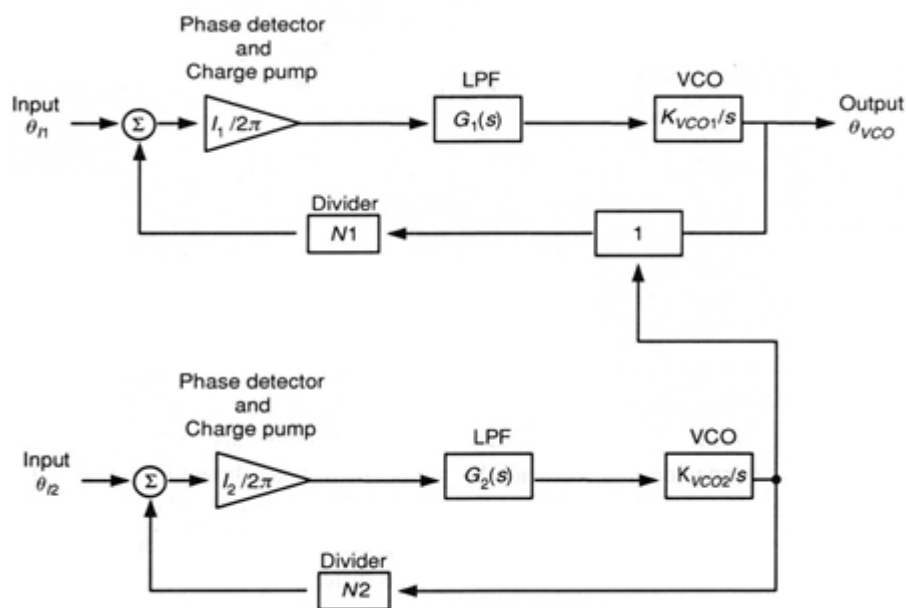


Figura 46 Modello lineare del sintetizzatore dual-loop in configurazione serie

3. SINTETIZZATORI COMMERCIALI

In questo capitolo verrà affrontata l'analisi di due differenti tipi di sintetizzatori di frequenza prodotti rispettivamente da due aziende leader nel progetto e nella realizzazione di tali sistemi. Nella fattispecie si fa riferimento alle Evaluation Board 'LMX2594', prodotta da Texas Instruments, e 'ADF4159', prodotta da Analog Devices. Esse possono essere impiegate in numerose applicazioni: 5G, MIMO, Wireless, Satelliti, Generazione di clock, Convertitori di dati ad alta velocità e infine nei sopracitati Radar. E' stata posta maggiore attenzione all'analisi e al confronto di importanti grandezze che caratterizzano questo tipo di sistemi, come il rumore di fase, l'intervallo di frequenze che sono in grado di generare, la loro risoluzione, la potenza che riescono ad erogare, il tipo di interfaccia, il tipo di alimentazione ed infine i costi.

3.1 Sintetizzatore LMX2594

3.1.1 Introduzione

L' LMX2594 è un sintetizzatore di frequenza ad alte prestazioni con VCO integrato e divisore di frequenza d'uscita. Il VCO funziona da 7,5 a 15 GHz e può essere combinato con il divisore di uscita per produrre qualsiasi frequenza nell'intervallo da 10 MHz a 15 GHz. Il percorso di ingresso presenta due divisori e un moltiplicatore i quali permettono di programmare in maniera flessibile il valore della frequenza. Inoltre, abilitando il duplicatore si ottiene un aumento della frequenza in ingresso al Phase Detector con un conseguente miglioramento in termini di rumore di fase evitando la presenza di spurie sul segnale di uscita. Il PLL è di tipo frazionale con al suo interno un modulatore delta-sigma programmabile fino al 4° ordine. Il denominatore frazionario, programmabile tramite 32 bit, può fornire intervalli di frequenza con una precisione inferiore ad 1 Hz utilizzati per frazioni come $3/7$, $7/1000$ e così via. La rapida calibrazione del VCO è ideale nel caso in cui si vogliano utilizzare segnali la cui frequenza debba essere variata in maniera brusca. Il dispositivo è in grado di fornire segnali a frequenza fissa o di generare rampe a frequenza variabile in un determinato periodo programmabili dall'utente. Il supporto JESD204B include l'utilizzo dell'uscita RFoutB per creare un'uscita SYSREF differenziale che può essere un singolo impulso o una serie di impulsi che si verificano ad una distanza programmabile dai fronti di salita del segnale di uscita. Il sintetizzatore LMX2594 richiede una singola alimentazione da 3,3 V e ha un massimo assorbimento di corrente pari a 600 mA. Presenta due canali di uscita utilizzabili sia in configurazione singola che differenziale, oltre ai due di ingresso, OSCinP e OSCinM, che permettono di ricevere un segnale di riferimento proveniente da un oscillatore esterno. La logica digitale per l'interfaccia SPI è compatibile con livelli di tensione da 1,8 a 3,3 V. Lo schema a blocchi è mostrato in Figura 47.

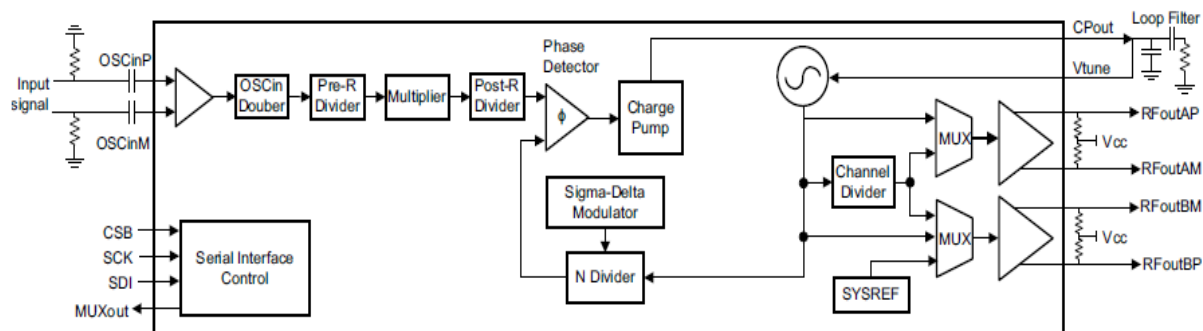


Figura 47 Schema a blocchi LMX2594

In Figura 48 è invece mostrata la disposizione dei pin dell'integrato in questione.

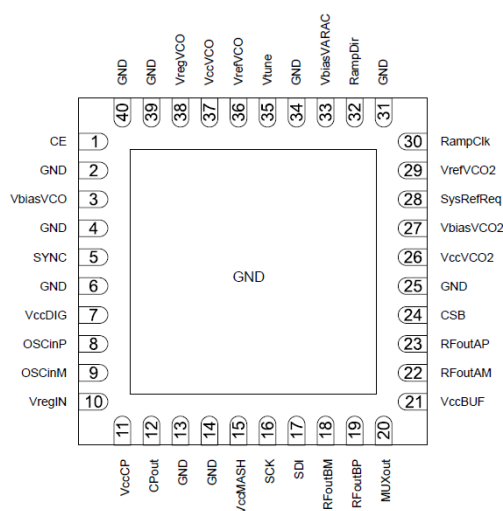


Figura 48 Piedinatura LMX2594

3.1.2 Reference Oscillator Input

I pin OSCin vengono utilizzati come ingresso di riferimento di frequenza sul dispositivo. L'ingresso è ad alta impedenza e richiede degli accoppiamenti capacitivi, come mostrato in Figura 49. I pin OSCin possono essere pilotati in configurazione single-ended o differenziale tramite dei segnali provenienti dall'esterno oppure usando l'oscillatore interno alla board. L'ampiezza del segnale applicabile in ingresso va da 0.2 a 2 V_{pp} mentre con riferimento alla frequenza si ha $5 \leq f_{OSCin} \leq 1400$ MHz. Lo slew-rate del segnale d'ingresso può avere un impatto negativo sulle spurie e sul rumore di fase se ha un valore troppo basso. Per prestazioni ottimali si utilizzano di solito segnali con elevato slew-rate e bassa ampiezza.

3.1.3 Reference Path

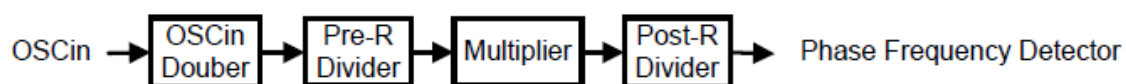


Figura 49 Percorso di riferimento

La valutazione della frequenza in ingresso al Phase Detector è data dalla seguente formula:

$$f_{pd} = f_{osc} \times OSC_2X \times MULT / (PLL_{R_{PRE}} \times PLL_R) \quad \text{Eq. (43)}$$

dove f_{pd} e f_{osc} sono, rispettivamente, le frequenze dei segnali prodotti dal Phase Detector e dall'oscillatore. I divisori Pre-R (PLL_R_PRE) e Post-R (PLL_R) servono entrambi per dividere la frequenza mentre il moltiplicatore (MULT) per aumentarla. Lo scopo dell'aggiunta del moltiplicatore è quello di ridurre la presenza di spurie e di aumentare la frequenza del rivelatore di fase.

3.1.4 OSCin Doubler (OSC_2X)

Il duplicatore OSCin (OSC_2X) consente di raddoppiare la frequenza di riferimento in ingresso fino a 400 MHz. Esso aggiunge un minimo rumore ed è utile per aumentare la frequenza del phase detector al fine di migliorare il rumore di fase e anche per evitare la presenza di spurie. Quando viene aumentata la frequenza del rivelatore di fase, la parte piatta del rumore migliora, come mostrato in Figura 50.

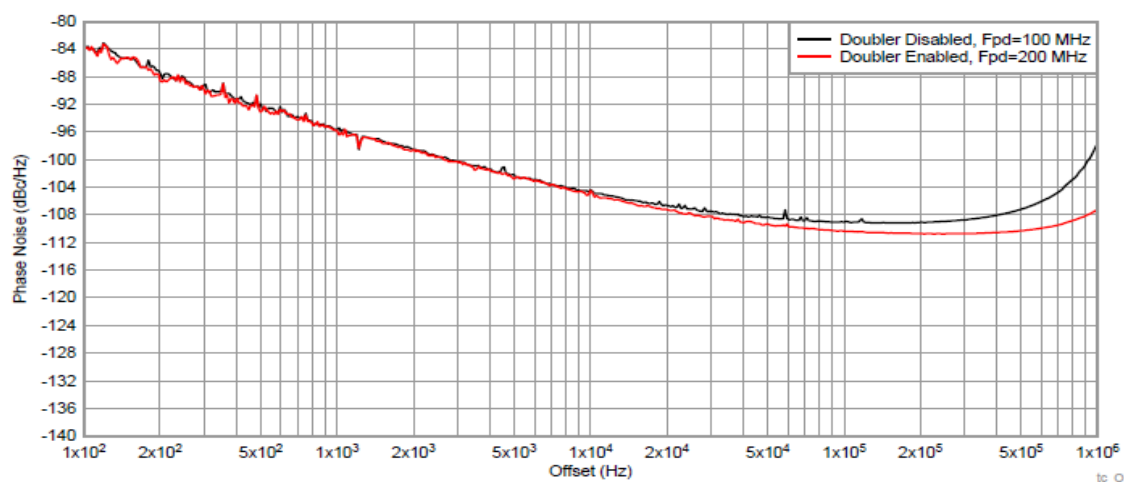


Figura 50 Vantaggio dell'utilizzo del duplicatore OSC_2X a 14 GHz

3.1.5 Phase Detector e Charge Pump

Il Phase Detector si occupa di confrontare l'uscita del N-divider con quella del Post-R-divider e genera una corrente di correzione corrispondente all'errore di fase fino a che i due segnali sono allineati in fase. Questa corrente è quella che circola all'interno della Charge Pump; essa è programmabile via software su diversi livelli così da consentire la modifica della larghezza di banda del PLL a circuito chiuso.

3.1.6 Pre-R Divider (PLL_R_PRE)

Il prescaler è un contatore utile per ridurre la frequenza d'ingresso tramite una divisione tra interi. Spesso è utilizzato per aiutare a raggiungere la limitazione della frequenza di ingresso massima di 250 MHz al partitore PLL-R. Esso non deve essere usato in altri casi.

3.1.7 Programmable Multiplier (MULT)

Il moltiplicatore di frequenza è utile per aumentare la frequenza del rivelatore di fase di una quantità che varia da 3 a 7 volte rispetto a quella del segnale presente al suo ingresso. Un aspetto da non trascurare è legato al fatto che il moltiplicatore programmabile, diversamente dal duplicatore, degrada la figura di merito (FOM) del PLL; circostanza questa da non sottovalutare nel caso in cui si abbia un segnale di riferimento pulito e un'ampia larghezza di banda del loop.

3.1.8 Post-R Divider (PLL_R)

Il divisore Post-R può essere utilizzato per dividere ulteriormente la frequenza del rivelatore di fase. Quando quest'ultimo viene utilizzato in modo tale da avere ($PLL_R > 1$), la frequenza di ingresso è limitata a 250 MHz.

3.1.9 State Machine Clock

Il clock della macchina a stati è un sottomultiplo del segnale OSC in utilizzato internamente nel dispositivo. Il divisore può variare da 1,2,4 o 8 ed è determinato dalla parola di programmazione CAL_CLK_DIV. Esso influisce su varie funzioni come la calibrazione del VCO e la rampa. Il clock della macchina a stati viene dunque calcolato come

$$f_{smclk} = \frac{f_{osc}}{2^{CAL_CLK_DIV}} \quad \text{Eq. (44)}$$

dove f_{osc} è la frequenza del segnale di riferimento in ingresso mentre CAL_CLK_DIV deve assumere, in funzione della medesima, uno dei seguenti valori:

- 1 se $f_{osc} \leq 200\text{MHz}$;
- 2 se $f_{osc} \leq 400\text{MHz}$;
- 4 se $f_{osc} \leq 800\text{MHz}$;
- 8 se $f_{osc} > 800\text{MHz}$.

3.1.10 PLL Phase Detector and Charge Pump

Il rivelatore di fase confronta le uscite del divisore Post-R e del divisore N e genera una corrente di correzione corrispondente all'errore di fase finché i due segnali non sono allineati. La corrente della pompa di carica è programmabile via software su livelli diversi con valori che vanno da 0 a 15 mA a multipli di 3, consentendo così la modifica della larghezza di banda del PLL.

3.1.11 Divisore N e circuiteria frazionaria

Il divisore N si compone di due campi: N, che rappresenta la parte intera, e NUM/DEM, la parte decimale, entrambi programmabili via software. Il denominatore DEN può raggiungere valori da 1 a $2^{32}-1$, per cui, più è alto maggiore sarà la risoluzione dell'uscita del divisore. In generale, il valore totale del divisore N è determinato da $(N + NUM/DEN)$. Dunque, l'equazione che mette in relazione le frequenze del VCO e del rivelatore di fase è data da:

$$f_{vco} = f_{pd} \times \left(N + \frac{NUM}{DEN} \right) \quad \text{Eq. (45)}$$

Per migliorare le prestazioni in termini di rumore di fase è necessaria un'opportuna calibrazione del VCO.

3.1.12 VCO (Voltage Controlled Oscillator)

L'LMX2594 include un VCO completamente integrato. Il VCO converte la tensione fornita dal filtro d'anello in una frequenza che è correlata alle altre dalla seguente relazione:

$$f_{VCO} = f_{pd} \times N_{divider} \quad \text{Eq. (46)}$$

3.1.13 Calibrazione del VCO

Per migliorare le prestazioni del rumore di fase del VCO, l'intervallo di frequenze viene suddiviso in diverse sotto-bande. L'intera gamma, da 7,5 a 15 GHz, ne copre un'ottava che consente al divisore di occuparsi delle frequenze al di sotto del limite inferiore. Ciò crea la necessità di calibrare la frequenza del segnale prodotto dal VCO in base a quella desiderata, per determinare in modo corretto la banda di frequenza del PLL. Il processo di calibrazione della frequenza viene messo in pratica tutte le volte in cui il registro R0 viene programmato con il bit FCAL_EN = 1, e la corretta sotto-banda del VCO selezionata. È importante che sia presente un segnale OSCin valido prima che inizi la calibrazione del VCO. Quest'ultimo consente di ottimizzare il rumore di fase tramite un algoritmo di calibrazione; ciò accade ogni volta che il registro R0 viene programmato. Le impostazioni interne ottimali dipendono dalla temperatura. Se la temperatura non è sotto controllo e non è ricalibrata, potrebbe verificarsi un lieve degrado del rumore di fase. La massima *temperatura di deriva*, $|\Delta T_{CL}|$, ammessa quando il VCO non viene ricalibrato è di 125 °C; questo numero indica che il dispositivo non si blocca mai se viene utilizzato in condizioni operative consigliate. Perciò, il tempo di calibrazione è influenzato principalmente dalla temperatura e dalla frequenza del VCO.

Il 'VCO Core' va scelto, consultando la Tabella 2, in base alla frequenza desiderata in uscita dal VCO.

VCO Core	f _{CoreMin}	f _{CoreMax}	C _{CoreMin}	C _{CoreMax}	A _{CoreMin}	A _{CoreMax}
VCO1	7500	8600	164	12	299	240
VCO2	8600	9800	165	16	356	247
VCO3	9800	10800	158	19	324	224
VCO4	10800	12000	140	0	383	244
VCO5	12000	12900	183	36	205	146
VCO6	12900	13900	155	6	242	163
VCO7	13900	15000	175	19	323	244

Tabella 2 VCO Core ranges

Ognuna di queste sotto-bande, ovvero ogni 'core', possiede 256 diverse bande, per cui in totale vi saranno $7 \times 256 = 1792$ bande di frequenza differenti. Fatto ciò, per poter avviare l'operazione di calibrazione del VCO, si valutano altri due parametri da settare nel programma 'TICS Pro' assieme al VCO Core, come segue:

1. $VCO_{CAPCTRLSTRT} = \text{round}(C_{CoreMin} - (C_{CoreMin} - C_{CoreMax}) \times (f_{VCO} - f_{CoreMin}) / (f_{CoreMax} - f_{CoreMin}))$

$$2. \quad VC O_{DAC I S E T_{S T R T}} = \text{round} \left(A_{C o r e M i n} + (A_{C o r e M a x} - A_{C o r e M i n}) \times (f_{V C O} - f_{C o r e M i n}) / (f_{C o r e M a x} - f_{C o r e M i n}) \right)$$

Il tempo di calibrazione del VCO va ridotto al minimo così da limitare il tempo di aggancio del PLL [21].

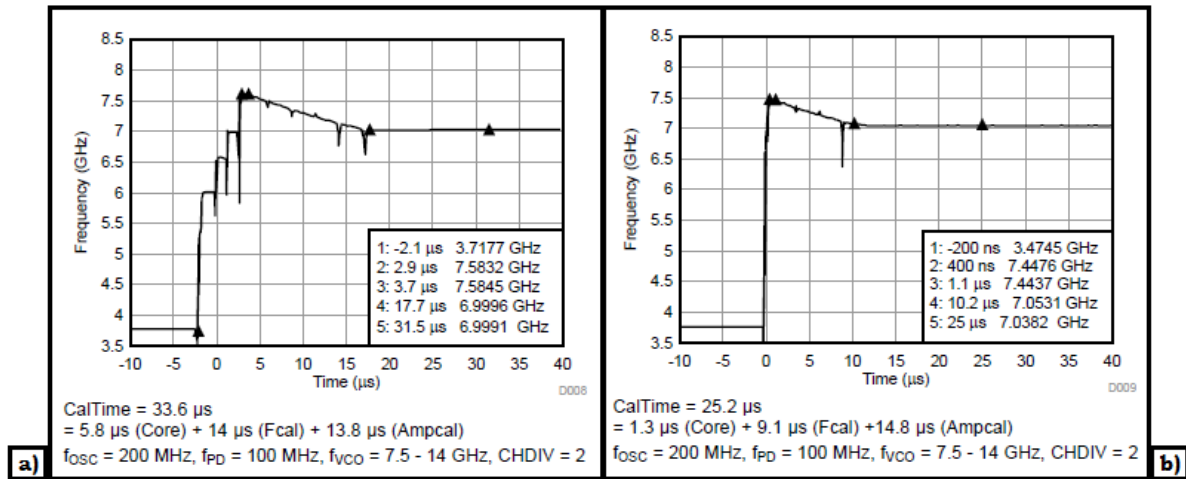


Figura 51 Calibrazione del VCO a) senza assistenza parziale e b) con

Come si può notare in Figura 51, il tempo di calibrazione nel caso a) è maggiore rispetto al caso b). Per cui, più le impostazioni di calibrazione sono vicine a quelle finali reali, più veloce sarà la calibrazione del VCO.

Va ricordato che il dispositivo può essere spento impostando un valore di tensione basso sul pin CE oppure tramite il bit POWERDOWN=1. Al momento dell'accensione il registro R0 deve essere riscritto in maniera tale che il dispositivo possa essere nuovamente ricalibrato.

3.1.14 Determinazione del guadagno del VCO

Il guadagno del VCO può essere stimato per una determinata frequenza arbitraria d'uscita come:

$$k_{VCO} = k_{VCO1} + (k_{VCO2} - k_{VCO1}) \times (f_{VCO} - f_1) / (f_2 - f_1) \quad \text{Eq. (47)}$$

Core	f1	f2	Kvco1	Kvco2
VCO1	7500	8600	73	114
VCO2	8600	9800	61	121
VCO3	9800	10800	98	132
VCO4	10800	12000	106	141
VCO5	12000	12900	170	215
VCO6	12900	13900	172	218
VCO7	13900	15000	182	239

Tabella 3 Guadagno del VCO

3.1.15 Channel Divider

Per ottenere valori di frequenza al di sotto di 7,5 GHz è possibile utilizzare il divisore di canale costituito da quattro segmenti. Così facendo, il fattore di divisione totale è pari alla moltiplicazione dei singoli divisori

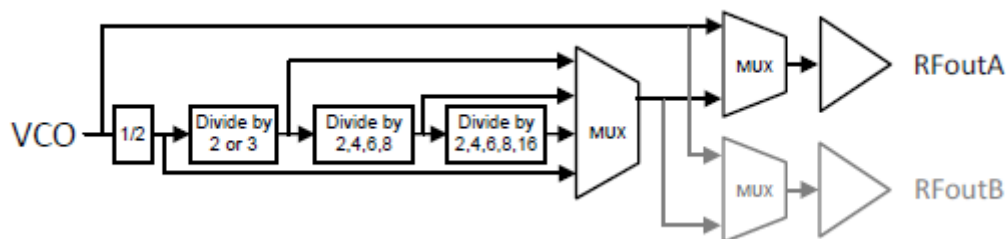


Figura 52 Channel Divider

Quando viene utilizzato il divisore di canale esistono dei limiti sui valori. La Tabella 4 mostra come questi valori sono implementati e quali segmenti vengono utilizzati.

EQUIVALENT DIVISION VALUE	FREQUENCY LIMITATION	OutMin (MHz)	OutMax (MHz)	CHDIV[4:0]	SEG0	SEG1	SEG2	SEG3
2	None	3750	7500	0	2	1	1	1
4		1875	3750	1	2	2	1	1
6		1250	2500	2	2	3	1	1
8	$f_{VCO} \leq 11.5 \text{ GHz}$	937.5	1437.5	3	2	2	2	1
12		625	958.333	4	2	3	2	1
16		468.75	718.75	5	2	2	4	1
24		312.5	479.167	6	2	2	6	1
32		234.375	359.375	7	2	2	8	1
48		156.25	239.583	8	2	3	8	1
64		117.1875	179.6875	9	2	2	8	2
72		104.167	159.722	10	2	3	6	2
96		78.125	119.792	11	2	3	8	2
128		58.594	89.844	12	2	2	8	4
192		39.0625	59.896	13	2	2	8	6
256		29.297	44.922	14	2	2	8	8
384		19.531	29.948	15	2	3	8	8
512		14.648	22.461	16	2	2	8	16
768		9.766	14.974	17	2	3	8	16
Invalid	n/a	n/a	n/a	18-31	n/a	n/a	n/a	n/a

Tabella 4 Channel Divider Segments

3.1.16 Output Buffer

Il buffer d'uscita (output RF) è di tipo 'open collector' e richiede un pull-up esterno a Vcc, come si può notare in Figura 47. Questo componente può essere un resistore da 50 Ω per fornire un'impedenza d'uscita dello stesso valore, oppure un induttore per avere una maggiore potenza di uscita. La corrente sul buffer di uscita dipende dal valore del resistore di pull-up e differisce nel caso in cui sia presente l'induttore. Di conseguenza, si hanno differenti valori di potenza in uscita. Come si evince dalla Tabella 5, la potenza d'uscita varia in funzione della frequenza del VCO e del tipo di pull-up.

OUTPUT CHARACTERISTICS				
P _{OUT}	Single-ended output power ⁽¹⁾⁽²⁾	50-Ω resistor pullup OUTx_PWR = 50	f _{OUT} = 8 GHz	5
			f _{OUT} = 15 GHz	2
		1-nH inductor pullup OUTx_PWR = 50	f _{OUT} = 8 GHz	10
			f _{OUT} = 15 GHz	7

Tabella 5 Potenza e frequenza d'uscita

In Figura 53 è mostrato l'andamento della potenza e della frequenza d'uscita. Si evince chiaramente che, utilizzando come pull-up un induttore, si ha una potenza d'uscita di gran lunga superiore rispetto al caso in cui si utilizzi un pull-up di tipo resistivo. Tuttavia, tale potenza diminuisce all'aumentare della frequenza del segnale d'uscita.

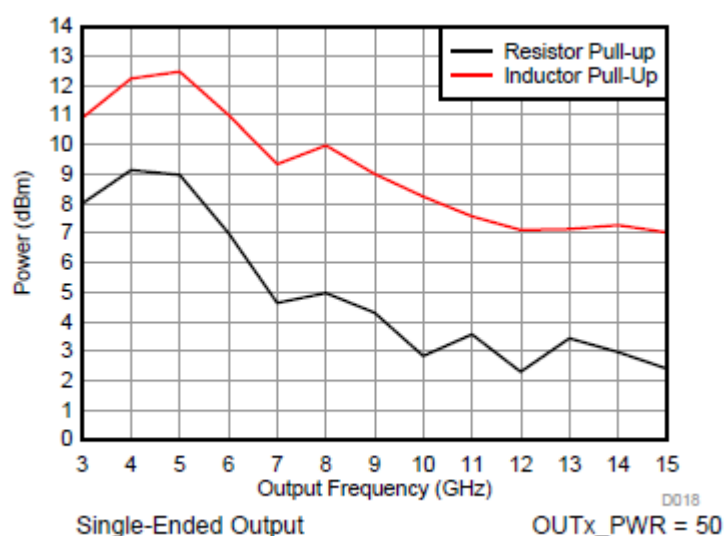


Figura 53 Output Power vs Pull-up

In Figura 54 è invece mostrata l'evoluzione della potenza d'uscita in funzione della frequenza tenendo conto di tre differenti valori di temperatura. Da notare come, man mano che la temperatura cresce, il trend della potenza d'uscita assume valori sempre più negativi.

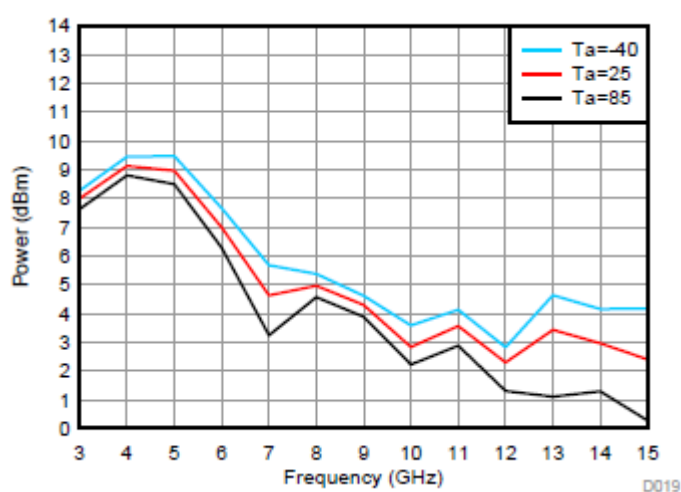


Figura 54 Output Power vs Temperature

3.1.17 Sincronizzazione della fase

Il pin SYNC consente di sincronizzare l'LMX2594 in modo tale che il ritardo dal fronte di salita del segnale OSCin al segnale d'uscita sia deterministico. Inizialmente i dispositivi sono agganciati all'ingresso, ma non sincronizzati. L'utente invia un impulso di sincronizzazione che viene ripristinato al successivo fronte di salita dell'impulso OSCin, come mostrato in Figura 55. Dopo un certo tempo, t_1 , la relazione di fase da OSCin a f_{OUT} sarà deterministica. Questo tempo è dominato dalla somma del tempo di calibrazione del VCO, del tempo di impostazione analogica del loop PLL e del MASH_RST_CNT se utilizzato in modalità frazionaria.

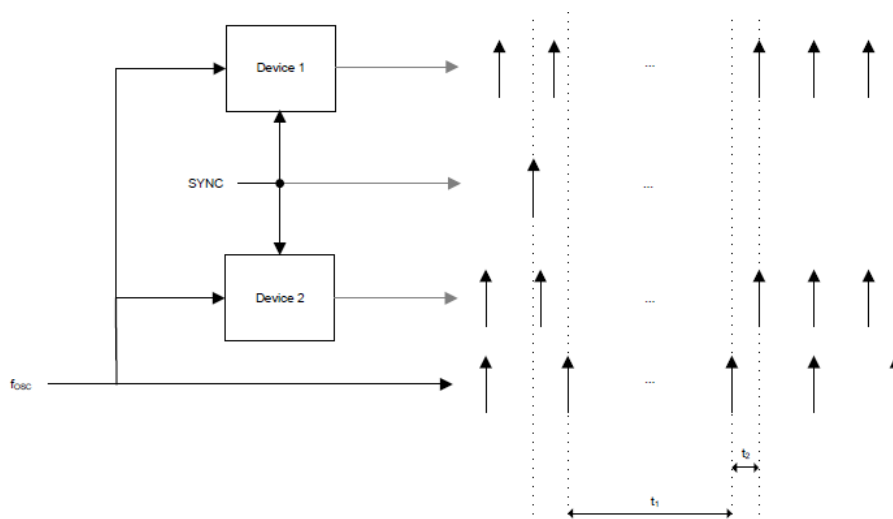


Figura 55 Dispositivi sincronizzati con il segnale OSCin

3.1.18 Funzione Rampa

L'LMX2594 ha la possibilità di generare forme d'onda di tipo rampa utilizzando la modalità manuale o automatica. In modalità manuale l'utente definisce un passo e utilizza i pin RampClk e RampDir per creare la rampa. In modalità automatica, invece, vengono impostati i valori minimo e massimo di frequenza assieme alla durata che deve avere il segnale. Inoltre si può scegliere se generare un segnale a dente di sega piuttosto che uno triangolare.

Ramp	Actual Start Frequency (MHz)	Desired End Frequency (MHz)	RST	Desired Duration (us)	Dly	Next Ramp	Actual End Frequency (MHz)	RAMPx_LEN	Actual Length With VCO Calibration (us)
RAMP0	8993.2203389	9010	☒	1000	☒	RAMP0	9009.9998597	1695	1000.0499
RAMP1	9009.9998597	14000	☐	100	☐	RAMP0	14000.0000113	339	9900.0049

Burst Ramping Mode		
☐ RAMP_BURST_EN	Ramp Count 0	Next Ramp Trigger Ramp Transition

Figura 56 Automatic ramping mode

Tuttavia, esistono dei vincoli sulla frequenza del Phase Detector che devono essere rispettati. In particolare, deve valere la seguente disequazione:

$$f_{osc} / 2^{CAL_CLK_DIV} \leq f_{PD} \leq 125 \text{ MHz} \quad \text{Eq. (48)}$$

La frequenza minima del rivelatore di fase durante la generazione della rampa non può essere inferiore alla frequenza di clock della macchina a stati; frequenza che corrisponde con il termine sul lato sinistro della disuguaglianza Eq. (49). Invece, per quanto riguarda la frequenza massima è consigliabile che essa sia inferiore o uguale a 125 MHz, altrimenti, se la frequenza del rivelatore di fase è troppo elevata può causare distorsioni nel segnale rampa. Per forme d'onda NON calibrate, lo slew-rate della rampa deve essere mantenuto ad un valore inferiore a 250 kHz/μs. I tempi di calibrazione tipici per un segnale a dente di sega sono dell'ordine di 25 μs.

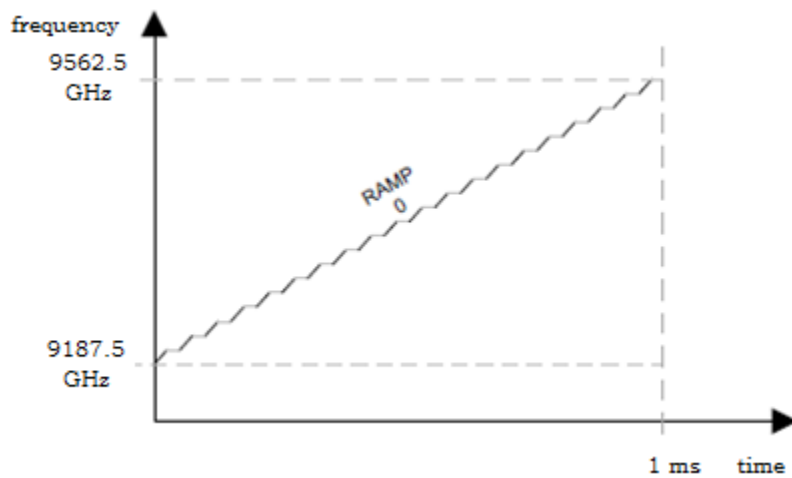


Figura 57 Esempio di forma d'onda a dente di sega

La forma d'onda raffigurata in Figura 57, è stata analizzata utilizzando un analizzatore di spettro Agilent E4446A. Si può notare in Figura 58, come nella banda [9187.5-9562.5] MHz il segnale è rappresentato da uno spettro a righe continuo mentre all'esterno della banda vi sono delle componenti spettrali (ovvero delle spurie) accompagnate da rumore di fondo.

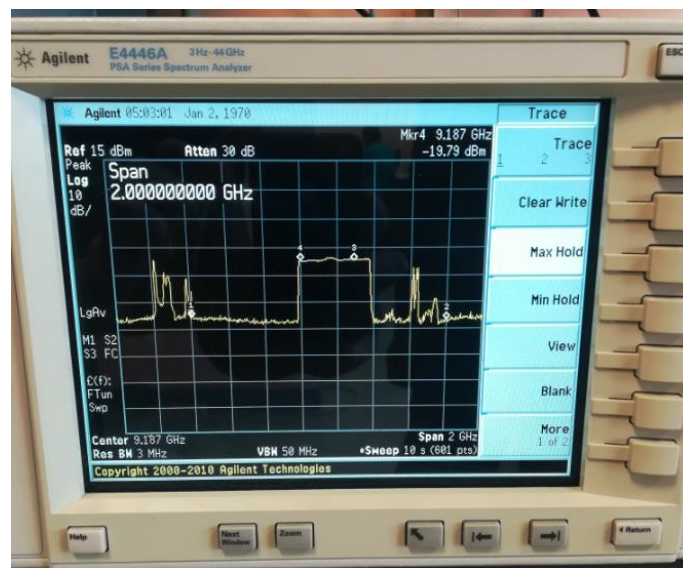


Figura 58 Segnale rampa analizzato mediante analizzatore di spettro Agilent E4446A

3.1.19 SYSREF

Il circuito LXM2594 è in grado di generare un segnale di uscita SYSREF. Esso è sincronizzato con l'uscita f_{OUT} con un ritardo programmabile impostando il bit inerente al comando VCO_PHASE_SYNC a 1. Tale segnale può essere: un singolo impulso, una serie di impulsi o un flusso continuo di impulsi.

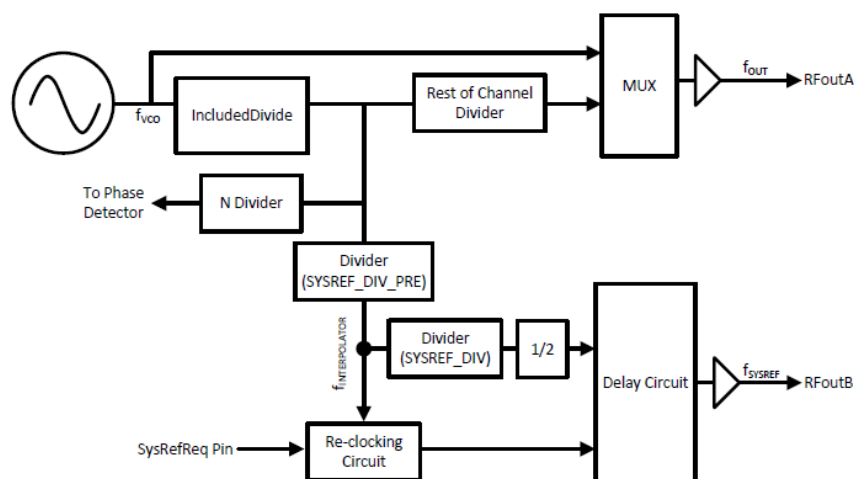


Figura 59 SYSREF Setup

3.1.20 Programming

L'LMX2594 è programmato utilizzando registri a scorrimento a 24 bit. Il registro a scorrimento è costituito da un bit R /W (MSB), seguito da un campo indirizzo a 7 bit e da un campo dati a 16 bit. Per il bit R/W: 0 è per la scrittura e 1 per la lettura. Il campo dell'indirizzo ADDRESS [6: 0] viene utilizzato per decodificare l'indirizzo del registro interno. I restanti 16 bit formano il campo dati DATA [15: 0]. Mentre il CSB (*Chip Select Bar*) è basso, i dati seriali vengono trasferiti nel registro a scorrimento sul fronte di salita del clock (i dati sono programmati per primi in MSB). Quando il CSB diventa alto, i dati vengono trasferiti dal campo dati al banco dei registri selezionato, come mostrato in Figura 60.

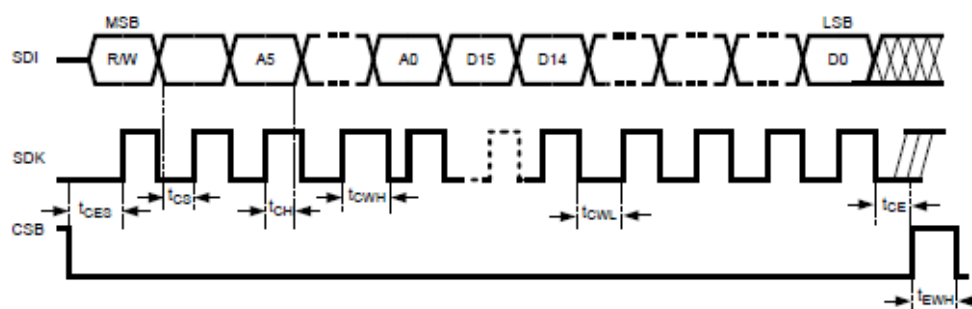


Figura 60 Diagramma di timing ingresso dati seriale

I registri devono essere programmati a partire dall'MSB fino all'LSB.

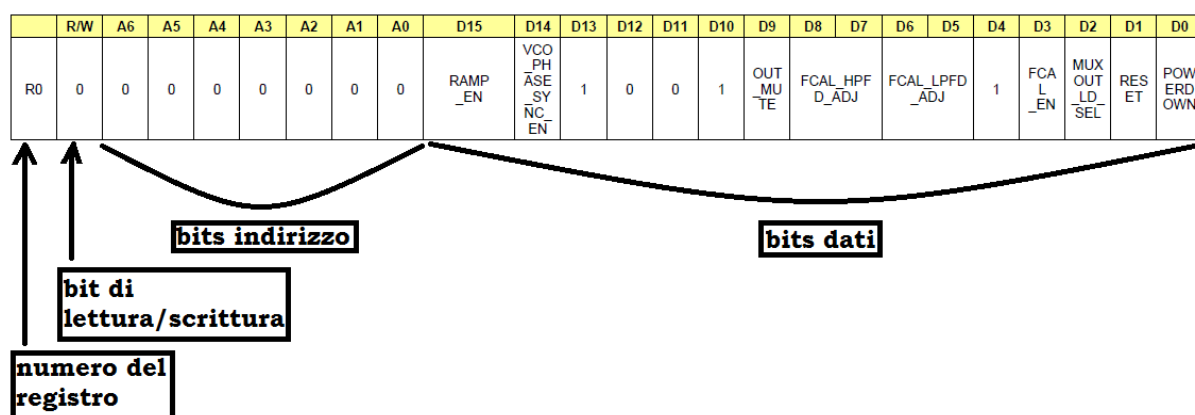


Figura 61 Registro a scorrimento a 24 bit

3.1.21 Reference PRO

Per poter programmare il sintetizzatore LMX2594 è necessario che esso sia collegato alla scheda LMK61PD0A2 (Reference PRO) tramite un'interfaccia SPI a 10 pin. La Reference Pro, a sua volta, è connessa al PC tramite un cavo USB, il quale, oltre ad alimentarla, fornisce le istruzioni necessarie per poter generare i segnali di interesse mediante l'utilizzo del programma TICS GUI. Questa, inoltre, tramite le porte OUTN e OUTP, è in grado di fornire al sintetizzatore dei segnali di riferimento generati da un oscillatore interno nel range 62,5-312,5 MHz nelle modalità Single-Ended e Differenziale.

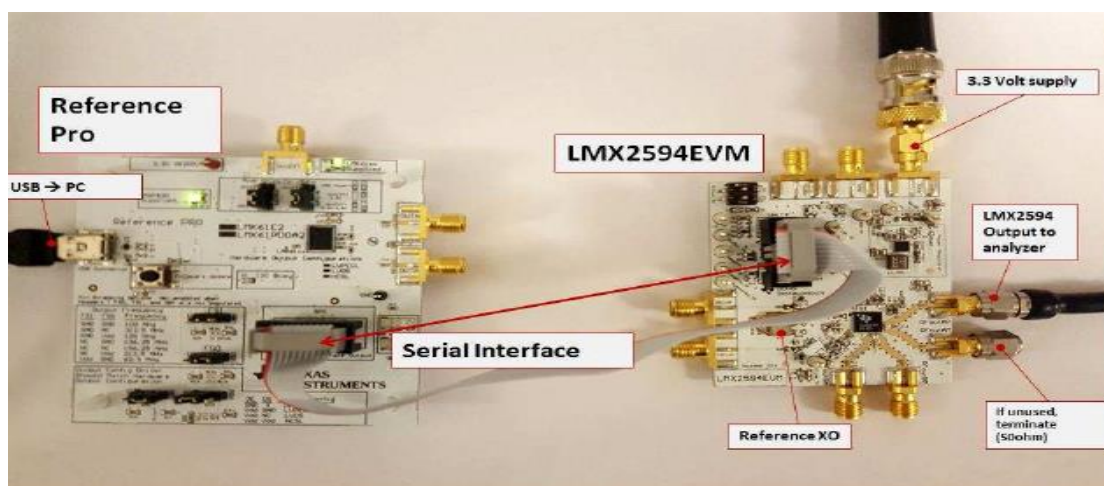


Figura 62 Interconnessione tra le schede LMK61E2 e LMX2594

3.2 Sintetizzatore ADF4159

3.2.1 Introduzione

[22] L'ADF4159 è un sintetizzatore di frequenza N-frazionario in grado di produrre un segnale d'uscita fino a 13 GHz e di generare forme d'onda sia veloci che lente con una risoluzione in frequenza al di sotto dell'Hertz. Esso è costituito da un rilevatore di fase-frequenza (PFD) digitale a basso rumore, da una pompa di carica di precisione e da un divisore programmabile. L'interpolatore frazionario, basato sull'utilizzo di un modulatore Σ - Δ , consente di effettuare divisioni N-frazionarie programmabili. I registri INT e FRAC definiscono il divisore N complessivo come segue

$$N = INT + \frac{FRAC}{2^{25}} \quad \text{Eq. (49)}$$

Il sistema in oggetto, inoltre, può essere utilizzato per implementare le modulazioni FSK (Frequency-Shift Keying) e PSK (Phase-Shift Keying). Sono anche disponibili modalità di sweep in frequenza utili per generare diversi tipi di segnali, come ad esempio forme d'onda a dente di sega e triangolari, usati in applicazioni Radar FMCW. Il controllo dei registri su chip avviene tramite una semplice interfaccia a 3 fili. Il circuito funziona con un'alimentazione analogica compresa tra 2,7 V e 3,45 V e una digitale compresa tra 1,62 V e 1,98 V. Il diagramma a blocchi dell'ADF4159 è rappresentato in Figura 63.

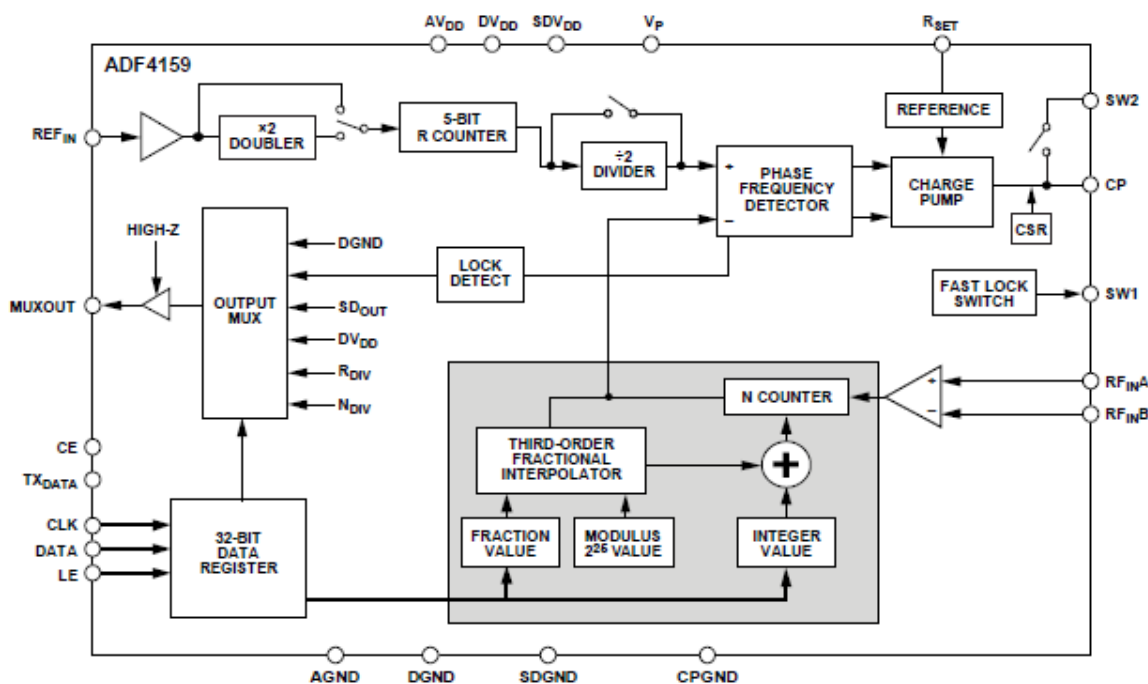


Figura 63 Diagramma a blocchi ADF4159

In Figura 64 è invece mostrata la configurazione dei pin dell'integrato.

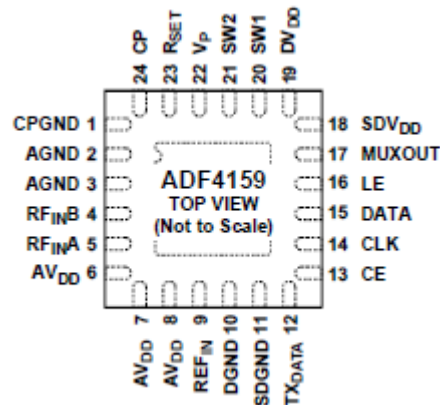


Figura 64 Configurazione dei pin ADF4159

3.2.2 Stadio d'ingresso

La Figura 65 mostra lo stadio di ingresso RF. Esso è seguito da un amplificatore di limitazione a due stadi per generare i livelli di clock in modalità CML (Current-Mode Logic) richiesti dal prescaler.

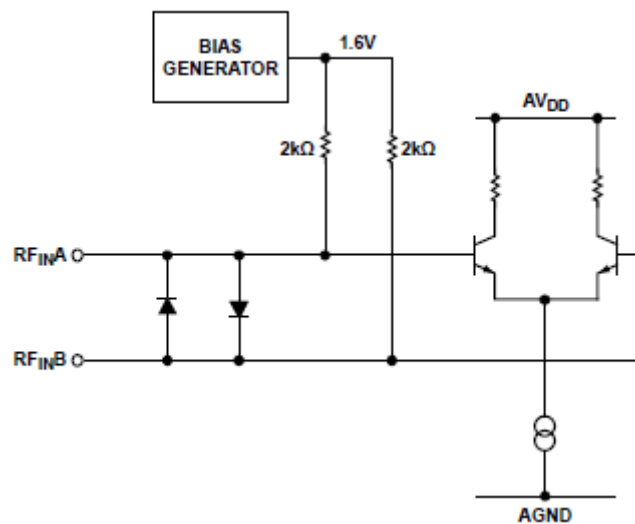


Figura 65 Stadio di ingresso RF

3.2.3 Divisore RF INT

Il divisore RF INT CMOS consente di produrre fattori di divisione nel contatore di retroazione del PLL da 23 fino a 4095.

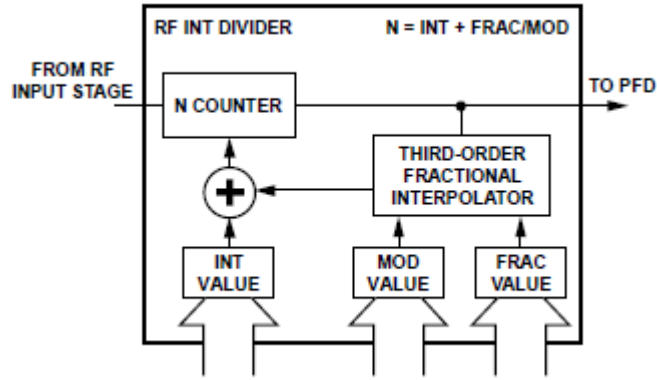


Figura 66 Divisore RF INT

L'ADF4159 presenta un modulo fisso a 25 bit che consente alle frequenze dei segnali d'uscita di essere distanziate con una risoluzione di

$$f_{RES} = \frac{f_{PFD}}{2^{25}} \quad \text{Eq. (50)}$$

dove f_{PFD} è la frequenza del rivelatore di fase- frequenza (PFD). Ad esempio, con una frequenza di 100 MHz in uscita dal PFD è possibile ottenere passi da 2.98 Hz. A causa dell'architettura del modulatore Σ - Δ in uscita dal VCO, è presente un offset fisso più una quantità pari a $\frac{f_{PFD}}{2^{26}}$. L'equazione della frequenza prodotta dal VCO RF_{OUT} è data da

$$RF_{OUT} = \left(INT + \left(\frac{FRAC}{2^{25}} \right) \right) \times f_{PDF} \quad \text{Eq. (51)}$$

dove:

RF_{OUT} è la frequenza del segnale in uscita dal VCO; INT è un divisore intero preimpostato dal contatore a 12 bit e può variare da 23 a 4095; mentre $FRAC$ è un numero che varia da 0 a $(2^{25} - 1)$. L'espressione della frequenza del rivelatore di fase-frequenza (PFD) è invece mostrata di seguito

$$f_{PFD} = REF_{IN} \times \left[\frac{(1 + D)}{(R \times (1 + T))} \right] \quad \text{Eq. (52)}$$

dove:

REF_{IN} indica la frequenza d'ingresso di riferimento; D è il bit inerente al duplicatore e può valere 0 oppure 1; R è il divisore del contatore binario di riferimento programmabile a 5 bit e varia tra 1 e 32; infine T può essere 0 o 1 e dipende da REF_{IN} .

3.2.4 PFD e Pompa di carica

Gli ingressi del PFD provengono dal contatore R e dal contatore N. Il PFD produce un'uscita proporzionale alla differenza di fase e di frequenza tra di essi. La Figura 67 mostra uno

schema semplificato del PFD. Quest'ultimo include un elemento di ritardo fisso, tipicamente di 1 ns, che imposta la larghezza dell'impulso 'antibacklash'; questo impulso garantisce che non vi sia alcuna zona morta nella funzione di trasferimento PFD.

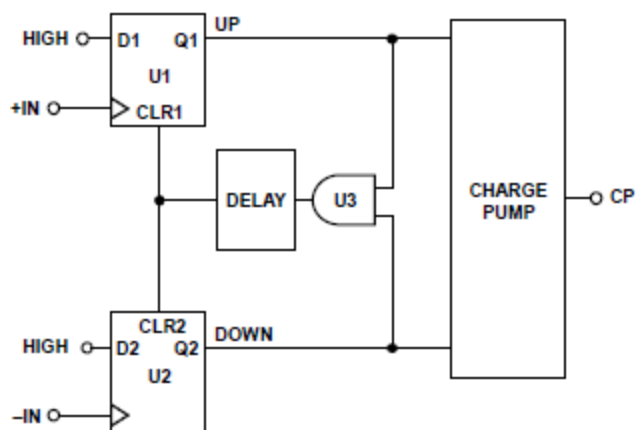


Figura 67 Schema a blocchi del PFD semplificato

3.2.5 Multiplexer d'uscita

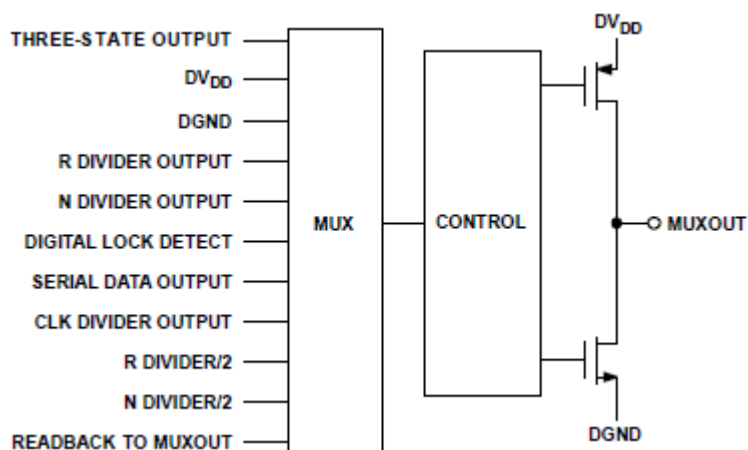


Figura 68 MUX d'uscita

L'uscita multiplexer dell'ADF4159 consente all'utente di accedere a vari punti interni al chip. Lo stato di MUXOUT è controllato dai bit M4, M3, M2 e M1 nel registro R0, come mostrato in Figura 69.

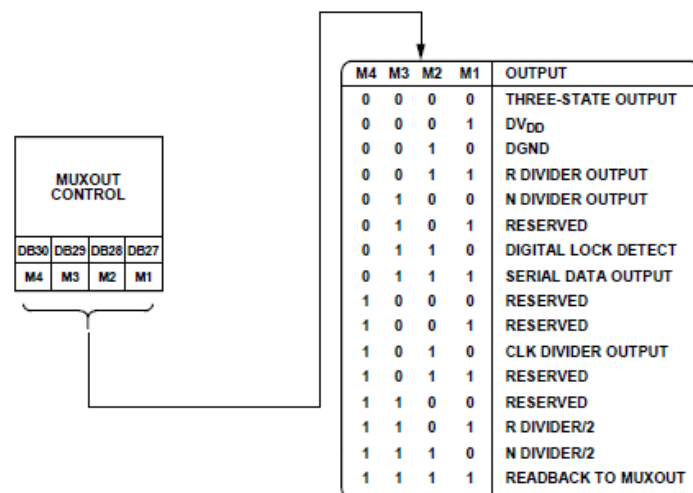


Figura 69 Bits di controllo del MUX

3.2.6 Registro a scorrimento d'ingresso

La sezione digitale dell'ADF4159 include un contatore R a 5 bit, un contatore INT a 12 bit e un contatore FRAC a 25 bit. I dati nel registro a scorrimento a 32 bit sono sincronizzati su ciascun fronte di salita di CLK a partire dal bit MSB. I dati vengono trasferiti dal registro a scorrimento d'ingresso ad uno degli otto latch durante il fronte di salita del segnale LE.

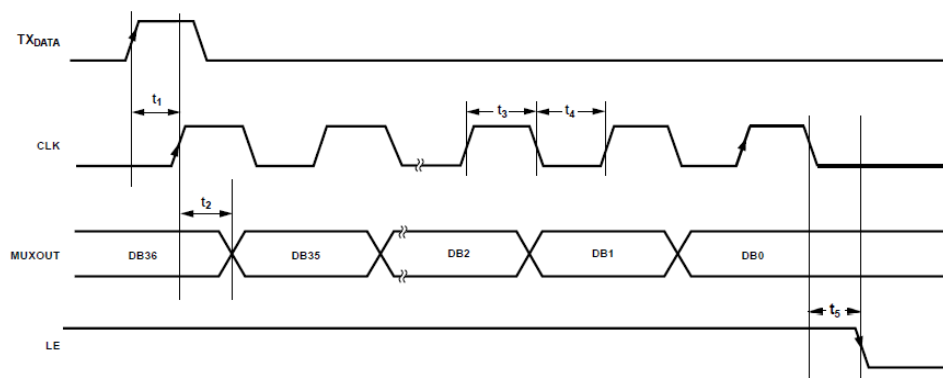


Figura 70 Diagramma di timing inerente alla trasmissione dei dati dallo shift-register

Il latch di destinazione è determinato dallo stato dei tre bit di controllo (C3, C2 e C1) nel registro a scorrimento. Come mostrato in Figura 71, i bit di controllo sono i tre LSB (DB2, DB1 e DB0). Di seguito è mostrata la tabella di verità per i bit in questione.



Figura 71 Bits di controllo

Control Bits			Register
C3	C2	C1	
0	0	0	R0
0	0	1	R1
0	1	0	R2
0	1	1	R3
1	0	0	R4
1	0	1	R5
1	1	0	R6
1	1	1	R7

Tabella 6 Tabella di verità per i bit di controllo C1, C2 e C3

3.2.7 Mappa dei registri dell'ADF4159

FRAC/INT REGISTER (R0)																																
RAMP ON	MUXOUT CONTROL					12-BIT INTEGER VALUE (INT)												12-BIT MSB FRACTIONAL VALUE (FRAC)												CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
R1	M4	M3	M2	M1	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	F25	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	C3(0)	C2(0)	C1(0)	

LSB FRAC REGISTER (R1)

RESERVED	PHASE ADJUST	13-BIT LSB FRACTIONAL VALUE (FRAC)															12-BIT PHASE VALUE												CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	P1	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C3(0)	C2(0)	C1(1)

R DIVIDER REGISTER (R2)

RESERVED	CSR	CP CURRENT SETTING					RESERVED	PRESCALER	RDM2 DBB	REFERENCE DOUBLER DBB	5-BIT R COUNTER						12-BIT CLK ₁ DIVIDER VALUE												CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	CR1	CP14	CP13	CP12	CP11	0	P1	U2	U1	R5	R4	R3	R2	R1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(0)	C2(1)	C1(0)

FUNCTION REGISTER (R3)

RESERVED						NEG BLEED CURRENT		NEG BLEED ENABLE	RESERVED				RESERVED	LOL	N SEL	SD RESET	RESERVED	RAMP MODE		PSK	FSK	LDP	PD POLARITY	POWER-DOWN	CP THREE-STATE COUNTER RESET	CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	NB3	NB2	NB1	0	0	0	0	1	L1	NS1	U12	0	0	RM2	RM1	0	0	U11	U10	U9	U8	U7	C3(0)	C2(1)	C1(1)

Figura 72 Registri R0,...,R3

CLOCK REGISTER (R4)																																		
LE SEL		Σ-A MODULATOR MODE					RAMP STATUS					CLK DIV MODE		12-BIT CLK ₂ DIVIDER VALUE														CLK DIV SEL	RESERVED			CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
LS1	S5	S4	S3	S2	S1	R5	R4	R3	R2	R1	C2	C1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	C51	0	0	0	C3(1)	C2(0)	C1(0)			

DEVIATION REGISTER (R5)

RESERVED		TX _{DATA} INVERT	TX RAMP CLK	PARABOLIC RAMP	INTERRUPT		FSK RAMP	DUAL RAMP	DEV SEL	4-BIT DEVIATION OFFSET WORD				16-BIT DEVIATION WORD																CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	TR1	0	I2	I1	0	0	DS1	DO4	DO3	DO2	DO1	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(1)	C2(0)	C1(1)	

STEP REGISTER (R6)

RESERVED									STEP SEL	20-BIT STEP WORD																			CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	SSE1	S20	S19	S18	S17	S16	S15	S14	S13	S12	S11	S10	S9	S8	S7	S6	S5	S4	S3	S2	S1	C3(1)	C2(1)	C1(0)

DELAY REGISTER (R7)

RESERVED									TX _{DATA} TRIGGER DELAY	TRI DELAY	SING FULL TRI	TX _{DATA} TRIGGER	FAST RAMP	RAMP DELAY FL	RAMP DELAY	DEL CLK SEL	DEL START EN	12-BIT DELAY START WORD												CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	TD1	ST1	TR1	FR1	0	RD1	DC1	DSE1	DS12	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	C3(1)	C2(1)	C1(1)	

Figura 73 Registri R4,.....,R7

3.2.8 Modalità di programmazione dei registri

La Tabella 6 e le Figura 72 e 73, mostrano come sono impostate le modalità di programmazione nell'ADF4159. Le seguenti impostazioni sono a doppio buffer:

- valore frazionario LSB;
- valore di fase;
- corrente della pompa di carica;
- divisione/duplicazione del segnale di riferimento;
- valore del contatore R.

Prima di utilizzare un nuovo valore per qualsiasi impostazione con doppio buffer, devono verificarsi i seguenti due eventi:

1. Il nuovo valore viene memorizzato nel dispositivo e scritto nel registro appropriato;
2. Viene eseguita una nuova scrittura sul registro 0 (R0).

Ad esempio, l'aggiornamento del valore frazionario comporta una scrittura sui 13 bit LSB in R1 e sui 12 bit MSB in R0. R1 deve essere scritto per primo, seguito poi dalla scrittura su R0.

Il cambio di frequenza inizia dopo la scrittura su R0. Il doppio buffering assicura che i bit scritti su R1 non abbiano effetto fino a dopo la scrittura su R0.

3.2.9 Duplicatore di riferimento

Il duplicatore di riferimento consente di raddoppiare il segnale di riferimento in ingresso. Ciò risulta utile per aumentare la frequenza di confronto del PFD. Raddoppiare la frequenza PFD di solito consente di migliorare le prestazioni del rumore del sistema di 3 dB. È importante notare che il PFD non può essere utilizzato al di sopra di 110 MHz a causa di una limitazione della velocità del circuito Σ - Δ del divisore N.

3.2.10 Cycle Slip

Nelle applicazioni che consentono un rapido aggancio di fase è necessaria un'ampia larghezza di banda del filtro d'anello per l'acquisizione della frequenza, con conseguente aumento del rumore di fase e riduzione dell'attenuazione delle spurie. Utilizzando il Cycle Slip Reduction i problemi appena descritti cessano di esistere, pur continuando ad avere tempi di aggancio rapidi.

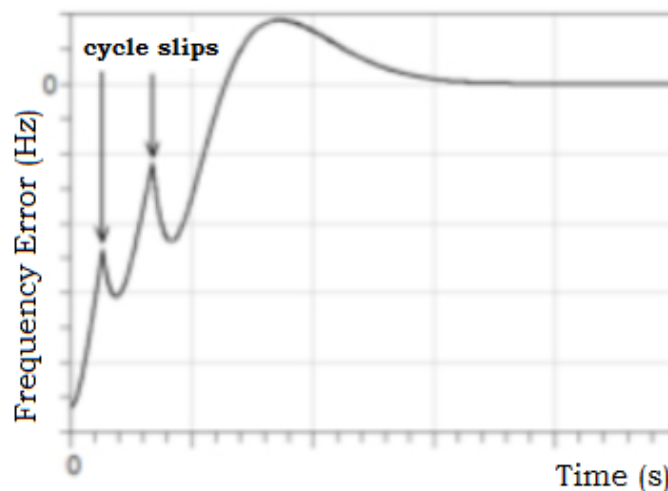


Figura 74 Cycle slips

Gli slittamenti di ciclo (Cycle Slips) si verificano nei sintetizzatori interi/frazionari quando la larghezza di banda dell'anello è stretta rispetto alla frequenza del PFD. L'errore di fase sugli ingressi PFD si accumula troppo velocemente da non poter essere corretto dal PLL e la pompa di carica fornisce temporaneamente corrente nella direzione sbagliata, rallentando drasticamente il tempo di aggancio. L'ADF4159 contiene un circuito per la riduzione del Cycle Slip al fine di estendere l'intervallo lineare del PFD, consentendo tempi di aggancio più rapidi senza apportare modifiche al filtro d'anello. Quando il sistema rileva che sta per verificarsi un rallentamento del ciclo, attiva una cella che è sostanzialmente rappresentata da una pompa di carica aggiuntiva. Questa è in grado di emettere o rimuovere una corrente costante al filtro d'anello a seconda che la tensione in ingresso al VCO debba aumentare o diminuire per acquisire la nuova frequenza. L'effetto è che l'intervallo lineare del PFD aumenta. La stabilità viene mantenuta perché la corrente è costante e non impulsiva. Se l'errore di fase aumenta nuovamente fino ad un punto in cui è probabile un altro Cycle Slip, l'ADF4159 attiva un'altra cella. Questo processo va avanti fino a quando il circuito rileva che la frequenza del VCO ha superato quella desiderata. Il sistema, dunque, inizia a spegnere le celle di riserva una alla volta fino a quando non vengono tutte disattivate e la frequenza

regolata. È possibile abilitare fino a sette celle di pompaggio supplementari. Nella maggior parte delle applicazioni questo numero è sufficiente per eliminare del tutto gli effetti provocati dal Cycle Slip, offrendo così tempi di aggancio molto più rapidi. Si noti che la funzione di riduzione del Cycle Slip può essere attivata solo se la polarità del rilevatore di fase è positiva.

3.2.11 Tipi di forme d'onda generate

L'ADF4159 è in grado di generare cinque tipi di forme d'onda nel dominio della frequenza:

- segnale a singola rampa;
- segnale triangolare singolo;
- segnale singolo a dente di sega;
- segnale rampa a dente di sega continua;
- segnale rampa triangolare continua.

Le Figure 75-79 mostrano i vari tipi di forme d'onda disponibili.

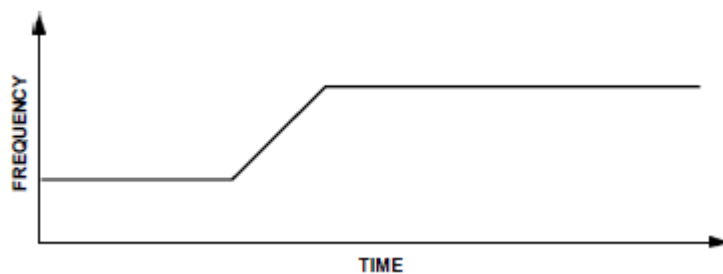


Figura 75 Segnale a singola rampa

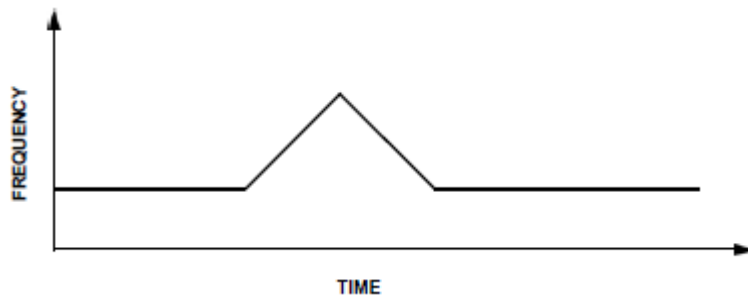


Figura 76 Segnale triangolare singolo

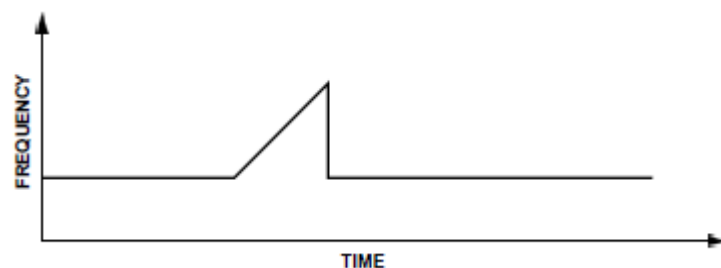


Figura 77 Segnale a dente di sega singolo

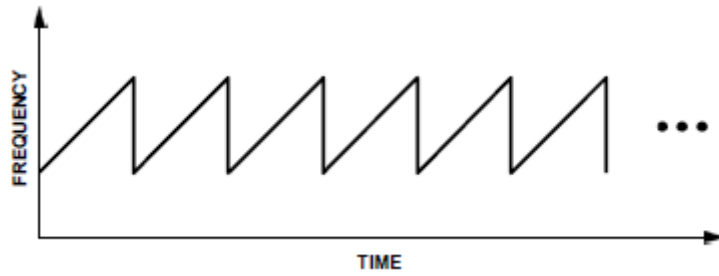


Figura 78 Segnale rampa a dente di sega continua

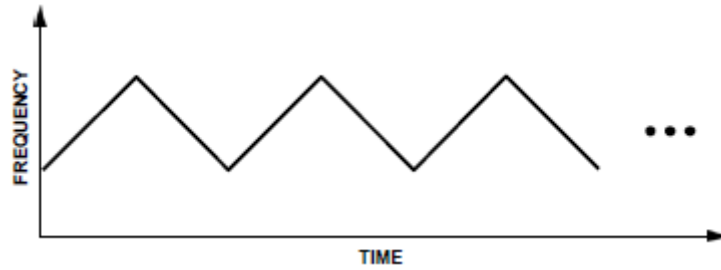


Figura 79 Segnale rampa triangolare continua

3.2.12 Deviazioni e Timing della forma d'onda

La Figura 80 mostra una versione di segnale rampa.

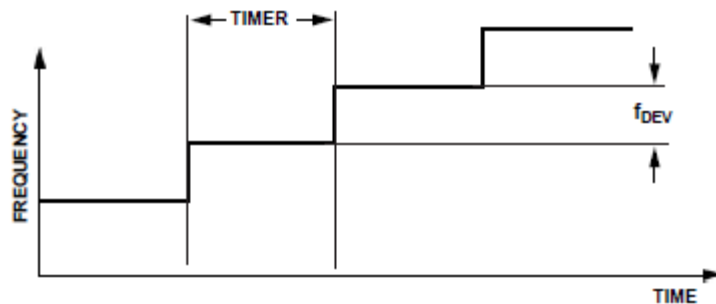


Figura 80 Timing della forma d'onda

I parametri chiave che definiscono una rampa sono:

- Deviazione di frequenza;
- Intervallo di Timeout;
- Numero di steps.

La **deviazione di frequenza** per ciascun salto di frequenza è data da

$$f_{DEV} = (f_{PFD}/2^{25}) \times (DEV \times 2^{DEV_OFFSET}) \quad \text{Eq. (53)}$$

dove:

f_{DEV} è la frequenza del PFD, e DEV assieme a DEV_OFFSET sono, rispettivamente, parole a 16 bit (Bits DB[18:3]) e 4 bit (Bits DB[22:19]) che si settano nel registro R5.

Il **tempo** tra ogni salto di frequenza vale

$$Timer = CLK_1 \times CLK_2 \times (1/f_{PFD}) \quad \text{Eq. (54)}$$

dove CLK_1 e CLK_2 sono i valori di clock (>1) a 12 bit da settare, rispettivamente, nei registri R2 e R4, mentre f_{PFD} è la frequenza del PFD.

Un valore di **step** a 20 bit (Bits DB [22: 3] nel registro R6) definisce il numero di salti di frequenza (frequency hops). Il valore INT non può essere incrementato di oltre $2^8 = 256$ rispetto al suo valore iniziale.

Segnale a singola rampa

La forma d'onda più semplice è rappresentata dal segnale a singola rampa; tutte le altre sono variazioni di quest'ultima. In tal caso l'ADF4159 è agganciato sulla frequenza definita nel registro R0. Quando si abilita la modalità rampa, il sistema incrementa il valore del divisore N mediante $DEV \times 2^{DEV_OFFSET}$, provocando uno spostamento di frequenza su ciascun intervallo di tempo (Timer). Questo spostamento viene ripetuto per un numero di volte pari al numero di steps. L'ADF4159 conserva quindi il valore finale del divisore N.

Segnale triangolare singolo

Questa tipologia di segnale è simile alla precedente. Tuttavia, quando i passaggi sono completati l'ADF4159 inizia a decrementare il valore del divisore N per $DEV \times 2^{DEV_OFFSET}$ su ciascun intervallo di timeout.

Segnale singolo a dente di sega

In questo caso si eseguono i passaggi visti nel caso del segnale a singola rampa con la differenza che il valore del divisore N viene riportato al suo valore iniziale appena si presenta l'intervallo di timeout successivo. L'ADF4159 mantiene anche in questo caso il valore del divisore N.

Segnale rampa a dente di sega continua

Questo segnale è una versione ripetuta di quello singolo a dente di sega. La forma d'onda viene ripetuta fino a quando la rampa non viene disabilitata.

Segnale rampa triangolare continua

Anche in questo caso vengono reiterati gli steps visti per il segnale triangolare singolo fino a quando la rampa non viene disabilitata.

Oltre alle forme d'onda sopra citate, l'ADF4159 è in grado di generare altri tipi di segnali.

Segnale a rampe doppie con pendenze differenti

Il chip può essere configurato per produrre due rampe con diverse impostazioni di passo e deviazione; consente inoltre di riprogrammare la velocità di una nuova rampa mentre una è già in esecuzione.

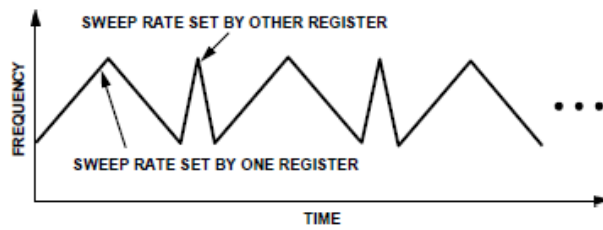


Figura 81 Rampa doppia con due differenti sweep

Modalità rampa con segnale FSK sovrapposto

Negli approcci tradizionali i radar FMCW utilizzano la modulazione di frequenza lineare (LFM) o la modulazione FSK. Utilizzate separatamente, queste modulazioni introducono ambiguità tra la distanza misurata e la velocità, specialmente nelle situazioni multi-target. Per superare questo problema e abilitare il rilevamento multi-target non ambiguo (distanza e velocità), si utilizza un segnale dato dalla combinazione di una LMF e di una FSK.

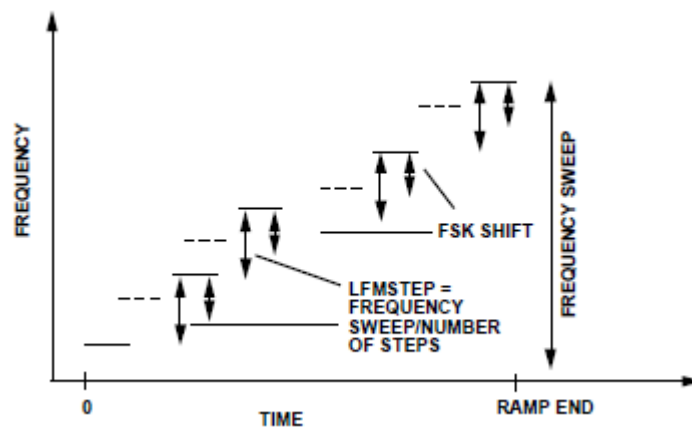


Figura 82 Forme d'onda FSK e LFM combinate

La board può essere configurata per aggiungere un ritardo tra due creste consecutive nei segnali visti precedentemente, come mostrato nelle Figure 83, 84, 85 e 86.

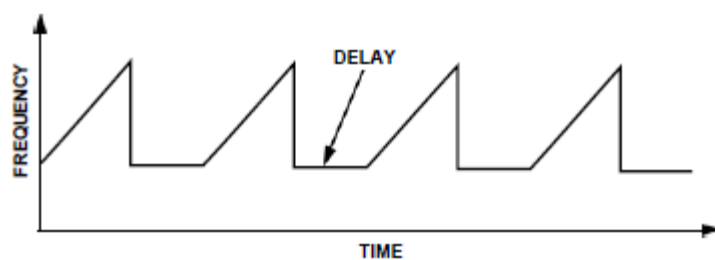


Figura 83 Ritardo tra rampe in modalità dente di sega

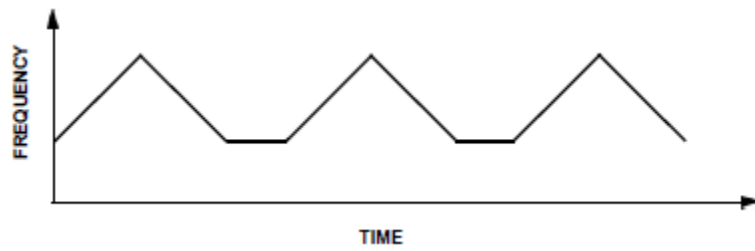


Figura 84 Ritardo tra rampe in modalità triangolare

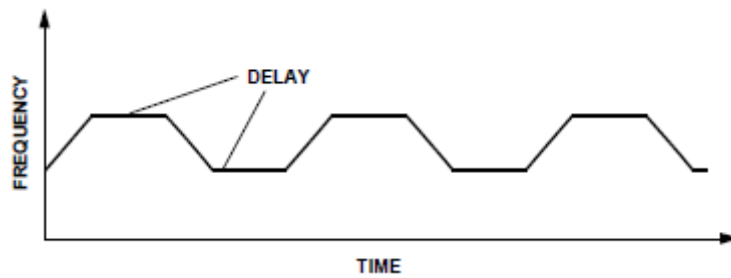


Figura 85 Ritardo tra rampe in modalità triangolare con ampiezza saturata

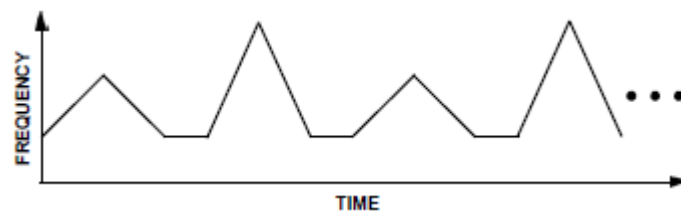


Figura 86 Rampa con modalità a doppia velocità e ritardo associato

E' inoltre possibile generare un segnale di tipo parabolico come quello mostrato in Figura 87. La frequenza d'uscita è generata secondo la seguente equazione:

$$f_{OUT}(n + 1) = f_{OUT}(n) + n \times f_{DEV} \quad \text{Eq. (55)}$$

dove f_{OUT} è la frequenza d'uscita, n il numero di steps e f_{DEV} il numero di deviazioni.

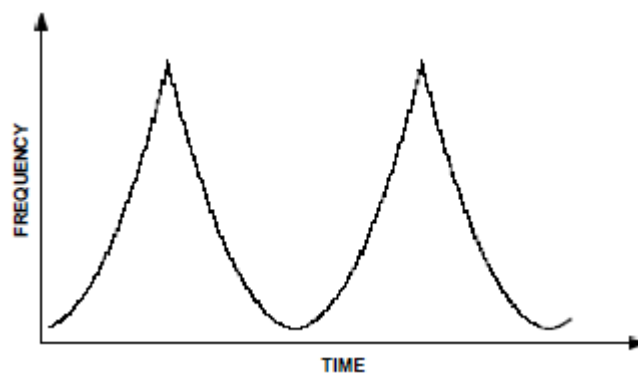


Figura 87 Rampa parabolica

Topologia del filtro d'anello ad aggancio rapido

Per utilizzare la modalità ad aggancio rapido, è necessaria una connessione aggiuntiva dal PLL al filtro d'anello. In particolare, in questo caso la resistenza di smorzamento nel filtro d'anello deve essere ridotta a $\frac{1}{4}$ del suo valore. Questa riduzione è necessaria perché così facendo la corrente della pompa di carica viene aumentata di un fattore 16, ma la stabilità deve essere garantita. Dunque, per migliorare ulteriormente la stabilità a fronte di una variazione di frequenza il resistore R3 deve essere connesso. Durante la modalità 'fast lock', il pin SW1 è cortocircuitato a massa e il pin SW2 è collegato a CP; ciò è possibile settando in maniera opportuna il registro R4. A tal proposito possono essere utilizzate due differenti topologie:

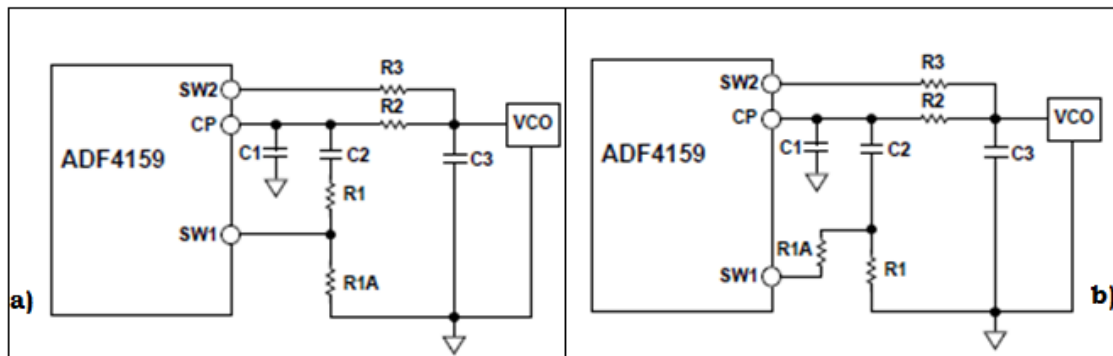


Figura 88 Topologie di Fast Lock Loop Filter

3.2.13 Meccanismo delle spurie

L'interpolatore frazionario è un modulatore Σ - Δ del terzo ordine con un modulo fisso a 25 bit. Esso è sincronizzato con la frequenza di riferimento f_{PFD} , che consente di sintetizzare le frequenze di uscita del PLL con una risoluzione pari a f_{PFD}/CLK_1 . Di seguito sono descritti i vari meccanismi delle spurie presenti nei sintetizzatori N-frazionari e il modo in cui esse influenzano l'ADF4159.

Fractional Spurs

Nella maggior parte dei sintetizzatori frazionari, le spurie frazionarie rappresentano un problema poiché possono sovrapporsi al segnale di uscita del sintetizzatore. Nell'ADF4159 queste spurie non appaiono proprio grazie all'alto valore del modulo fisso, il quale fa sì che lo spettro dell'errore di quantizzazione del modulatore Σ - Δ assomigli ad un rumore a banda larga, diffondendo efficacemente gli impulsi frazionari in rumore.

Integer Boundary Spurs

Le interazioni tra la frequenza del VCO e quella del PFD possono causare la presenza di spurie note come '*Integer Boundary Spurs*'. Quando la differenza tra queste due frequenze non è un intero (che è appunto lo scopo di un sintetizzatore N-frazionario), le bande laterali delle spurie si manifestano sullo spettro del segnale di uscita del VCO con un offset di frequenza che corrisponde con la frequenza di battimento (o frequenza differenza) tra un multiplo intero del PFD e la frequenza del VCO. Le Integer Boundary Spurs prendono questo

nome poiché sono più evidenti sui canali vicini ai multipli interi del PFD, dove il segnale inerente alla frequenza di battimento può trovarsi all'interno della banda del loop; esse vengono attenuate grazie alla presenza del filtro d'anello. Per quanto concerne le spurie di riferimento, invece, queste non rappresentano un problema nei sintetizzatori frazionari poiché l'offset di riferimento è molto al di fuori della larghezza di banda del loop.

3.2.14 Applicazione dell'ADF4159 nei Radar FMCW

La Figura 89 mostra l'applicazione dell'ADF4159 in un sistema FMCW. L'integrato viene utilizzato per generare rampe a dente di sega o triangolari che sono necessarie per il funzionamento di questo tipo di radar. Tradizionalmente, il PLL è guidato direttamente da un sintetizzatore digitale diretto (DDS) per generare questi tipi di forme d'onda richieste in tale applicazione. Grazie al meccanismo di generazione della forma d'onda implementato nell'ADF4159, non è più necessario un DDS; ciò comporta una riduzione dei costi. La soluzione basata sull'utilizzo del PLL per la generazione di rampe FMCW presenta dei vantaggi rispetto ad altri metodi, come ad esempio quello di usare un DAC che guida direttamente il VCO; questo metodo soffre di non linearità del segnale prodotto dal VCO e richiede una compensazione. Il metodo PLL, invece, produce rampe altamente lineari senza necessità di calibrazione.

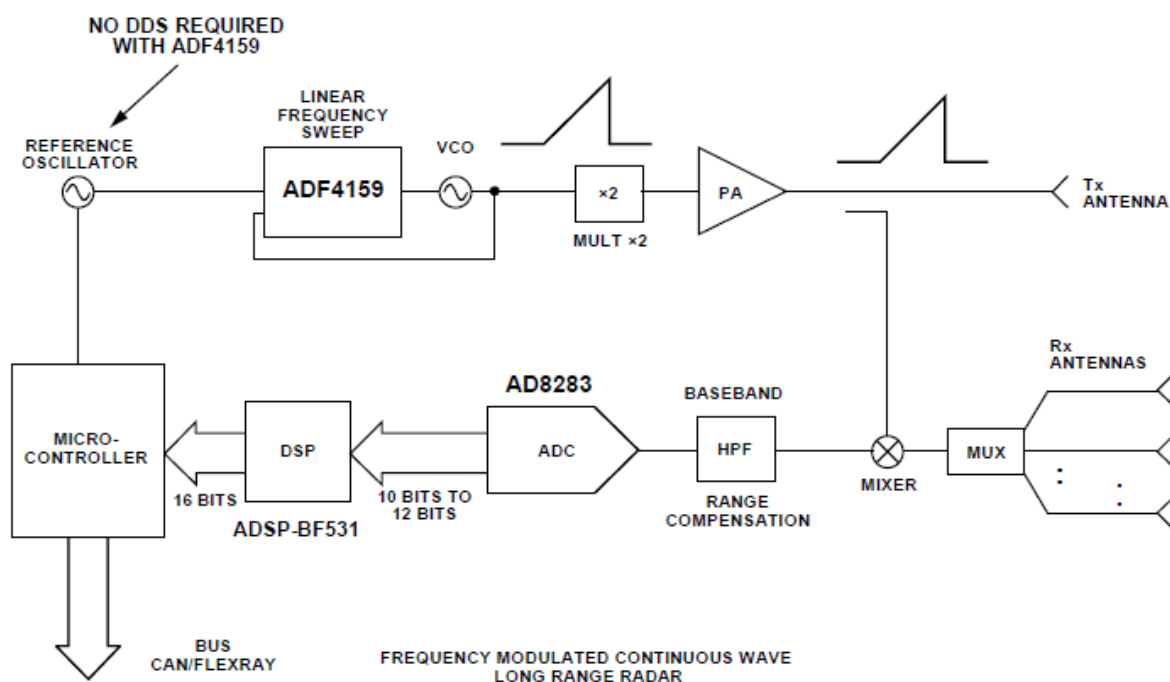


Figura 89 Radar FMCW e ADF4159

3.3 PLLatinum Sim e ADIsimPLL

Attraverso l'utilizzo dei software 'PLLatinum Sim' e 'ADIsimPLL', forniti rispettivamente da Texas Instruments e Analog Devices, è possibile progettare e simulare in maniera dettagliata un sintetizzatore PLL. In particolare, è possibile studiare tutti i principali effetti non lineari che possono influire sulle prestazioni del PLL, inclusi il rumore di fase e le spurie presenti sul segnale d'uscita; per queste ragioni, tali software risultano essere estremamente utili in quanto riescono a imitare in modo molto reale il comportamento dei sistemi sopracitati. In questa sezione vengono analizzate le caratteristiche dei due sintetizzatori a PLL presenti a bordo delle Evaluation Board LMX2594EVM e ADF4159. Nel primo caso si utilizza il software PLLatinumSim mentre nel secondo l'ADIsimPLL. Viene proposto un esempio i cui parametri di progetto sono i seguenti:

- $F_{OUT} = 13 \text{ GHz}$ (singolo segnale);
- $F_{OSC} = 100 \text{ MHz}$;
- $F_{pd} = 100 \text{ MHz}$;
- Corrente della Pompa di Carica = 5.5 mA;
- Loop Bandwidth 250 KHz , $PM = 45^\circ$, Filtro d'anello del 3° ordine.

3.3.1 PLLatinum Sim

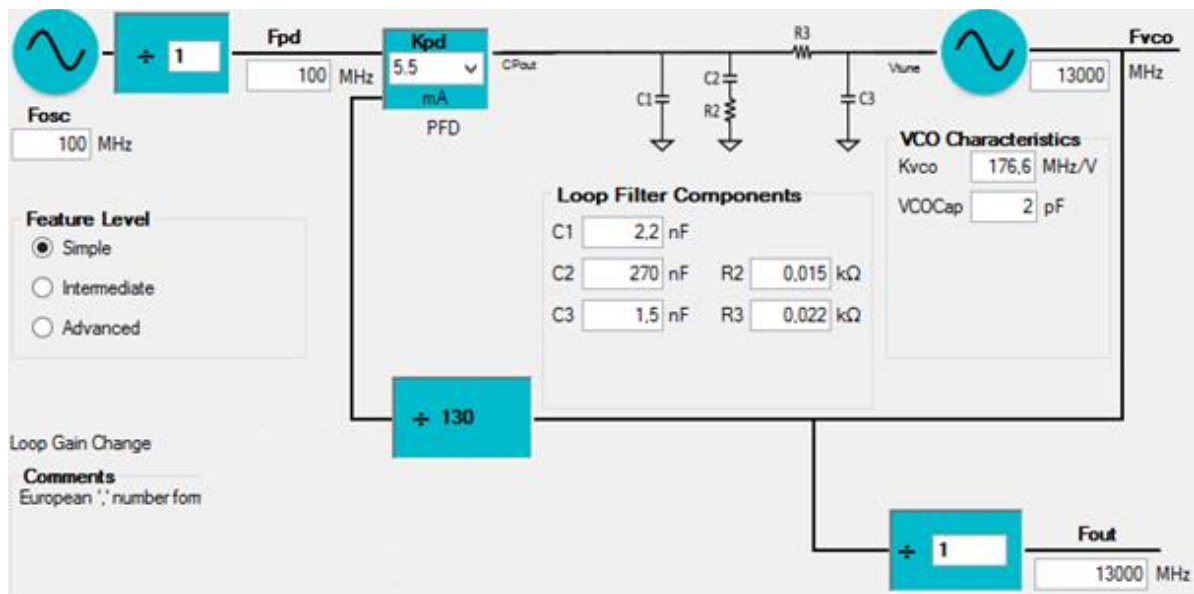


Figura 90 Sintetizzatore PLL su PLLatinum

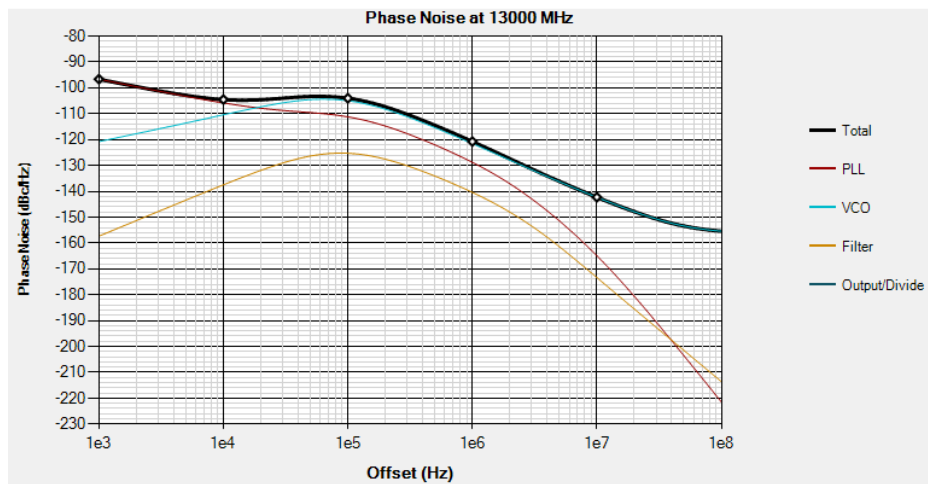


Figura 91 Rumore di fase a 13 GHz

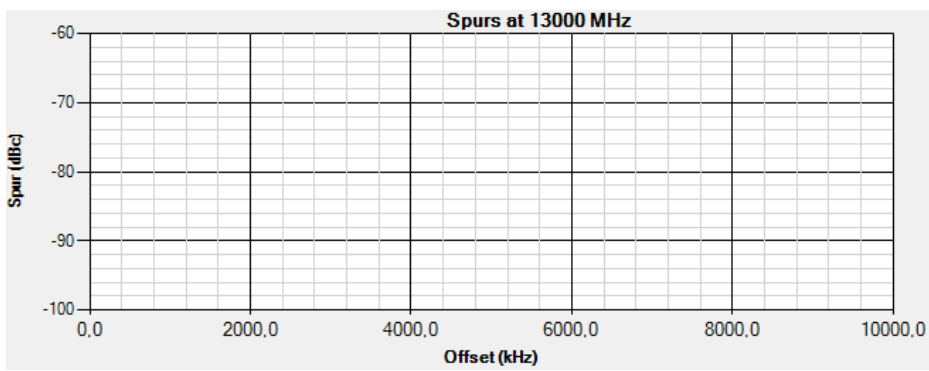


Figura 92 Spurie

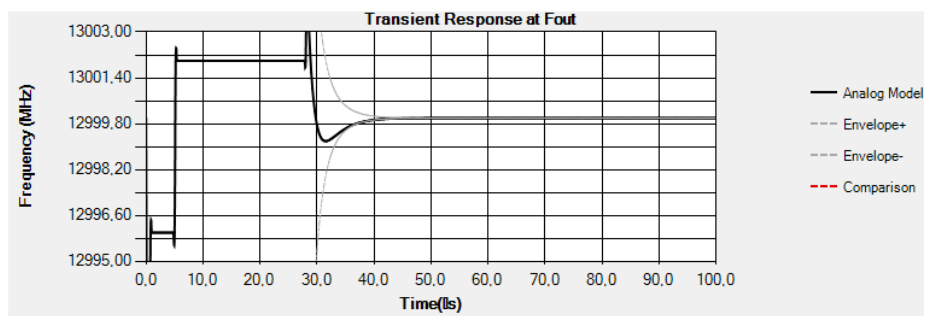


Figura 93 Tempo di calibrazione

3.3.2 ADIsimPLL

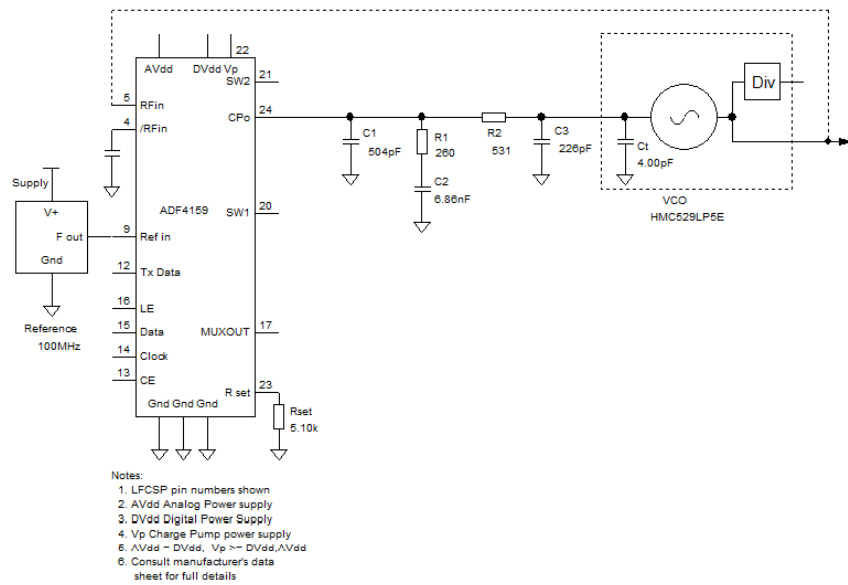


Figura 94 Sintetizzatore PLL ADF4159 utilizzando l'ADIsimPLL

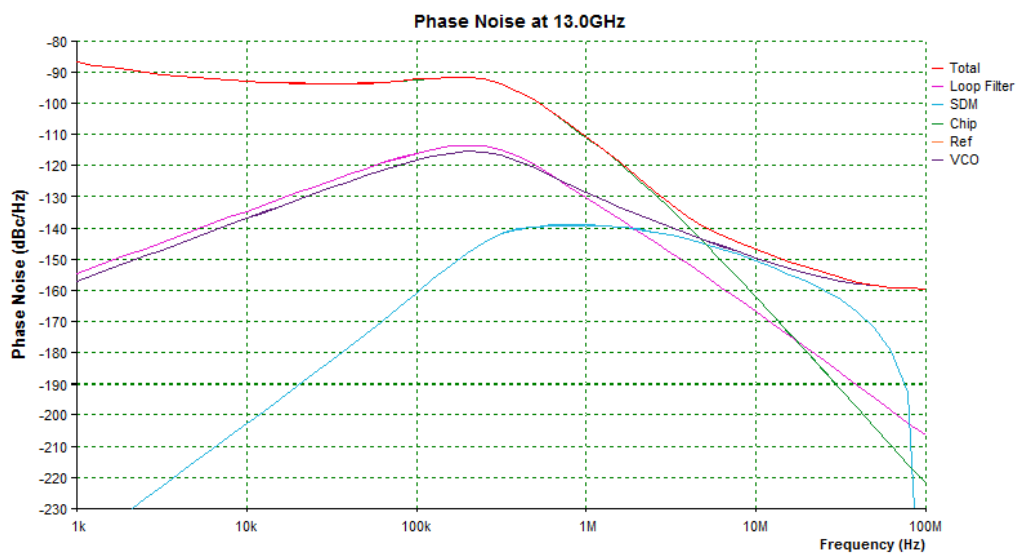


Figura 95 Rumore di fase a 13 GHz

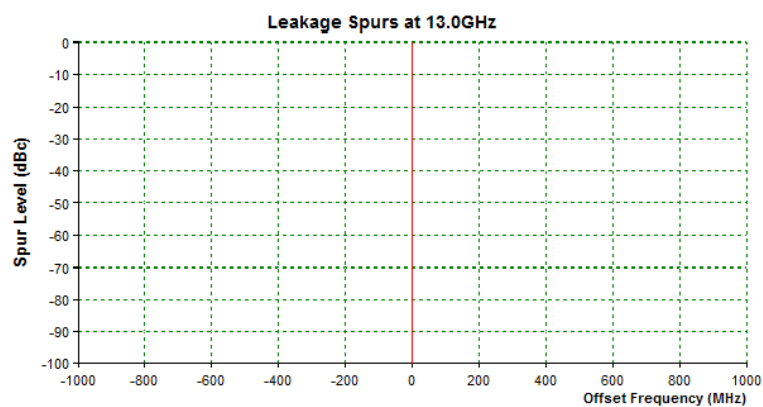


Figura 96 Spurie

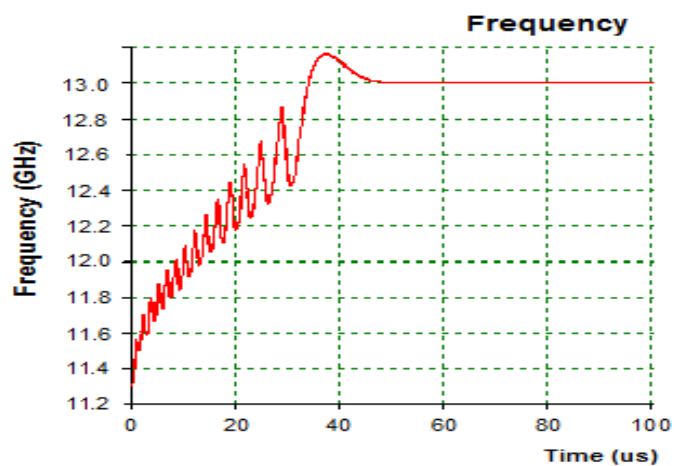


Figura 97 Risposta transitoria

	PLLatinum Sim	ADIsimPLL
Tempo di calibrazione [μs]	28	46
Presenza di spurie	NO	NO
Tempo di aggancio [μs]	48,4	92,3
K_{VCO} [MHz/V]	176,6	174,7
Jitter da 1KHz a 20 MHz	64,72	137
PLL Phase noise floor	-224	-222

Tabella 7 Risultati simulazione

In primo luogo, si impostano i parametri di progetto all'interno del software, come la frequenza di riferimento, quella d'uscita e infine quella del Phase Detector. Successivamente, si procede alla scelta del modello del filtro d'anello assieme alla larghezza di banda e al margine di fase desiderati. In questo caso si è preso in considerazione un filtro passivo del 3° ordine. Conclusa la fase di settaggio dei parametri, è possibile avviare la simulazione; quest'ultima, a sua volta, permette di ricavare dei dati inerenti al segnale d'uscita come quelli mostrati in Tabella 7 Risultati simulazione.

Come si può notare dalle Figura 92 e 96, non sono presenti spurie sul segnale d'uscita; ciò sta a significare che entrambe le board hanno al proprio interno una circuiteria tale da abbattere quasi totalmente l'eventuale presenza di questo tipo di disturbo. Inoltre, ponendo l'attenzione sul jitter e sui tempi di calibrazione e aggancio, si ha un'ulteriore conferma circa la valenza in termini di performance della LMX2594EVM rispetto all'ADF4159. Il tempo di calibrazione deve assumere un valore molto basso per far sì che il tempo di aggancio del PLL sia limitato, come mostra la seguente espressione:

$$Total\ lock\ time = (Analog\ lock\ time) + (VCO\ Calibration\ Time)$$

dove il 'Total lock time' è il tempo di aggancio del PLL mentre l' 'Analog lock time' è il ritardo causato principalmente dal comparatore di fase. Ancora una volta, il rumore di fase generato dal sintetizzatore della Texas Instruments risulta essere minore rispetto a quello prodotto dall'altro dispositivo.

3.4 Confronto tra le board LMX2594 e ADF4159

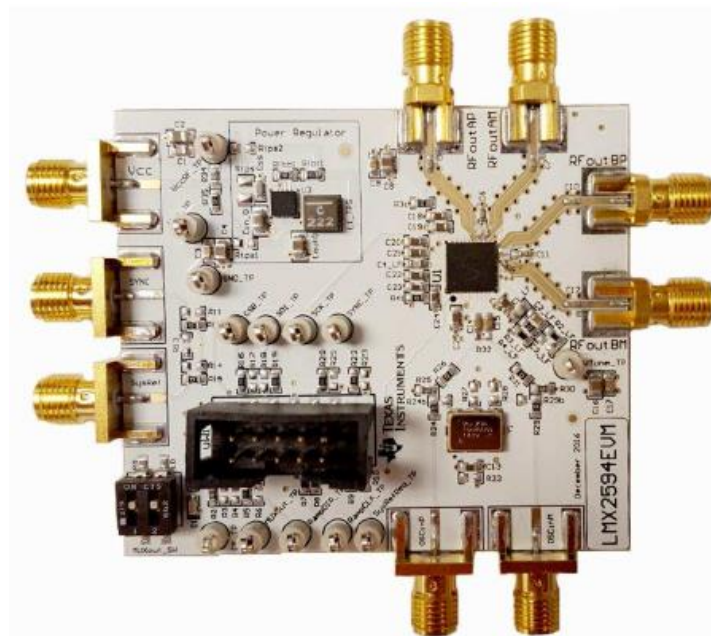


Figura 98 LMX2594



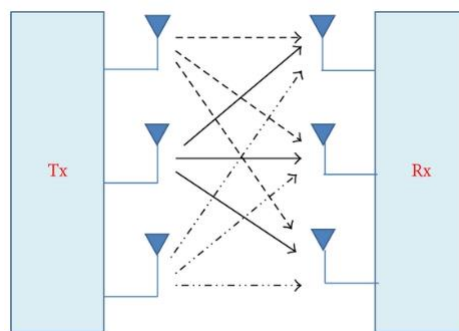
Figura 99 ADF4159

Company	Texas Instruments	Analog Devices
Output frequency [MHz]	10 to 15,000	0,5 to 13,000
Input frequency [MHz]	5 to 1,400	10 to 260
PLL Normalized phase	-236	-224
PLL Normalized 1/f noise	-129	-120
RF output power [dBm]	2 to 10	0 to -10
Power supply [V]	3,3	Double supply 5,5 and 15
Slew-rate [KHz/μs]	250	//
Slew-rate [KHz/μs]	250	//
Connectors	SMA	SMA
Types of ramp signal	Sawtooth, Triangle	Sawtooth, Triangle, Dual Sawtooth, Sawtooth with Delay, Fast Ramp (Triangle Ramp with Different Slopes), FSK
Cristal Local oscillator	100	100
Resolution [bits]	24	25
Frequency resolution [Hz]	5,96	2,98
Timing jitter [fs]	60,22	271
Phase detector frequency	0,125 to 400	3 to 110
Filtraggio delle armoniche	Integrato	Integrato
Impedenza d'ingresso e	50	50
Prezzo	398,62 €	149 €

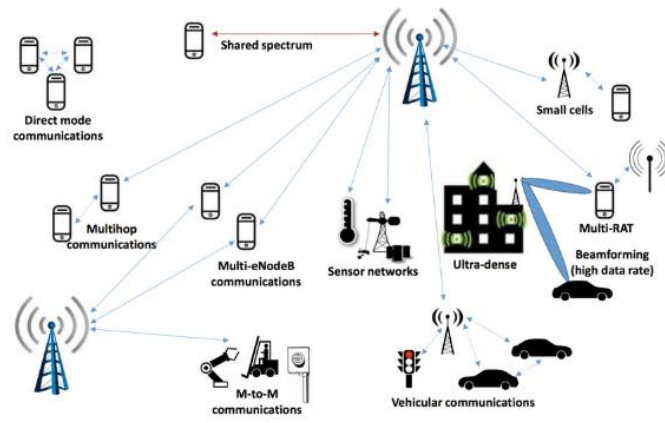
Tabella 8 LMX2594 vs ADF4159

3.5 Ulteriori applicazioni dell'LMX2594

1. **MIMO.** Tali sistemi (Multiple Input Multiple Output), a differenza dei sistemi SISO (Single Input Single Output), impiegano più di un'antenna nonché array di antenne multiple, sia per la trasmissione che per la ricezione dei segnali. Il fatto di poter distanziare in maniera ampia le antenne TX/RX, e quindi trasmettere e ricevere il segnale da diverse angolazioni, consente di ottenere dei vantaggi e attribuisce un'elevata flessibilità al sistema: migliore capacità di rilevare e identificare gli oggetti e maggiore precisione nella stima dell'angolo di arrivo. Altra prerogativa di questi sistemi è rappresentata da un miglioramento delle prestazioni nei dispositivi che trattano segnali a banda larga in ambienti affetti da multipath fading (cammini multipli) e da riflessioni. Essi, inoltre, trovano largo impiego in ambito militare, dove la possibilità di intercettazione con apparati vicini deve rimanere bassa. Le sempre più frequenti pubblicazioni di riviste e articoli accademici al riguardo fanno ipotizzare un possibile rimpiazzo dei radar tradizionali da parte dei sistemi radar MIMO. Quest'ultimi, infatti, risultano di notevole interesse nel campo della ricerca in ambito di applicazioni delle telecomunicazioni.



2. **INFRASTRUTTURA WIRELESS 5G.** Essa rappresenta un ambizioso progetto per il futuro in quanto permetterà di mettere in comunicazione ogni cosa, vale a dire, dispositivi, macchine, attrezzature e apparati di ogni genere. Basti pensare alle auto connesse alla rete, alla digitalizzazione del sistema autostradale, all'Internet of Things e ad altre applicazioni che richiederebbero la costante connessione ad una rete ultraveloce. Tramite questa struttura è possibile dunque beneficiare di diversi vantaggi, tra cui la possibilità di avere: segnali la cui velocità supera le centinaia di Megabit/s; migliaia di utenti connessi in maniera simultanea; una maggiore copertura e una riduzione della latenza.



CONCLUSIONI

Questo lavoro di tesi è nato dall'esigenza di analizzare un sintetizzatore di frequenza per applicazioni radar FMCW. Esso è stato articolato in tre fasi:

- nella prima sono stati analizzati i sistemi radar tradizionali, focalizzando l'attenzione su quelli ad onda continua, nella fattispecie quelli a modulazione di frequenza, sottolineando l'importanza e i vantaggi che quest'ultimi presentano rispetto ai primi;
- nella seconda sono state esaminate le varie tecniche di sintesi, con particolare riferimento a quella indiretta. Tramite quest'ultima, sfruttando una circuiteria ad aggancio di fase programmabile, si ha la possibilità di mantenere stabile la frequenza del segnale in uscita e di generare elevate potenze. Ciò fa sì che essa assuma particolare interesse per le applicazioni radar FMCW, in quanto più versatile ed economica rispetto alla tecnica di sintesi diretta;
- nella terza ed ultima fase è stato effettuato un confronto tra due Evaluation Board, l'LMX2594 e l'ADF4159, allo scopo di valutare le loro prestazioni e i relativi costi.

Dallo studio effettuato è emerso che sono molteplici gli elementi necessari per il progetto di un sistema basato sui sintetizzatori di frequenza a PLL. Caratteristica comune a entrambe le board è, da una parte, la capacità di generare segnali rampa a dente di sega o triangolari, nonché elementi fondamentali per le applicazioni Radar FMCW, e, dall'altra, quella di eliminare la necessità di avere a bordo la presenza di filtri dispendiosi e complessi per la rimozione delle sub-armoniche. Il segnale RF d'uscita generato da tali sistemi rappresenta un altro elemento chiave in questo tipo di applicazioni; fondamentale in particolare è la sua massima frequenza e la larghezza di banda raggiungibili. Dalla Tabella 8 si evince che l'LMX2594, oltre ad essere in grado di fornire in uscita livelli di potenza superiori rispetto all'ADF4159, offre delle performance migliori in termini di rumore di fase, in quanto si ha una differenza di ben 12 dB. Il massimo valore del timing jitter assunto dal sintetizzatore prodotto dalla Texas Instruments è di gran lunga inferiore rispetto a quello prodotto dall'altro componente. Ciò si traduce nel fatto che il rapporto segnale/rumore (SNR) nel caso dell'LMX2594 è superiore rispetto a quello dell'ADF4159. Altro parametro chiave è rappresentato dalla massima frequenza del segnale che il PLL è in grado di accettare in ingresso; anche in questo caso il prodotto della Texas Instruments risulta essere vincente rispetto all'altro, oltre ad avere dei vantaggi relativi alla tipologia di alimentazione che, nel caso della LMX2594, risulta essere singola, mentre nell'ADF4159 doppia, in quanto è necessario alimentare anche l'amplificatore operativo presente al suo interno. Tuttavia, è anche vero che quando la frequenza del PFD è impostata a 100 MHz, l'LMX2594, rispetto all'altra board, raggiunge un valore minimo di risoluzione coincidente a circa 6 Hz in quanto il divisore è gestito tramite 24 bit contro i 2,98 Hz dell'ADF4159, gestito invece tramite 1 bit in più. Dalle analisi e ricerche condotte in questa sezione, si può evidenziare che la scelta migliore risulta essere:

- l'LMX2594, se lo scopo è quello di avere un sistema performante in termini di potenza d'uscita, SNR, rumore di fase e tempi di aggancio;
- l'ADF4159, se invece l'obiettivo è quello di avere un sistema più economico e meno prestante, sebbene con una risoluzione in frequenza leggermente superiore al precedente dispositivo.

Inoltre, per concludere, dalle simulazioni effettuate tramite l'uso dei simulatori PLLatinum Sim e ADIsimPLL è stato riscontrato che molti dei parametri esaminati sono conformi a quelli dichiarati dalle rispettive case produttrici.

INDICE DELLE FIGURE

Figura 1 Principio di base del radar	11
Figura 2 Configurazione delle antenne	12
Figura 4 Massima portata non ambigua Rna in funzione della frequenza di ripetizione dell'impulso f_p	15
Figura 3 Esempio di una forma d'onda ad impulso con valori tipici per un radar di sorveglianza aerea a medio raggio	15
Figura 5 Schema a blocchi di un radar generico	16
Figura 6 Esempio di un display PPI	17
Figura 7 Variazione Doppler dal trasmettente in movimento. Dove s è la velocità con la quale si muove il target, c la velocità della luce, f la frequenza d'oscillazione, λ e λ' è il periodo o la lunghezza d'onda	18
Figura 8 Diagramma a blocchi di un radar FMCW	19
Figura 9 Pattern di modulazione comuni per un Radar FMCW	20
Figura 10 Segnale generato con frequenza che varia linearmente nel tempo	20
Figura 11 Sistema radar FMCW	21
Figura 12 Segnale generato con frequenza che varia linearmente nel tempo con pendenza pari a k , massima escursione in frequenza BW e periodo (tempo di scansione) pari a T	22
Figura 13 Valutazione della frequenza di battimento	22
Figura 14 Schema a blocchi del FMCW con discriminator	23
Figura 15 Esempio di segnale prodotto dal discriminator nel caso di segnali triangolari	23
Figura 16 Angolo di arrivo	24
Figura 17 Stima dell' AoA tramite due antenne riceventi RX	24
Figura 18 Diversi angoli di stima	25
Figura 19 Sintetizzatore a frequenza diretta	29
Figura 20 Sintetizzatore diretto di base con sintesi della forma d'onda sinusoidale	30
Figura 21 Ruota delle fasi digitale	30
Figura 22 Schema di base del Sintetizzatore PLL	31
Figura 23 Spettro elettromagnetico	32

Figura 24 Timing jitter	33
Figura 25 Ricevitore con segnale LO	34
Figura 26 Spettro di frequenza del (a) segnale ricevuto, (b) segnale LO con rumore di fase e (c) segnale ricevuto che presenta una degradazione dell' SNR dopo la miscelazione	34
Figura 27 Spettro del rumore negli oscillatori tipici	35
Figura 28 Diagramma a blocchi di un tipico PLL.....	37
Figura 29 a) Diode ring phase detector e b) Diode ring phase detector response curve	38
Figura 30 Comparatore di fase XOR.....	38
Figura 31 Forme d'onda del rivelatore XOR.....	38
Figura 32 Caratteristica di trasferimento	39
Figura 33 Rivelatori fase-frequenza PFD.....	39
Figura 34 Filtri passa-basso per PLL: a) con un polo; b) con polo e zero	40
Figura 35 Caratteristica di trasferimento di un PLL	41
Figura 36 Diagramma a blocchi di un CP-PLL.....	42
Figura 37 Relazione fase/corrente del PD con pompa di carica	42
Figura 38 Filtro d'anello del 2° ordine.....	43
Figura 39 Rumore di fase in un PLL dovuto a: (a) rumore del VCO e (b) rumore di riferimento	43
Figura 40 Diagramma a blocchi di un sintetizzatore a N-intero	44
Figura 41 Diagramma a blocchi di un divisore di frequenza ad impulsi	45
Figura 42 Sintetizzatore di frequenza frazionario	47
Figura 43 (a) Errore di fase periodico del sintetizzatore frazionario, (b) VCO modulato dal segnale ripetitivo e dal suo spettro di uscita.....	47
Figura 44 (a) Sintetizzatore sigma-delta frazionario, (b) armoniche con rumore sovrapposto	48
Figura 45 Sintetizzatore Dual-loop in configurazione parallelo (a) e serie (b).....	48
Figura 46 Modello lineare del sintetizzatore dual-loop in configurazione serie.....	49
Figura 47 Schema a blocchi LMX2594	51
Figura 48 Piedinatura LMX2594	51

Figura 49 Percorso di riferimento	51
Figura 50 Vantaggio dell'utilizzo del duplicatore OSC_2X a 14 GHz	52
Figura 51 Calibrazione del VCO a) senza assistenza parziale e b) con	55
Figura 52 Channel Divider	56
Figura 53 Output Power vs Pull-up.....	57
Figura 54 Output Power vs Temperature	57
Figura 55 Dispositivi sincronizzati con il segnale OSCin.....	58
Figura 56 Automatic ramping mode	58
Figura 57 Esempio di forma d'onda a dente di sega.....	59
Figura 58 Segnale rampa analizzato mediante analizzatore di spettro Agilent E4446A	59
Figura 59 SYSREF Setup.....	60
Figura 60 Diagramma di timing ingresso dati seriale	60
Figura 61 Registro a scorrimento a 24 bit	61
Figura 62 Interconnessione tra le schede LMK61E2 e LMX2594	61
Figura 63 Diagramma a blocchi ADF4159	62
Figura 64 Configurazione dei pin ADF4159.....	63
Figura 65 Stadio di ingresso RF	63
Figura 66 Divisore RF INT	64
Figura 67 Schema a blocchi del PFD semplificato	65
Figura 68 MUX d'uscita	65
Figura 69 Bits di controllo del MUX	66
Figura 70 Diagramma di timing inerente alla trasmissione dei dati dallo shift-register.....	66
Figura 71 Bits di controllo	66
Figura 72 Registri R0,...,R3	67
Figura 73 Registri R4,...,R7	68
Figura 74 Cycle slips.....	69
Figura 75 Segnale a singola rampa	70

Figura 76 Segnale triangolare singolo.....	70
Figura 77 Segnale a dente di sega singolo	70
Figura 78 Segnale rampa a dente di sega continua	71
Figura 79 Segnale rampa triangolare continua.....	71
Figura 80 Timing della forma d'onda	71
Figura 81 Rampa doppia con due differenti sweep.....	73
Figura 82 Forme d'onda FSK e LFM combinate	73
Figura 83 Ritardo tra rampe in modalità dente di sega	73
Figura 84 Ritardo tra rampe in modalità triangolare.....	74
Figura 85 Ritardo tra rampe in modalità triangolare con ampiezza saturata	74
Figura 86 Rampa con modalità a doppia velocità e ritardo associato	74
Figura 87 Rampa parabolica	74
Figura 88 Topologie di Fast Lock Loop Filter	75
Figura 89 Radar FMCW e ADF4159	76
Figura 90 Sintetizzatore PLL su PLLatinum.....	77
Figura 91 Rumore di fase a 13 GHz.....	78
Figura 92 Spurie.....	78
Figura 93 Tempo di calibrazione	78
Figura 94 Sintetizzatore PLL ADF4159 utilizzando l'ADIsimPLL	79
Figura 95 Rumore di fase a 13 GHz.....	79
Figura 96 Spurie.....	79
Figura 97 Risposta transitoria	80
Figura 98 LMX2594.....	82
Figura 99 ADF4159	82

BIBLIOGRAFIA

[M. I. Skolnik, Introduction to Radar systems, Mc Graw Hill, 2001.

1

]

[[Online]. Available:

2 https://www.google.it/search?q=configurazione+monostatica+e+bistatica&source=lnms&tbm=isch&sa=X&ved=0ahUKEwiZxMCF7O_eAhWi4YUKHa6sBBkQ_AUIDygC#imgrc=-MYZjkqi5ORODM:

[[Online]. Available:

3 https://www.google.it/search?biw=1366&bih=626&tbm=isch&sa=1&ei=kL_6W7bJAojNgAae4p6ICg&q=display+PPI+ardar&oq=display+PPI+ardar&gs_l=img.3...9738.10388..11498...0.0..0.146.730.0j6.....0....1..gws-wiz-img.....0i30j0i8i30.HlmRj0vUUV4#imgrc=AfSQlBtZRRjOIM:

[«Aerei militari,» [Online]. Available:

4 <https://www.aereimilitari.org/Approfondimenti/DocumentiTecnici/RadarAdOndaContinua.htm>. [Consultato il giorno 1 11 2018].

[«ACE Innovation,» [Online]. Available: <https://www.aceinnova.com/elettronica/come-funziona-il-radar-a-onda-continua-modulato-in-frequenza/>. [Consultato il giorno 1 11 2018].

[[Online]. Available:

6 https://www.google.it/search?q=FMCW+radar+block+diagram&source=lnms&tbm=isch&sa=X&ved=0ahUKEwix68Th7u_eAhVEdhoKHa6vDysQ_AUIDigB&biw=1366&bih=626#imgrc=R0DSaVZfChDIZM:

[K. Parrish, "An Overview of FMCW Systems in MATLAB".

7

]

["radartutorial.eu," [Online]. Available:

8 <http://www.radartutorial.eu/02.basics/Frequency%20Modulated%20Continuous%20Wave%20Radar.en.html>. [Accessed 1 11 2018].

["FMCW Radar Sensors," [Online]. Available: <https://siversima.com/wp-content/uploads/FMCW-Radar-App-Note.pdf>. [Accessed 1 11 2018].

]

[[Online]. Available: https://cdn.rohde-schwarz.com/pws/dl_downloads/dl_application/application_notes/1ef88/1EF88_0e_Automated_Measurements_of_77_GHz_FMCW_Radar.pdf
]

[[Online]. Available: https://www.google.it/search?q=radar+discriminator&source=lnms&tbn=isch&sa=X&ved=0ahUKewjU49aL-u_eAhXKyIUKHaRXCRcQ_AUIDygC&biw=1366&bih=626#imgsrc=vDRtC7DY0YJZZM:
M:.

[[Online]. Available: <https://www.elettronica.in.it/blog/2017/09/10/sensori-radar-a-onde-millimetriche-concetti-base/>.
2
]

[«Wikipedia, Radar,» [Online]. Available: <https://it.wikipedia.org/wiki/Radar>. [Consultato il
1 giorno 11 2018].
3
]

[E. d. Silva, High Frequency and Microwave Engineering, 2001.
1
4
]

[«Sintesi diretta digitale: il DDS,» [Online]. Available: <http://leliob.altervista.org/DDS.html>.
1 [Consultato il giorno 20 10 2018].
5
]

[«Phase Locked Loop (PLL),» [Online]. Available: <https://www.chegg.com/homework-help/questions-and-answers/background-information-phase-locked-loop-pll-feedback-control-circuit-name-suggests-phase--q25853271>. [Consultato il giorno 28 10 2018].
1
6
]

[C. Luci. [Online]. Available: <http://www.roma1.infn.it/people/luci/LabSS/noise.pdf>.
1 [Consultato il giorno 11 2018].
7
]

[H. C. Luong and G. C. Leung, Low-Voltage CMOS RF Frequency Synthesizers, New York, USA: Cambridge University Press, 2010.
1
8
]

["Electrical Engineering," [Online]. Available:
1 <https://electronics.stackexchange.com/questions/301402/phase-frequency-detector-in-pll>.
9 [Accessed 27 10 2018].
]

[S. Mirandola, «Il PLL: anello ad aggancio di fase 9,» Zanichelli, 2012. [Online]. Available:
2 [http://online.scuola.zanichelli.it/mirandola-](http://online.scuola.zanichelli.it/mirandola-files/Corso_Elett_V02/Capitolo_05/Mirandola_V2_05-1_PLL.pdf)
0 [files/Corso_Elett_V02/Capitolo_05/Mirandola_V2_05-1_PLL.pdf](http://online.scuola.zanichelli.it/mirandola-files/Corso_Elett_V02/Capitolo_05/Mirandola_V2_05-1_PLL.pdf). [Consultato il giorno
] 20 10 2018].

[[Online]. Available: <https://farelettronica.it/web/pll-n-frazionario-vco-integrato-6ghz/>.
2 [Consultato il giorno 1 11 2018].
1
]

[[Online]. Available: [https://www.analog.com/media/en/technical-documentation/data-](https://www.analog.com/media/en/technical-documentation/data-sheets/ADF4159.pdf)
2 [sheets/ADF4159.pdf](https://www.analog.com/media/en/technical-documentation/data-sheets/ADF4159.pdf). [Accessed 10 5 2018].
2
]

[V. F. Kroupa, Phase Lock Loops and Frequency Synthesis, John Wiley & Sons, 2003.
2
3
]

[I. Poole, "PLL Phase Detector / Comparator," [Online]. Available: [https://www.radio-](https://www.radio-electronics.com/info/rf-technology-design/pll-synthesizers/phase-locked-loop-detector.php)
2 [electronics.com/info/rf-technology-design/pll-synthesizers/phase-locked-loop-detector.php](https://www.radio-electronics.com/info/rf-technology-design/pll-synthesizers/phase-locked-loop-detector.php).
4 [Accessed 27 10 2018].
]

["Texas Instruments," [Online]. Available: <http://www.ti.com/lit/ds/snas696b/snas696b.pdf>.
2 [Accessed 10 2018].
5
]

["Texas Instruments," [Online]. Available: <http://www.ti.com/lit/ug/snau210/snau210.pdf>.
2 [Accessed 10 2018].
6
]

RINGRAZIAMENTI

Questa tesi rappresenta un importante traguardo, il compimento di un percorso che fin da piccolo sapevo di voler intraprendere. È stato un percorso intenso, non privo di difficoltà – prima fra tutte il dover conciliare lo studio con il lavoro –, quelle difficoltà che hanno inciso fortemente sui miei progetti costringendomi molte volte a rivedere i miei piani, ma che allo stesso tempo hanno contribuito a forgiare il mio essere, ad accrescere la mia capacità di resistenza, la mia determinazione. E' difficile ringraziare tutti coloro che, in modo diverso, hanno fatto sì che io potessi raggiungere questo obiettivo. Un primo ringraziamento è rivolto al mio relatore, il prof. Pirola, per la sua disponibilità e per la gentilezza nel fornirmi spiegazioni durante questi mesi; e alla co-relatrice, Ing. Chiara Ramella, per i suoi preziosi suggerimenti. Non posso poi dimenticare i numerosissimi colleghi universitari che ho avuto l'immenso piacere di conoscere, con i quali ho condiviso intere giornate di studio e instaurato sincere amicizie: la loro presenza è stata sinonimo di grande supporto. Un grazie particolare va agli amici di sempre, che nei momenti di difficoltà non hanno mai smesso di incoraggiarmi affinché non demordessi. Un grandissimo e speciale ringraziamento, invece, è rivolto alla mia famiglia, il mio punto di riferimento: ai miei genitori, per l'incredibile supporto morale con il quale mi hanno sostenuto e per non aver mai smesso di credere in me; e alle mie sorelle, sempre pronte ad infondermi sicurezza e a supportarmi con i loro indispensabili consigli. Senza di voi non sarei la persona che sono. E per finire, un grazie va altresì a me stesso, perché sono arrivato fin qui anche per merito della mia tenacia e, soprattutto, del mio orgoglio.

FRANCESCO

“Ognuno di noi ha un paio di ali, ma solo chi sogna impara a volare.” – Jim Morrison -.