



Politecnico
di Torino

Politecnico di Torino

Corso di laurea magistrale in Ingegneria Elettrica

A.a. 2025/2026

Sessione di laurea Marzo 2026

PCB Design per un Convertitore Grid Forming con Avanzate Capacità di Diagnostica

Relatori:

Prof. Fausto Stella

Ing. Enrico Vico

Prof. Fabio Mandrile

Prof. Eric Giacomo Armando

Candidato:

Di Gesù Claudio

Sommario

Il documento presenta la progettazione *CAD* e il comparto Hardware di due *PCB* (*Printed Circuit Board*) adibiti al controllo e alla gestione delle grandezze di rete misurate di un convertitore *Grid Forming DC/AC* Trifase, al fine di interfacciare tale dispositivo con reti deboli e/o *Micro-reti*, con alta penetrazione di *RES* (*Renewable Energy Source*), garantendo alta affidabilità, sicurezza e qualità durante il funzionamento normale e in fase di guasto, valutandone le problematiche annesse.

Il primo capitolo mostra un quadro generale sulla qualità del servizio elettrico, valutandone i casi particolari e le norme annesse. Nel capitolo seguente vengono esposte le varie tipologie di convertitori presenti in rete, analizzandone brevemente le logiche di controllo, con particolare interesse alla strategia implementata nel dispositivo su cui verranno installate le due schede da progettare. Nel terzo capitolo verrà approfondita la struttura dello stadio di potenza del convertitore in esame e la relativa sensoristica necessaria all'implementazione della logica di controllo presentata nel documento.

I capitoli 4 e 5 mostrano il processo di design delle due schede svolto su *Altium Designer*: in entrambi i casi verranno presentate le scelte fatte in riferimento a componenti, collegamenti, *layout* e meccanica al fine di garantire il corretto funzionamento del sistema, limitando tutte le problematiche elettromagnetiche annesse.

Il sesto capitolo mostra la procedura di assemblaggio *CAD* delle due schede tramite progetto *Multi-board*, identificando il corretto collegamento e le modifiche meccaniche attuate al fine di limitare impedimenti e collisioni tra i componenti.

Il documento si conclude con delle considerazioni di carattere generale e su un possibile quadro futuro sui convertitori connessi in rete.

Indice

1	Convertitori connessi in rete e qualità del sistema elettrico	1
1.1	Gestione della qualità del sistema elettrico e transizione energetica	1
1.1.1	Regolazione della frequenza	1
1.1.2	Regolazione della tensione	3
1.2	Caso particolare: Micro-reti (MG)	4
1.3	Norme di riferimento	5
1.3.1	Allegato A70	5
1.3.2	CEI 0-21	6
1.3.3	CEI 0-16	7
2	Convertitori Grid Forming	9
2.1	Convertitori Grid Following, Supporting e Forming	9
2.1.1	Grid following/feeding, GFL	9
2.1.2	Grid supporting, GS	11
2.1.3	Grid Forming, GFM	12
2.2	Strategia Virtual Synchronous Machine (VSM)	13
2.2.1	S-VSC	14
2.2.2	Stima e controllo della temperatura di giunzione	15
2.2.3	Esempio: test sperimentali	17
3	Inverter SiC MOSFET trifase	21
3.1	Stadio di potenza	21
3.2	Sensori e sistema di misura	22
3.2.1	Misura delle tensioni di conduzione dei MOSFET	22
4	Design: Scheda di controllo	25
4.1	Schematici	26
4.1.1	MCU	27
4.1.2	Reti di alimentazione, Regolatore di tensione	30
4.1.3	Reti di alimentazione, Generatore HF	32
4.1.4	CPLD	35

4.1.5	Sensori: LEM	36
4.1.6	Condizionamento segnali analogici, Temperatura	37
4.1.7	Sensori: VBUS	38
4.1.8	Interfaccia Encoder	40
4.1.9	Interfaccia CAN	41
4.1.10	MicroSD	42
4.1.11	Connettori	43
4.2	PCB layout	44
4.2.1	Posizionamento componenti	44
4.2.2	Piani di massa e alimentazione, stack-up	45
4.2.3	Routing su tracce in rame	48
4.2.4	Design rules e Clearance	50
4.2.5	2D Layout, Scheda di controllo	51
5	Design: Scheda di misura	53
5.1	Schematici	54
5.1.1	Reti di alimentazione	54
5.1.2	Condizionamento segnali analogici	56
5.1.3	Sistema di misura della tensione di rete	57
5.1.4	Gestione segnali di pilotaggio relè e di comunicazione	60
5.1.5	Sistema di pilotaggio relè	64
5.1.6	Interconnessione con la scheda di controllo	66
5.2	PCB layout	70
5.2.1	Piani di massa e alimentazione, stackup	70
5.2.2	Posizionamento componenti	73
5.2.3	Routing	74
5.2.4	2D Layout, Scheda di misura	74
6	Assemblaggio	77
6.1	Modifiche meccaniche	77
6.2	Multi-board design	78
6.2.1	Schematico	78
6.2.2	Assemblaggio fisico	79
7	Conclusioni	81

Elenco delle figure

1.1	Transitorio di frequenza a seguito di un aumento di carico.	3
1.2	Caratteristica $V-t$ $UVRT$ e $OVRT$ per parchi di generazione oltre $11.08kW$	7
1.3	Caratteristica $V-t$ $UVRT$ e $OVRT$ per generatori statici.	7
1.4	Caratteristica $V - t$ $UVRT$ e $OVRT$ per generatori eolici.	8
2.1	$Phase Locked Loop$ in forma trigonometrica (limitazione discontinuità).	10
2.2	Struttura di un convertitore GFL	10
2.3	Caratteristica di regolazione del $droop control$, caso rete induttiva.	11
2.4	struttura di un convertitore GS , controllo VSC (sopra) e CSC (sotto).	12
2.5	Diagramma a blocchi VSM	14
2.6	Struttura a blocchi del $S-VSC$	15
2.7	Procedura di calibrazione dello stimatore di temperatura.	16
2.8	Controllo attivo della temperatura di giunzione.	17
2.9	Limitazione corrente a seguito del controllo attivo della temperatura di giunzione.	18
2.10	Limitazione della corrente durante il buco di tensione, gestito dal controllo attivo di T_j	18
2.11	Iniezione di corrente di cortocircuito durante un buco di tensione.	18
3.1	Modulo di potenza $ROHM BSM180D12P3C007$	22
3.2	Schematico dell'inverter.	22
3.3	Circuito di condizionamento e protezione dello stadio di misura v_{on}	23
4.1	Quadro generale su MCU e periferiche.	26
4.2	$Pinout MCU$, $STM32CubeMX$	28
4.3	$Pinout \mu C$, informazione.	29
4.4	$Pinout \mu C$, alimentazione e relativa stabilizzazione.	29
4.5	Stadio di filtraggio preliminare della rete $24V$ esterna.	30
4.6	Convertitore $buck$ con $LDO Analog Devices LT3507HUHF-PBF$	30
4.7	Regolatori lineari di tensione e costruzione reti di alimentazione.	31
4.8	Gestione rete analogica e funzioni $UVLO/OVLO$	32

4.9	<i>Dual trench</i>	
	<i>MOSFET Onsemi</i>	
	<i>FDD8424H</i>	32
4.10	Struttura full bridge.	32
4.11	Dual Driver	
	<i>Texas Instrument</i>	
	<i>UCC27423</i>	33
4.12	Circuito di configurazione driver.	33
4.13	Reti di alimentazione isolate.	34
4.14	Trasformatore di isolamento	
	<i>Coilcraft T6437-DL</i>	34
4.15	Diodi <i>Nexperia BAV99W-Dual</i>	34
4.16	Regolatore lineare <i>Analog Devices LT3060ETS8-5</i>	35
4.17	Regolatore lineare <i>Analog Devices LT1117CST-5</i>	35
4.18	<i>CPLD Altera MAX V 5M570ZT100C5N</i>	35
4.19	Sensore di corrente a effetto hall <i>LEM LA200-P</i>	36
4.20	Sistema di condizionamento delle misure <i>LEM</i>	36
4.21	Convertitore DC-DC <i>RECOM REC5-2415DRW/H4/A</i>	37
4.22	Termistore <i>Connettività TE PTC NB-PTCO-006</i>	37
4.23	Condizionamento misure di temperatura ricavate da termistori.	38
4.24	Sistema di condizionamento delle misure <i>VBUS</i>	39
4.25	Barriera di isolamento per segnale <i>VBUS</i>	39
4.26	<i>ADC Analog Devices LTC2314-14</i>	40
4.27	Isolatore digitale <i>Analog Devices ADuM1402</i>	40
4.28	Interfaccia <i>Encoder</i>	40
4.29	Isolatore digitale <i>Analog Devices ADUM260N0BRIZ</i>	41
4.30	Ricevitore <i>Analog Devices MAX3281E AUT+T</i>	41
4.31	Interfaccia <i>CAN</i>	42
4.32	Rice-trasmettitore <i>Texas Instrument ISO1050</i>	42
4.33	Interfaccia μ SD.	43
4.34	connettore <i>PTC TE 292207-2</i>	44
4.35	Disposizione piani di massa/alimentazione, scheda di controllo.	47
4.36	<i>Stack-up</i> del <i>PCB</i>	48
4.37	Esempio di <i>design rule (Altium)</i> relative alle connessioni su traccia.	50
4.38	<i>PCB</i> di controllo, <i>top view</i>	51
4.39	<i>PCB</i> di controllo, <i>bottom view</i>	52
4.40	<i>PCB</i> di controllo, <i>3D view</i>	52
5.1	Struttura della scheda di misura, connettore di comunicazione misura-controllo e segnali analogici.	54

5.2	Struttura della scheda di misura, blocchi logici contenenti i circuiti del <i>PCB</i>	54
5.3	Sistema di alimentazione ricavato dalla rete esterna 24V.	55
5.4	<i>Zener Nexperia HPZR-C7V0X</i>	55
5.5	<i>LDO Texas Instrument LM7805MPX/NOPB</i>	55
5.6	Sistema di regolazione per rete isolata.	56
5.7	<i>Schottky Onsemi MBR0530T1G</i>	56
5.8	<i>LDO Analog device</i> <i>LT1117CM-3.3 PBF</i>	56
5.9	Circuito di condizionamento segnale analogico da termistore.	57
5.10	Circuito di condizionamento per eventuale segnale analogico aggiuntivo.	57
5.11	Connettore <i>Phoenix Contact</i> <i>MKDS 3/ 2-5.08</i>	58
5.12	Rete resistiva di adattamento della tensione di rete.	58
5.13	Sistema di condizionamento di segnale munito di convertitore A/D.	59
5.14	<i>ADC Analog devices LTC2312-14</i>	59
5.15	Sistema di trasmissione segnali da <i>ADC</i>	60
5.16	Isolatore digitale <i>Analog Devices ADuM162N0BRZ</i>	60
5.17	Isolatore digitale <i>Analog Devices ADUM242D0BRWZ</i>	61
5.18	Sistema di trasmissione comandi relè.	61
5.19	Sistema di trasmissione comandi relè di protezione stadio di misura della tensione di rete, <i>debug</i> e ventole di raffreddamento per <i>PWM</i>	61
5.20	Connettore capicorda <i>Amphenol 68000-206HLF</i>	62
5.21	Circuito di ingresso per connettore capicorda.	62
5.22	Isolatore digitale per gestione dell' <i>HRTIM</i> e della <i>USART</i> e rispettivi connettori.	62
5.23	Gestione segnale ventole <i>PWM</i>	63
5.24	Isolatore bidirezionale <i>I2C</i>	63
5.25	Circuito di pilotaggio relè.	64
5.26	Relè <i>Kemet EC2-24NU</i>	65
5.27	<i>Datasheet</i> Relè <i>Kemet EC2-24NU</i>	65
5.28	<i>BJT</i> <i>Diotec Semiconducttor</i> <i>BC850B</i>	66
5.29	<i>BJT Datasheet</i>	66
5.30	<i>Datasheet</i> Diodo <i>MBR0530T1G</i>	66
5.31	Segnali scambiati tra scheda di misura e di controllo.	68
5.32	Connettori <i>Samtec DWM-20-61-G-D-750</i>	69
5.33	Presse <i>Samtec RSM-120-02-L-D</i>	70
5.34	Stack-up scheda di misura.	71
5.35	Disposizione piani di massa/alimentazione, scheda di misura.	72

5.36	<i>Layout</i> scheda di misura, <i>top view</i>	75
5.37	<i>Layout</i> scheda di misura, <i>bottom view</i>	75
5.38	<i>Layout</i> scheda di misura, <i>3D view</i>	76
6.1	Processo di fresatura attuato su scheda di misura, <i>2D view</i>	78
6.2	Assemblaggio, focus fresatura.	78
6.3	Schematico del progetto multi-scheda.	78
6.4	Assemblaggio, vista <i>3D</i>	79
6.5	Assemblaggio, vista <i>3D</i> , focus connettore.	80

Introduzione

L'utilizzo e la promozione delle fonti rinnovabili (*RES*) per la generazione di energia elettrica sono state, già prima dell'inizio del millennio, un obiettivo prioritario da raggiungere della comunità globale, in modo che si garantisse una diversificazione dell'approvvigionamento energetico e maggior tutela dell'ambiente. Con lo sviluppo di nuove tecnologie e l'avvento di nuove direttive, il numero di centrali e impianti basati su tali fonti, in pochi anni, è aumentato a dismisura, modificando radicalmente la natura dell'intero sistema elettrico.

La diffusione delle *RES*, sia in ambito industriale che domestico, ha stimolato l'introduzione e la propagazione dei sistemi elettronici di conversione dell'energia all'interno della rete elettrica mondiale e con l'aumento del carico totale, la quota di impianti basati su generatori sincroni sta, in relazione, via via diminuendo. Da un lato si è fiduciosi sul corretto soddisfacimento del fabbisogno energetico, dall'altro si va incontro a problemi di qualità e sicurezza.

Di base, la rete è progettata per fornire corrente sinusoidale a $50/60\text{ Hz}$, ne va del funzionamento della stragrande maggioranza dei carichi elettrici: una qualsiasi variazione del carico elettrico influisce sul valore della frequenza elettrica e quella piccola fluttuazione protratta per un intervallo di tempo può essere fatale; per natura fisica, un generatore rotante è in grado di mitigare, grazie alle proprietà di inerzia, tali fluttuazioni, rendendo il sistema stabile.

Nell'ambito della sicurezza, i generatori rotanti, sono in grado di operare tranquillamente in sovraccarico, ciò permette una migliore gestione di rete durante i cortocircuiti: durante un guasto è necessario che una certa corrente di cortocircuito circoli per un breve lasso di tempo così che il dispositivo di protezione più vicino possa rilevarla e, tempestivamente, interromperla; viene così ottimizzata la 'selettività delle protezioni'.

Un convertitore elettronico di potenza non è fisicamente in grado di seguire e mitigare le fluttuazioni di potenza in rete né capace di rimanere in funzione durante un guasto, ciò porterebbe a sollecitazioni sui componenti tali da distruggere l'intero dispositivo, ben sì tenderebbe a distaccarsi dalla rete prematuramente.

Ad oggi, l'impellente bisogno di un'alternativa valida ha spinto i ricercatori a trovare una soluzione, i **Convertitori Grid Forming**: dispositivi con particolari logiche di controllo in grado di colmare il divario tra dispositivi elettronici di potenza e generatori rotanti, permettendo un funzionamento analogo, senza dover necessariamente agire sul sovradimensionamento dei componenti di potenza.

Capitolo 1

Convertitori connessi in rete e qualità del sistema elettrico

1.1 Gestione della qualità del sistema elettrico e transizione energetica

Per *qualità del servizio elettrico* si intende la capacità di garantire continuità e qualità alla forma d'onda di tensione in rete verso l'utenza finale. Negli anni, tale aspetto ha rivestito sempre più importanza per via del crescente aumento delle utenze elettriche, soprattutto provviste di componenti elettronici, determinando quindi la necessità di avere profili di tensione il più possibile stabili, sia in ampiezza che frequenza.

Giornalmente e normalmente, la continua variazione della domanda di energia, dovuta ad aumenti o riduzioni del carico elettrico o della generazione, porta a modificare i transiti di potenza sui rami della rete elettrica; tali fluttuazioni alterano i profili di tensione ai nodi della rete, sia in condizioni normali che di guasto; il sistema elettrico per garantire la continuità del servizio deve reagire con manovre automatiche, e non. L'effetto affligge sia l'ampiezza che la frequenza della forma d'onda di tensione.

1.1.1 Regolazione della frequenza

L'assestamento della rete elettrica verso una natura puramente basata su correnti alternate sinusoidali, dettate da esigenze di regolazione e gestione di sistema, ha posto inizialmente il dubbio sui valori di frequenza da prediligere durante il normale funzionamento. Le esigenze legate a dimensioni dei componenti, perdite e fattori inerenti la salute dell'uomo (es. *EMC*, *flicker*), hanno portato a imporre un compromesso socio/economico sul valore della frequenza, ossia i 50/60 *Hz*.

In dettaglio, la frequenza è determinante per diversi motivi, tra i più rilevanti: determina la velocità di rotazione di motori e generatori direttamente connessi in rete, ogni variazione di frequenza provoca variazioni di velocità; funge da segnale di tempo, come accade per gli oscillatori al quarzo; sfruttamento di materiali magnetici, le cui variazioni di frequenza possono influire sulla saturazione

magnetica, sull'effetto pelle e sulla dimensione dei componenti (e.g trasformatori, motori,...) Mantenere costante i valori di frequenza in corrispondenza dei nodi della rete diventa quindi indispensabile per garantire il corretto funzionamento dell'intero sistema.

La regolazione della frequenza, quindi, è l'essenza del funzionamento del sistema elettrico, l'esistenza di un legame tra potenza attiva e frequenza è il punto fondamentale da valutare per mantenere l'equilibrio tra produzione e consumo, infatti spesso si parla di regolazione di frequenza/potenza.

Fino ai giorni nostri, la regolazione è da sempre stata gestita dai generatori rotanti: un singolo generatore può essere modellizzato tramite un'equazione meccanica (in p.u.).

$$T \frac{d\omega}{dt} = P_{mecc} - P_{elt} \quad (1.1)$$

da cui si può risalire alla frequenza attuando delle conversioni, conoscendo il legame tra velocità e frequenza

$$M \frac{df}{dt} + k_d \Delta\omega = P_{mecc} - P_{elt} \quad (1.2)$$

Dove la quantità $P_w = -M \frac{df}{dt}$ è identificata come *potenza inerziale*, mentre la quota $k_d \Delta\omega$ definisce lo smorzamento dei transitori elettro-meccanici di rotore .

In sostanza, un generatore provvisto di regolatore automatico di velocità, durante un transitorio di carico, modifica, nei primi istanti, la propria velocità e limita lo squilibrio tra potenza meccanica ed elettrica, sfruttando la potenza inerziale, strettamente legata alla costante d'inerzia M . In seguito entra in gioco il regolatore di velocità che riassetta la velocità e quindi l'equilibrio tra le potenze; l'insieme delle due reazioni è incluso nel processo di regolazione primaria del sistema.

Quando si tratta di regolare la frequenza , soprattutto nei primi istanti del transitorio, la grandezza rappresentativa dell'imperturbabilità a questi disturbi è l'*inerzia*. L'azione combinata dei gruppi di generazione presenti in rete determina l'*inerzia di sistema*, determinante per il comportamento complessivo della rete a fronte dei transitori appena descritti. E' bene anche specificare, che successivamente all'azione dei generatori, il riassetamento della frequenza di rete a valori nominali è garantito dalle fasi di regolazione secondaria e terziaria, dinamicamente più lente della regolazione primaria; argomenti comunque al di fuori degli scopi del documento.

Un esempio di transitorio di frequenza completo e relativa regolazione è presentato in fig.1.1.

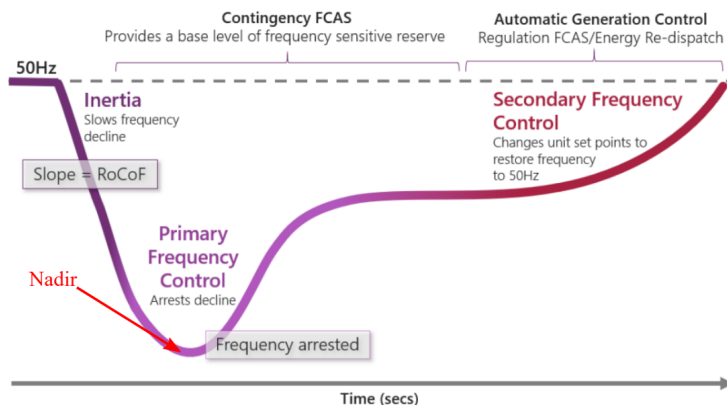


Figura 1.1: Transitorio di frequenza a seguito di un aumento di carico.

Tradizionalmente l'inerzia del sistema è stata sempre supportata da gruppi rotanti, termici e idroelettrici. Istantaneamente, un generatore soggetto a una fluttuazione di carico, tenderebbe a modificare la propria velocità di rotazione, la rapidità di variazione è proprio dettata dall'inerzia della macchina e quindi dalle proprie dimensioni: una struttura massiccia tenderebbe a minimizzare i transitori di decelerazione/accelerazione direttamente connessi alla frequenza in rete. Tale proprietà, può essere rappresentata analiticamente come una quota di potenza *inerziale*, visibile nell'equazione meccanica della macchina: tale quota, appunto, minimizza la variazione $\frac{df}{dt}$ ($RoCoF$) e il massimo/minimo valore assoluto raggiunto dalla frequenza (*nadir*) durante il transitorio, maggiore è l'inerzia minore sarà l'effetto sui transitori di frequenza e di conseguenza minore sarà il rischio che eventuali protezioni intervengano, provocando nel caso peggiore un blackout.

Gli impianti *converter-based*, non essendo forniti di parti rotanti, vengono detti *a inerzia nulla* e quindi non in grado di supportare la regolazione; negli ultimi anni, l'integrazione delle *RES* e la dismissione di grandi gruppi rotanti ha provocato una riduzione dell'inerzia totale di sistema, quindi maggiore suscettibilità alle perturbazioni e conseguente necessità di adottare sistemi di regolazione di frequenza rapidi e aggiuntivi, come i compensatori sincroni e i reattori.

1.1.2 Regolazione della tensione

L'altro obiettivo della rete è quello di mantenere invariato il valore efficace della tensione ai nodi, eventuali fluttuazioni dell'ampiezza della forma d'onda di tensione sono generalmente fisiologiche e/o causate molte volte da manovre sulla rete o *buchi di tensione*, non necessariamente in corrispondenza del nodo.

Per buco di tensione si intende una riduzione non permanente del valore efficace della tensione, generalmente provocata da guasti vicini o lontani. A un guasto, tipicamente un cortocircuito, è associata una corrente intensa, dannosa sia per le utenze sensibili che per l'uomo. La probabilità che questi avvengano è elevata per via del numero di componenti in rete che possono guastarsi. Durante questi eventi il sistema richiederebbe a ogni unità di generazione di rimanere collegata in rete, così da:

- garantire la corretta interruzione del guasto da parte dei relè di protezione, favorendo l'iniezione di una quota di corrente di guasto, in modo da essere rilevabile;
- mantenere invariata la tensione ai nodi sani della rete;

I generatori rotanti, grazie alla proprietà di sovraccaricabilità, definita dalle elevate capacità termiche in gioco, sono in grado di sopportare queste correnti per un tempo più o meno lungo, senza criticità.

In riferimento alla regolazione durante il normale funzionamento, questa è attuata conoscendo, come accade per la frequenza, il legame tra tensione e potenza reattiva: un generatore rotante è in grado di gestire la tensione tramite un sistema automatico di regolazione che agisce sul circuito di eccitazione della macchina (rotore), l'azione è quella di immettere o assorbire potenza reattiva in/da rete. Ovviamente la capacità di regolazione di un generatore non è infinita, ma è limitata dalle *curve di capability* caratteristiche di ogni macchina, spesso sostituite con curve di regolazione approssimate $Q(V)$, utilizzate nel caso particolare della regolazione della tensione a regime.

Dall'altro lato i sistemi di conversione elettronici non sono in grado di sopportare correnti di guasto, per via delle basse costanti di tempo termiche dei dispositivi elettronici.

Riguardo la regolazione, anche per convertitori statici esistono dei limiti definiti da curve di *capability*, sicuramente più restrittive rispetto a quelle di generatori sincroni, e limitanti, a causa della natura fisica dei semiconduttori e delle logiche di controllo adottate fino ad ora.

Quindi, per un convertitore statico standard:

- in presenza di guasto, entrano in gioco le rispettive protezioni da cortocircuito che provocano la disconnessione istantanea dell'impianto;
- rilevato un abbassamento della tensione marcato, la natura *grid following* dei controlli standard provocherà la disconnessione del convertitore;

Basandosi, infine, sui requisiti di connessione alla rete attuali, i convertitori con logiche di controllo standard possono, di gran lunga, essere ritenuti inadeguati, soprattutto in presenza di condizioni di funzionamento tipiche di *micro-reti*, in cui la gestione di tensione e frequenza, e la relativa garanzia di resilienza, diventano più critiche da rispettare.

1.2 Caso particolare: Micro-reti (MG)

Una *micro-rete*, per definizione, colloquiale, è un sistema elettrico *in miniatura*, presenta un'estensione ristretta e di carattere locale; come per il sistema elettrico nazionale, comprende sia carichi che dispositivi di generazione, ma soprattutto sistemi di accumulo che permettano di operare sia in connessione con la rete principale che in *isola*, mantenendo il più possibile stabile la qualità del servizio. Una delle caratteristiche peculiari delle *micro-reti* è l'elevata penetrazione delle risorse distribuite (*RES*), questo perché il concetto base dietro all'istituzione delle *micro-reti* è il distacco volontario dalla rete nazionale e quindi un funzionamento autonomo, con l'obiettivo di

beneficiare di vantaggi economici.

A fronte di un funzionamento in isola continuo, tranne che per emergenze, la continua diffusione di impianti *converter-based* e la dismissione dei generatori rotanti, per le *micro-reti*, ha di certo amplificato il problema relativo alla diminuzione dell'inerzia di sistema e della qualità del servizio elettrico in generale (*THD*, guasti,...), ad oggi molto più critico, confrontato con quanto detto per la rete elettrica nazionale.

Il problema si ripercuote anche sulle protezioni da cortocircuito: l'elevata presenza di convertitori statici riduce drasticamente le correnti di guasto, provocando problematiche sulla selettività e l'intervento delle protezioni.

Prima d'ora, l'unica modalità conosciuta di risoluzione di tali problematiche è stata l'utilizzo di sistemi di accumulo, come le batterie al litio, sfruttate sia per lo stoccaggio di energia, superflua, derivante da risorse rinnovabili, che come fonte di riserva. In entrambi i casi una batteria, fornita di un sistema elettronico di gestione, diventa fondamentale nella stabilizzazione in tempo reale di tensione e frequenza di rete, in presenza di cali di generazione o disturbi sul sistema.

I problemi legati ai sistemi di accumulo al litio sono ad oggi noti, tra questi l'elevato costo iniziale, vita utile limitata e smaltimento sono di certo impattanti nell'ottica di pianificazione e manutenzione dell'impianto; l'esigenza di un'alternativa valida è, ad oggi, impellente.

1.3 Norme di riferimento

Prima del 2012, gli impianti fotovoltaici *converter-based* prevedevano la disconnessione istantanea dalla rete in seguito a variazioni della frequenza, anche solo di $0.2 - 0.3 \text{ Hz}$. Col passare del tempo e la diffusione della generazione distribuita, Terna ha evidenziato un rischio elevato alla sicurezza del sistema: un evento di disconnessione simultanea di impianti di questa natura sarebbe stata in grado di causare una discontinuità di produzione tale da influire fatalmente sulla regolazione della rete.

Dalla segnalazione, è nata l'esigenza di riformulare le normative vigenti sui sistemi di protezione di interfaccia alla rete, con lo scopo di rendere gli impianti di generazione meno sensibili ai disturbi in rete.

In Italia, le norme di riferimento alla generazione distribuita per garantire la sicurezza della rete sono la **CEI 0-21** e la **CEI 0-16**, in concomitanza all'**Allegato A70** del codice di rete di Terna. Le norme chiariscono come l'introduzione di generatori a valle delle cabine primarie abbiano reso più complessi i criteri di protezione, controllo della tensione, controllo dei guasti e sovracorrenti e ne ridefiniscono la gestione.

1.3.1 Allegato A70

Ridefinisce il campo di funzionamento e il comportamento degli impianti di produzione, e delle rispettive protezioni, durante i transitori di frequenza e tensione.

- *transitori di frequenza*- un generatore statico connesso a reti *MT* e *BT* deve essere in grado di gestire l'immissione di potenza in rete durante una variazione di frequenza: in base al range di frequenza, il convertitore può o meno modificare la potenza immessa o connettersi/disconnettersi.
- *transitori di tensione*- si definiscono i requisiti del convertitore in presenza di abbassamenti di tensione causati da guasti su reti *AT* e *AAT*, introducendo le curve di **Low Voltage Fault Ride Through Capability, LVFRT** poi riprese nelle norme *CEI*: durante un transitorio di cortocircuito, e quindi un abbassamento della tensione, il generatore non deve disconnettersi dalla rete se il punto di funzionamento V-t si trova all'interno della *LVFRT*. La struttura di tali curve è pensata in funzione del transitorio della tensione tipicamente presente durante un guasto, ossia caratterizzato da un primo abbassamento brusco, seguito da un andamento di stabilizzazione graduale, determinato dall'intervento di eventuali protezioni e dall'assestamento della tensione al valore nominale. In generale l'impianto deve rimanere connesso alla rete permanentemente in un range di tensione che va dall'85% al 110% del valore nominale a una frequenza compresa tra $47.5Hz$ e $51.5Hz$, limiti compresi.

1.3.2 CEI 0-21

Chiarisce i criteri tecnici per la connessione degli utenti alla rete di bassa tensione, si riferisce a avviamento, esercizio e distacco degli impianti; vigila sulla corretta limitazione del funzionamento in isola e mostra l'insieme di dispositivi necessari all'interconnessione e alla protezione dei generatori connessi alla rete.

Approfondisce soprattutto i temi riguardanti la qualità del servizio elettrico: come il comportamento dei generatori statici durante i transitori di tensione e frequenza, con relative quote di potenza immessa, e i limiti di distorsione armonica e fattore di potenza da rispettare.

Allo scopo di garantire la qualità, la norma riserva un paragrafo ai servizi di rete da garantire per sistemi di accumulo e parchi di generazione, tra cui: regolazione della potenza, funzionamento in sovralfrequenza/sottofrequenza e partecipazione alla regolazione della tensione, approfondendo inoltre le curve di *Fault Ride Through*.

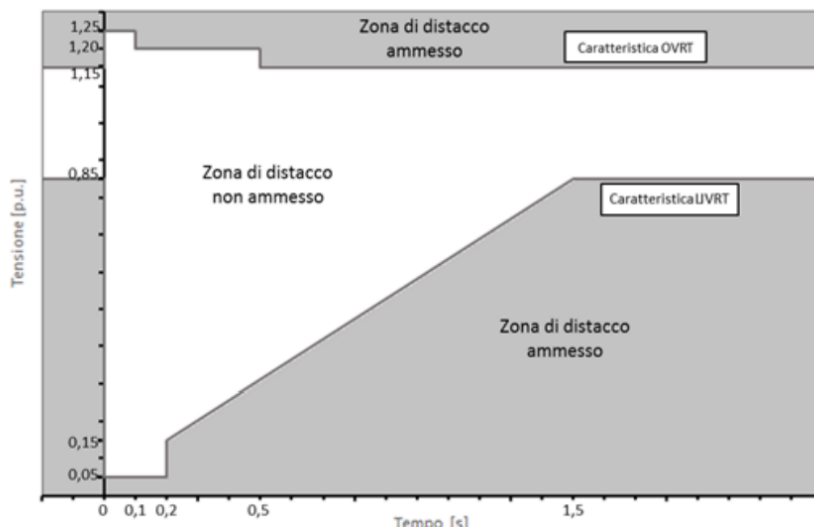


Figura 1.2: Caratteristica $V-t$ $UVRT$ e $OVRT$ per parchi di generazione oltre $11.08kW$.

1.3.3 CEI 0-16

La norma *CEI 0 – 16* si applica a utenti industriali connessi alla rete di media tensione e in linea di massima tratta gli stessi temi della norma precedente. Include infatti la regolazione di grandi parchi eolici forniti di convertitore elettronico e generatori statici in generale: in questo caso i limiti *FRT* e le restrizioni legate alla stabilità differiscono dalla normativa di bassa tensione, il motivo è legato alla differente destabilizzazione derivante dal distacco di un impianto *MT* (es. centrale di generazione) rispetto a un evento analogo su rete *BT* (es. impianto fotovoltaico domestico).

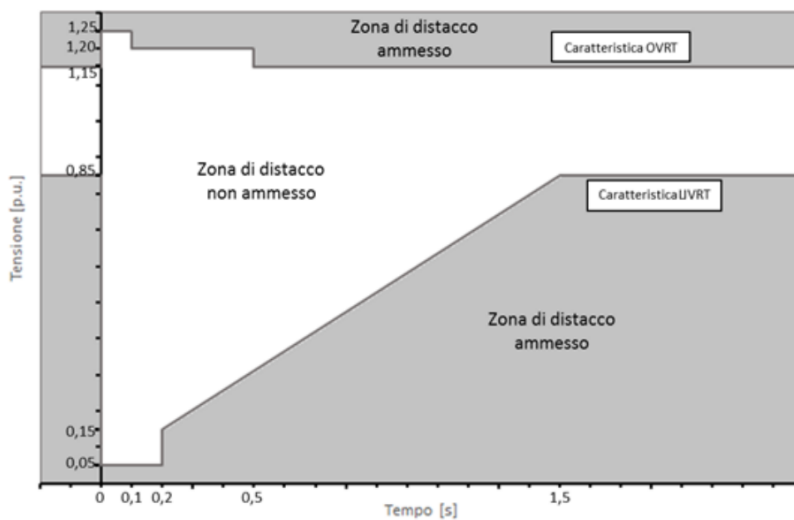


Figura 1.3: Caratteristica $V-t$ $UVRT$ e $OVRT$ per generatori statici.

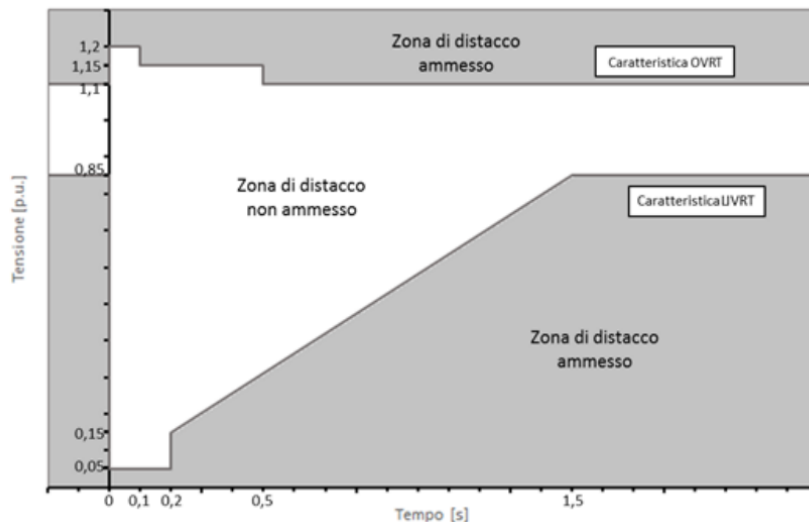


Figura 1.4: Caratteristica $V - t$ $UVRT$ e $OVRT$ per generatori eolici.

Il continuo mutamento del sistema elettrico in rapporto alla penetrazione delle *RES*, ha portato tali normative a subire variazioni periodiche, soprattutto in merito alle curve *FRT*. Il panorama dei requisiti di interfaccia alla rete è diventato negli anni sempre più stringente, non solo per quanto riguarda il quadro normativo italiano ma anche per la legislazione europea e quindi internazionale.

Capitolo 2

Convertitori Grid Forming

2.1 Converteri Grid Following, Supporting e Forming

Quando si tratta di immettere potenza in rete tramite un convertitore statico è necessario tener presente quali requisiti debbano essere soddisfatti: tolte le modalità di connessione, un convertitore deve poter funzionare a un certo livello di tensione, dipendente dal tipo di rete, allo stesso tempo durante il funzionamento normale dell'impianto occorre valutare l'erogazione della potenza reattiva e la natura delle correnti immesse, in modo da non violare i limiti sul fattore di potenza e sul *Total Harmonic Distorsion (THD)*.

2.1.1 Grid following/feeding, GFL

Sin dalle prime interconnessioni tra rete e convertitori, si è sempre inteso il sistema elettrico come un ambiente a tensione circa costante e stabile, il modo più semplice per iniettare potenza è stato da sempre quello di utilizzare logiche di controllo sincronizzate alla tensione di rete; negli anni la diffusione delle *RES* e della generazione distribuita ha permesso ai *Convertitori Grid Following (GFL)*, anche detti *grid feeding*, di allargare il proprio dominio, imponendo uno standard sulle logiche di controllo (es. *MPPT*).

La strategia di controllo tipica di questi dispositivi, coma da nome, include l'iniezione in una rete già presente, delle potenze attiva e reattiva, al fine di alimentare un determinato carico.

Alla base della logica vi è un controllo vettoriale in anello chiuso del vettore corrente su assi rotanti *dq*, strettamente legato alla quantità di potenza attiva e reattiva immessa in rete. Durante il controllo è necessario garantire l'allineamento con il vettore tensione di rete e per farlo si adopera un ulteriore anello di controllo, il *phase locked loop (PLL)*, il cui scopo è stimare la fase del vettore tensione, indispensabile per le trasformazioni tra sistemi di riferimento.

- vettore tensione e fase: ottenibile da una misura delle tensioni al punto di collegamento alla rete (Punto di collegamento comune, *PCC*), tramite trasformata di *Clarke* viene generato il sistema di riferimento bifase, infine passando in assi *dq* imponendo $V_{\alpha\beta} = V_d$.

Tramite trigonometria è già possibile ricavare la fase del vettore, ma per rendere la stima più affidabile occorre implementare il *PLL* (fig.2.1).

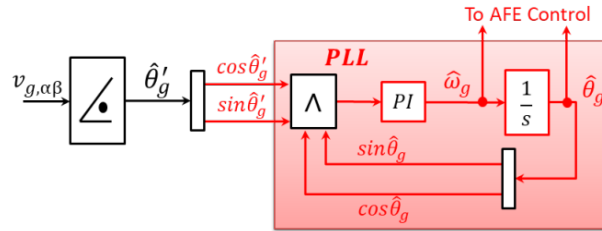


Figura 2.1: *Phase Locked Loop* in forma trigonometrica (limitazione discontinuità).

- controllo in corrente: l'anello riceve in ingresso i riferimenti di potenza P^* , Q^* direttamente connessi ai riferimenti di corrente, rispettivamente i_d^* , i_q^* . In assi dq una corrente sinusoidale è definibile imponendo delle componenti dq costanti.

Le trasformazioni tra sistemi di riferimento devono esser compiute adoperando la fase θ_g così da garantire sia l'agganciamento che i requisiti di qualità.

I dispositivi *GFL* (2.2) vengono controllati come una sorgente di corrente in parallelo a un'impedenza di interfaccia parallelo, l'obiettivo principale è quello di fornire potenza alla tensione di rete.

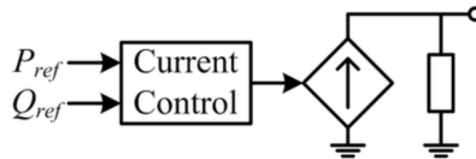


Figura 2.2: Struttura di un convertitore *GFL*.

Il problema nasce nel momento in cui la rete non è più considerevole stabile, ciò può accadere sia in sistemi in isola come le *micro-reti*, ma anche nella rete elettrica nazionale a causa della penetrazione della generazione distribuita e delle *RES*, in cui il vettore tensione presenta escursioni di ampiezza e frequenza tali da rendere il processo di agganciamento, attuato dal *PLL*, poco performante o addirittura inadeguato e instabile: una qualsiasi deviazione tra la tensione di rete e quella al punto di connessione può introdurre delle correnti di circolazione tali da distruggere il convertitore o innescare le protezioni, con conseguente distacco. Un altro motivo di inadeguatezza dei sistemi basati su *PLL* è l'impossibilità di mantenere un'informazione corretta sulla fase del vettore tensione, soprattutto in presenza di guasto, dato che il *PLL* non è in grado di reagire prontamente a transitori veloci e discontinuità tipici di un cortocircuito. Infine l'introduzione di anelli di controllo, come per il *PLL*, in cascata possono risultare critici per la stabilità del sistema di controllo, per cui è necessario adottare delle manovre per mitigare tali effetti di disturbo.

Le problematiche che nascono dall'utilizzo di questi dispositivi è l'impossibilità di seguire eventuali

transitori di disturbo in rete: nel caso particolare di un impianto fotovoltaico, l'utilizzo di strategie di tipo *Maximum power point tracker (MPPT)* non sono in grado di valutare e gestire tali disturbi, perché progettate al fine di trasmettere la massima potenza derivante dai pannelli a monte, quindi, per natura, la tecnica è ritenuta inadeguata al fine di garantire stabilità e qualità del servizio.

2.1.2 Grid supporting, GS

I convertitori *grid supporting*, invece, possono essere controllati sia come sorgenti di corrente che di tensione e a differenza di dispositivi *GFL* possono partecipare alla regolazione di ampiezza e frequenza della tensione di rete, ricevendo i riferimenti V^* e ω^* da leggi esterne, generalmente derivanti da servizi ancillari richiesti da *DSO/TSO*. La regolazione è attuabile con diverse logiche di controllo, ma la più comunemente utilizzata è la tecnica del *droop control*.

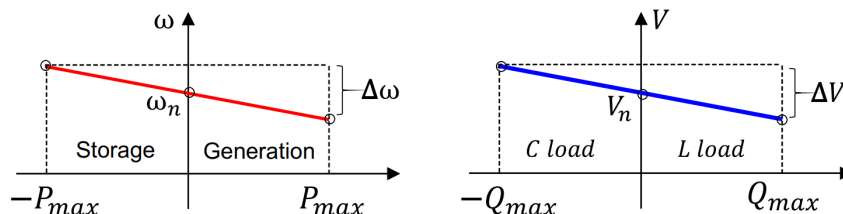


Figura 2.3: Caratteristica di regolazione del *droop control*, caso rete induttiva.

La logica, mostrata in fig.2.3, si basa sulla gestione dei legami $f(P)$ e $V(Q)$, propriamente definiti dagli *statisimi* K_p, K_q , al fine di mitigare i transitori di tensione e frequenza tipici del sistema elettrico.

Tramite le informazioni su tensione e frequenza attuali ottenute da un *PLL* e dai riferimenti V^* e ω^* , è possibile costruire i riferimenti di potenza attiva e reattiva, utili a generare i riferimenti di corrente per l'anello di controllo interno del convertitore, equivalente a un *GFL* fornito di logica aggiuntiva.

Per quanto riguarda i sistemi controllati in tensione, le variabili di uscita dal blocco *droop control* sono V^* e ω^* da inviare all'anello di controllo di tensione, ottenuti da i riferimenti di potenza P, Q imposti dall'esterno. Anch'essi necessitano di un sistema di rilevazione della tensione e della frequenza di rete, ma a differenza di un dispositivo modellizzato come sorgente di corrente, possono operare anche in modalità *isola*.

Questa logica deriva da controlli convenzionali dei generatori sincroni e per certi versi ne simula il comportamento, il vantaggio principale è che permette facilmente di porre in parallelo più generatori di tensione senza criticità, dato che si tratta di una procedura che non necessita di sistemi di comunicazione con altri dispositivi, ma si basa su misure locali, adattamento e ripartizione della potenza automatici, a differenza di altre tecniche che necessitano di maggiori accortezze.

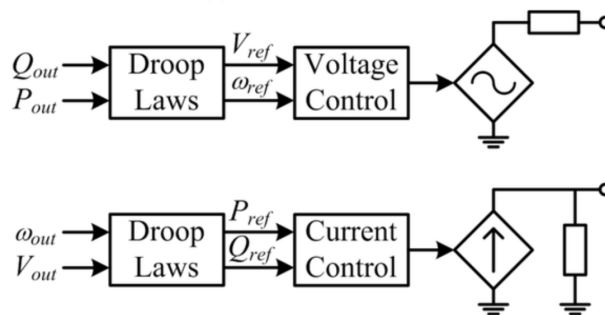


Figura 2.4: struttura di un convertitore *GS*, controllo *VSC* (sopra) e *CSC* (sotto).

2.1.3 Grid Forming, GFM

L'evoluzione delle reti elettriche e la diffusione di reti deboli e *micro-reti* ha reso indispensabile una riprogrammazione delle logiche di controllo, al fine di migliorare il comportamento dei dispositivi elettronici a fronte di disturbi in rete, limitanti e critici in presenza dei soli convertitori *GFL*. L'obiettivo primario è stato da sempre minimizzare la dipendenza del sistema dai gruppi di generazione rotante, al fine di diminuire l'impatto ambientale; un modo è quello di implementare convertitori da *RES* capaci di fissare tensione e frequenza, attuandone inoltre un controllo attivo, garantendo quindi la resilienza dell'impianto sia in condizioni normali che in presenza di cortocircuiti. Alla luce di ciò negli anni sono nate le tecnologie *grid forming* progettate appunto per 'formare la rete' in modo analogo a quanto accadeva in presenza di generatori sincroni. L'esigenza è nata con l'avvento delle *micro-reti*, basate principalmente su generazione distribuita e prive o poco fornite di gruppi di generazione rotante che fissassero i livelli tensione e frequenza o che fornissero una quota opportuna di inerzia.

I *GFM* presentano un modello di interfaccia in rete di tipo *VSC*, in riferimento allo stadio di potenza non sussistono differenze dalle tipologie presentate in precedenza, la distinzione è prevalentemente legata al controllo.

In termini generali, un convertitore *GFM*, in relazione ai requisiti di rete sempre più stringenti, deve garantire determinate prestazioni:

- funzionamento in rete debole e in isola, fornendo smorzamento alle oscillazioni di sistema.
- partecipare alla regolazione di tensione e frequenza di rete.
- capacità di ripristino del sistema (*black start capability*).
- funzionamento durante i transitori di guasto, in base alle curve *FRT* (*system protection*)

Per necessità, un convertitore *GFM* deve poter operare sia in *isola* che in connessione alla rete, nel primo caso è necessario un controllo in anello chiuso della tensione per minimizzare gli errori, mentre nel funzionamento in rete si accettano anche regolazioni *open loop*. Esistono diverse modalità di gestione dei riferimenti di tensione e frequenza, inclusi quelli valutati nei paragrafi precedenti, ma

non verranno approfonditi ulteriormente.

La sfida principale da gestire in un *GFM*, e il primo obiettivo da raggiungere nel sistema in esame, è sicuramente la gestione dei sovraccarichi transitori: studi recenti indicano che una sovraccaricabilità dell'ordine dei $1.5 \div 2$ p.u. per $80 \div 500$ ms è essenziale per garantire un supporto adeguato alla rete; mentre un generatore sincrono è in grado di gestire, per natura, sovraccarichi al di sopra del range sopra definito, un convertitore standard richiederebbe un eccessivo sovradimensionamento dei dispositivi di potenza.

Una delle tecniche più efficienti e più utilizzate a garantire un funzionamento in sovraccarico transitorio, è la logica di controllo **Virtual Synchronous Machine/Generator** (*VSM/VSG*), una strategia *current-based* il cui obiettivo è permettere al convertitore di emulare il comportamento di un generatore rotante durante i transitori di guasto.

A differenza di altre strategie, la *VSM* normalmente non necessita di sistemi *PLL*, il che risulta vantaggioso in termini di stabilità delle dinamiche. Spesso però è possibile trovare logiche *VSM* in accoppiamento a questo genere di sistemi di sincronizzazione, gli scopi possono essere di varia natura, due delle quali possono riferirsi alla sincronizzazione iniziale del convertitore o all'implementazione di sistemi di regolazione *grid-connected* in cascata, adibiti ai servizi ancillari di rete, come il *droop control*, che necessita di sincronizzazione.

Inoltre, a differenza di altre tecnologie, *VSG* e non, la *S-VSC* è una delle strategie in grado di garantire sia dinamiche di risposta soddisfacenti che un supporto adeguato all'inerzia di sistema, proprietà imprescindibile in riferimento a quanto enunciato fino ad ora.

2.2 Strategia Virtual Synchronous Machine (VSM)

L'obiettivo dietro alle strategie *VSM* è fornire elettronicamente a dispositivi statici *inerzia virtuale*, smorzamento e *statismo*, al fine di permettere al convertitore di assorbire o erogare potenza durante i transitori, come accade per un generatore sincrono, minimizzando anche la necessità di avere un supporto in potenza derivante da sistemi di accumulo aggiuntivi. Tali strategie sono applicabili a tutte le tipologie di convertitore viste, con l'obiettivo di dare supporto alla rete.

Esistono diversi modelli *VSM*, quello presentato in questo documento è il *Simplified Virtual Synchronous Compensator* (*S-VSC*), che sfrutta uno schema elettromagnetico equivalente del generatore sincrono. Il controllo *S-VSC* in questione viene integrato con un monitoraggio real-time della temperatura di giunzione dei semiconduttori. Questa sinergia permette di preservare il ciclo di vita utile del componente, a seguito di sovraccarichi transitori, limitando l'eventuale sovradimensionamento della struttura di potenza.

Il controllo del convertitore è adibito al funzionamento in parallelo di due sistemi, il tradizionale, utilizzato per la maggior parte dei sistemi e adibito alla trasmissione della potenza in rete, e la logica *S-VSC*. Quest'ultima si articola principalmente in due blocchi (fig.2.5):

- Compensatore sincrono virtuale *S-VSC*.
- Stima e controllo della temperatura di giunzione.

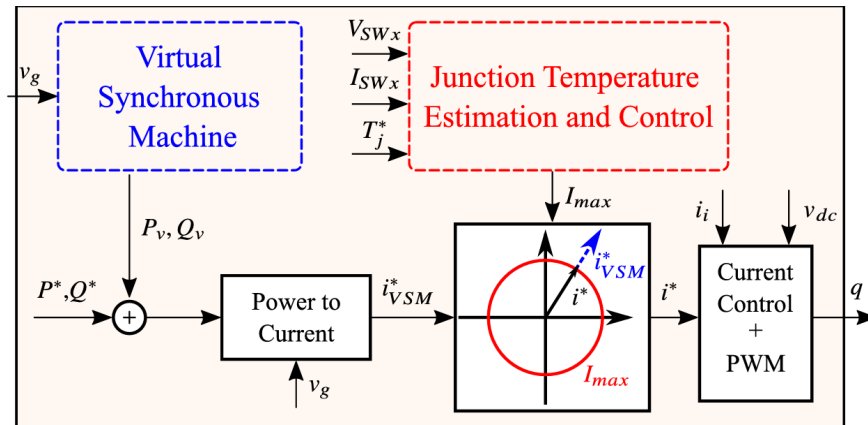


Figura 2.5: Diagramma a blocchi VSM.

2.2.1 S-VSC

Questa sezione è dedicata alla generazione dei riferimenti di potenza P_v e Q_v , i quali costituiscono una riserva energetica vincolata alle condizioni di funzionamento anomalo della rete e destinata esclusivamente all'erogazione dei servizi ancillari.

A sua volta, il *S-VSC* (fig.2.6) è strutturato in quattro blocchi funzionali, basati su modelli matematici atti a emulare la risposta dinamica di un compensatore sincrono.

- *Rotore virtuale*: modulo basato sulla *swing equation* finalizzato alla sincronizzazione con la rete, ottenuta valutando la potenza attiva P_v e l'inerzia virtuale H_s . Tale blocco permette di determinare l'angolo di fase di riferimento necessario per la regolazione dell'anello interno di corrente.
- *Statore virtuale e smorzatori*: lo statore è modellizzato su un sistema di riferimento ad assi dq e integra i parametri virtuali R_s e L_s . Gli avvolgimenti smorzatori, adibiti a fornire smorzamento durante le dinamiche, sono emulati mediante un'equazione definita sull'asse q .
- *Sistema di eccitazione*: è qui che avviene la gestione delle correnti di guasto e della potenza reattiva iniettata. Il modello adotta una struttura di tipo integrale: il supporto di potenza reattiva durante i transitori di guasto è garantito dalla modulazione del flusso magnetico di macchina, mentre le correnti sono gestite dal circuito equivalente di *Thévenin* posto all'interfaccia con la rete.
- *Calcolo dei riferimenti di potenza*: l'ultimo blocco costruisce i termini di potenza, P_v e Q_v , sfruttando la corrente di statore virtuale e la tensione di rete.

$$P_v + jQ_v = (v_{gd} + jv_{gq})(i_{vd} - i_{vq}) \quad (2.1)$$

A queste quote vanno sommati i riferimenti di potenza P^* e Q^* , derivanti da controlli esterni, come un *droop control*, per l'attuazione della regolazione primaria (non fornita dalla logica *S-VSC*), *MTTP*

o da imposizioni del *DSO/TSO*, per servizi ausiliari di rete, (non ulteriormente approfonditi). Il termine di potenza finale rappresenta quindi: quota di alimentazione dei carichi, quota di gestione dei transistori di guasto e termine legato a eventuali servizi ancillari aggiuntivi. Il termine ultimo verrà utilizzato per costruire il vettore corrente i_{VSM} da trasmettere a una *Look up table(LUT)*, interamente gestita dal sistema di stima della temperatura di giunzione. La mansione della *LUT* è limitare i riferimenti di corrente trasmessi all’anello di controllo interno, in funzione del valore attuale della temperatura di giunzione raggiunta dai semiconduttori, preservandone quindi la vita utile.

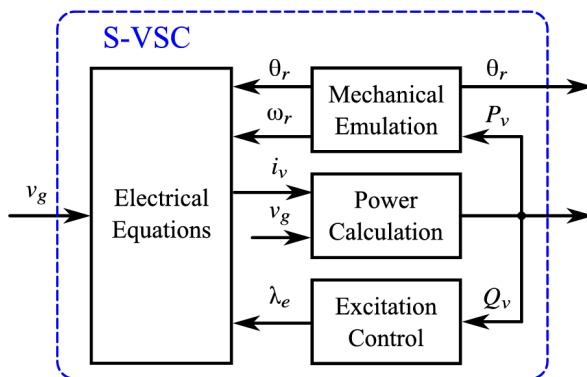


Figura 2.6: Struttura a blocchi del *S-VSC*.

2.2.2 Stima e controllo della temperatura di giunzione

La *LUT*, appena definita, include due variabili di ingresso, visualizzate in fig.2.5: il riferimento generato dalla logica *S-VSC* e la corrente massima erogabile i_{max} , da impostare come limite ai riferimenti di corrente dell’anello interno, ottenuta da stimatore di temperatura. Trovare una misura o una stima della temperatura di giunzione dei semiconduttori è da sempre una sfida: l’impossibilità di misurarla tramite sensori e la necessità di conoscere il dato, utile a valutare il deterioramento del componente, ha portato lo stato dell’arte dei convertitori verso standard basati su modelli matematici.

La procedura di stima parte sempre da una misura diretta attuata sugli *heatsink* tramite termistori. Per risalire a una stima approssimata della temperatura di giunzione è necessario introdurre un modello termo-elettrico del componente, basato su parametri e variabili. La tecnica proposta è la **TSEP** (*thermo-sensitive electrical parameter*), ad oggi molto diffusa e affidabile; la tecnica permette di ottenere un valore della temperatura sfruttando delle misure di tensione e corrente (V_{sw} , I_{sw}) gestite dal semiconduttore in conduzione, e dei parametri caratteristici, come tensione di soglia di gate ($V_{GS,th}$), corrente di saturazione, $\frac{di}{dt}$, tensione di soglia del *body diode* ($V_{d,th}$) e resistenza di conduzione R_{on} .

Lo stimatore per risalire al valore della temperatura sfrutta a sua volta una *LUT* per ognuno dei sei

MOS, nella forma $T_{Jx}(R_{on,x}, I_x)$, calibrata impiegando impulsi di corrente e una sorgente di calore esterna, brevemente riassunta in fig.2.7.

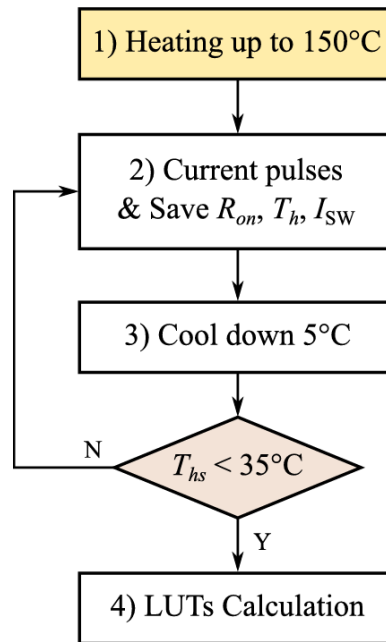


Figura 2.7: Procedura di calibrazione dello stimatore di temperatura.

La stima real-time ha il compito di limitare automaticamente la massima corrente erogabile dal convertitore e quindi evitare transitori termici tali da portare la temperatura di giunzione oltre una soglia prestabilita T_J^* , tipicamente poco al di sotto della massima temperatura di giunzione T_J ; allo stesso modo risulta importante considerare che la stima di temperatura *TSEP* risulta inaffidabile per correnti troppo contenute, per le quali la stima della resistenza di conduzione diventa inaccurata, o negative, a causa dell'impossibilità di definire la ripartizione di corrente tra *body diode* e *MOSFET*. La logica di controllo della temperatura dovrà quindi imporre due limiti di corrente, uno inferiore, legato alla stabilità della stima, e uno superiore, legato ai limiti tecnologici del convertitore e degli ausiliari associati. La dinamica dell'algoritmo di controllo è invece gestita da un blocco PI rapido, in grado di imporre con alte dinamiche la massima corrente (legata al semiconduttore più caldo), e un blocco integrale lento, per il ripristino del limite in corrente nel momento in cui il semiconduttore più caldo si raffredda.

Un esempio di una struttura di controllo della temperatura, usato nel progetto in questione, è mostrato in fig. 2.8.

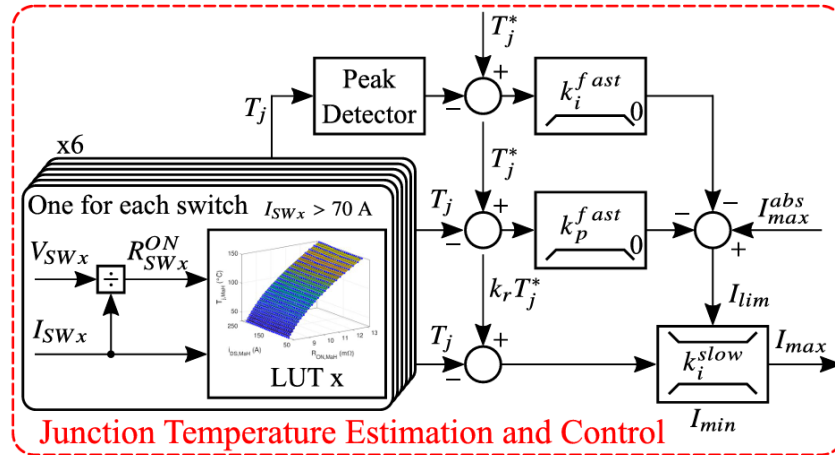


Figura 2.8: Controllo attivo della temperatura di giunzione.

In definitiva, trasmettendo le misure di tensione ai capi del singolo *MOSFET* e la relativa corrente condotta, è possibile risalire alla massima temperatura di giunzione raggiunta istantaneamente dai dispositivi e, conseguentemente, il controllo attivo ne limita la massima corrente trasportabile. Si evidenzia poi come l'utilizzo di *SiC-MOS* renda la procedura di stima della temperatura più precisa rispetto a strutture a *IGBT*, questo grazie alla natura resistiva della caduta di tensione (v_{on}) priva di tensioni di soglia.

2.2.3 Esempio: test sperimentali

Grazie a un'analisi pre-prototipale *Power-Hardware-in-the-Loop (P-HiL)* del convertitore in esame, condotta da ricercatori del Politecnico di Torino, è possibile risalire a dei dati sperimentali in merito al comportamento e al corretto funzionamento delle due strategie di controllo implementate, *S-VSC* e controllo attivo *TSEP*. L'obiettivo dei test P-HiL è validare il controllo in presenza di buchi di tensione, transitori di frequenza e funzionamento in isola, attuando quindi una valutazione preliminare del convertitore in rete.

Una prima fase del test è adibita alla calibrazione dello stimatore di temperatura e valutazione delle R_{on} di ogni *SiC-MOS*, in diverse condizioni operative, al fine di attuare una corretta messa a punto della *LUT*. I test di calibrazione mostrano la corretta limitazione della corrente a fronte di stress termici oltre i limiti consentiti, mostrati in fig.2.9: la figura mostra come l'intervento del controllo termico limiti e non permetta alla corrente di raggiungere il riferimento di corrente richiesto, ciò è legato all'imposizione di una certa soglia sulla temperatura di giunzione (es.100°C).

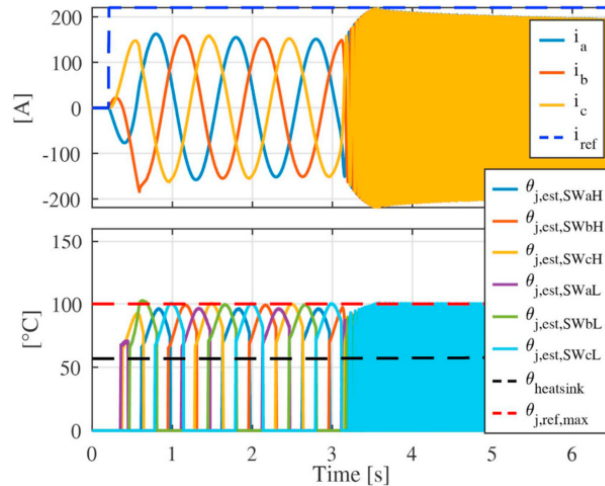


Figura 2.9: Limitazione corrente a seguito del controllo attivo della temperatura di giunzione.

Mentre, in riferimento al comportamento in rete del convertitore, il sistema è stato testato implementando la strategia di controllo *VSM* mostrata in precedenza in accoppiamento al controllo attivo della temperatura di giunzione. Per gli scopi del documento vengono mostrati unicamente i risultati in merito all'iniezione di correnti di cortocircuito durante un buco di tensione.

Il test include un funzionamento in cortocircuito a fronte di un buco di tensione della durata di 500 *ms*.

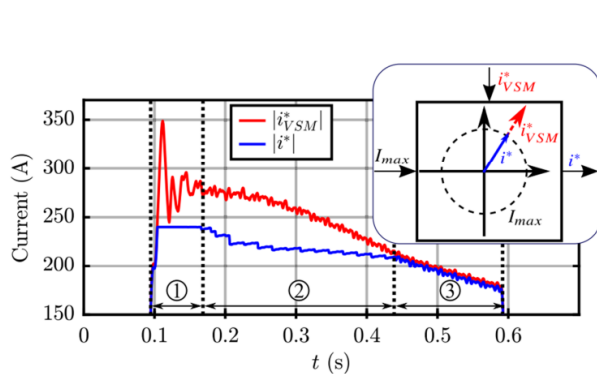


Figura 2.10: Limitazione della corrente durante il buco di tensione, gestito dal controllo attivo di T_j .

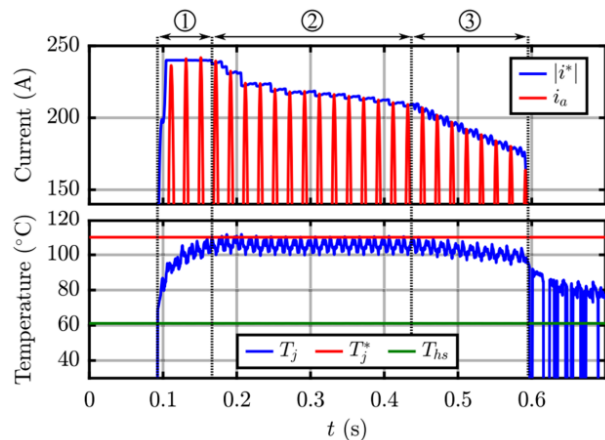


Figura 2.11: Iniezione di corrente di cortocircuito durante un buco di tensione.

In fig. 2.10 viene mostrato come agisce il controllo attivo della temperatura durante un transitorio di cortocircuito: in rosso è possibile risalire alla corrente necessaria ad alimentare il guasto e garantire quindi la selettività delle protezioni, ottenuta da controllo *S-VSC*, mentre in blu si evidenzia la massima corrente di riferimento erogabile dall'anello di corrente interno, limitata dal

controllo attivo della temperatura. La fig.2.11 mostra invece il rapporto tra la corrente di riferimento dell'anello di corrente (blu) e la corrente reale erogata dal convertitore (rosso). La figura sottostante evidenzia come la regolazione del riferimento di corrente attuata dal controllo attivo della temperatura non permetta alla temperatura di giunzione di raggiungere valori critici per i componenti. L'insieme delle figure mostra quindi l'interazione tra le due logiche di controllo e i vantaggi del caso, con particolare menzione alla sovraccaricabilità del sistema rispetto comunque a una soglia di temperatura massima molto al di sotto dei limiti costruttivi dei semiconduttori (1.3 p.u., $T_j^* = 110^\circ C$).

In merito a tutti i test elencati precedentemente e non approfonditi, è importante comunicare la validità del convertitore a fronte di tutte le sollecitazioni del caso.

Capitolo 3

Inverter SiC MOSFET trifase

3.1 Stadio di potenza

Sebbene il sistema di controllo appena descritto ottimizzi al meglio il funzionamento di un convertitore, è bene considerare che le prestazioni complessive dell'impianto derivano da un insieme di fattori: la caratteristica di sovraccaricabilità offerta dal sistema di controllo attivo della temperatura raggiunge la massima ottimizzazione nel momento in cui la base su cui gira l'intero sistema lo permette.

Per tali ragioni, la strategia di controllo *Grid Forming* presentata, verrà implementata su un **inverter trifase basato su dispositivi MOSFET in carburo di silicio, (SiC)** di taglia $100kVA$, operante alla tensione industriale $400V(@50Hz)$.

Rispetto alle consolidate tecnologie in silicio (*Si-MOS*), i dispositivi *SiC* offrono superiore densità di potenza, minori perdite di conduzione e commutazione, ma soprattutto maggiori temperature raggiungibili dalla giunzione ($200^{\circ}C$), mentre confrontate a strutture *IGBT* l'assenza di tensione di soglia permette una maggior efficienza a basso carico. In definitiva, con *SiC-MOS* è garantita maggior resilienza agli stress termici, quindi miglior gestione dei sovraccarichi. Di contro, le differenze di costo e le problematiche *EMI* rispetto alle soluzioni standard al silicio sono fattori che dovranno essere valutati in fase di progetto.

La struttura di potenza deriva da un prototipo di convertitore costruito dal Politecnico di Torino per il progetto *Formula SAE* commissionato da *Squadra Corse*. In fig.3.2 viene presentata la struttura dell'inverter: il dispositivo monta 3 moduli di potenza *SiC* (fig.3.1) targati $V_{BD} = 1.2kV$ e $i_{s,RMS} = 180A (@60^{\circ}C)$, ognuno dei quali contiene due *SiC MOSFET* e relativo diodo in antiparallelo.



- $V_{BD} = 1.2kV$
- $i_{s,RMS,60^{\circ}C} = 180A$
- $f_s > 20kHz$
- $R_{on,25^{\circ}C} = 10m\Omega$
- $T_{j,max} = 175^{\circ}C$

Figura 3.1: Modulo di potenza ROHM BSM180D12P3C007.

Mentre per quanto riguarda il DC-link, l'inverter implementa un sistema misto di condensatori, film e ceramici, in grado di operare a una tensione di 800V.

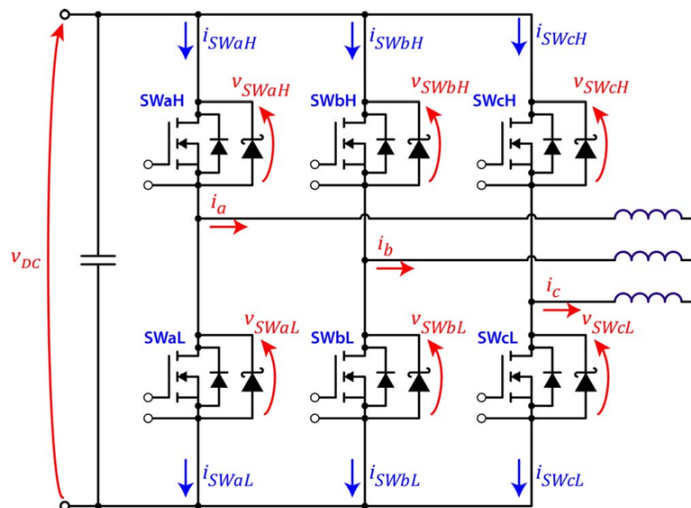


Figura 3.2: Schematico dell'inverter.

L'utilizzo di una frequenza di commutazione oltre i $20kHz$ è utile a minimizzare la taglia dei filtri, visibili a valle della struttura in fig.3.2, comunque non presi in considerazione nel progetto in esame.

3.2 Sensori e sistema di misura

3.2.1 Misura delle tensioni di conduzione dei MOSFET

In riferimento allo schematico di fig.3.2 è possibile visualizzare tutte le misure necessarie al corretto funzionamento della strategia di controllo. A differenza di un convertitore standard, che include misure di corrente, tensione di DC-link e di rete, qui viene integrato un sistema di misura della tensione di conduzione di ogni *MOSFET* ($v_{on,x}$).

Come anticipato nei paragrafi precedenti, per una corretta stima della temperatura di giunzione

è necessario conoscere: le misure di $v_{on,x}$ appena enunciate, la misura delle correnti condotte da ogni semiconduttore, ricostruite dalle correnti di fase e una misura diretta della temperatura sul dissipatore, attuata tramite termistore e le correnti di conduzione di ogni dispositivo. L'ottenimento delle tensioni di conduzione dei *SiC-MOS* è stato reso possibile grazie all'adozione del circuito di condizionamento presentato in fig.3.3 e integrato sul PCB adibito alla gestione dei gate driver.

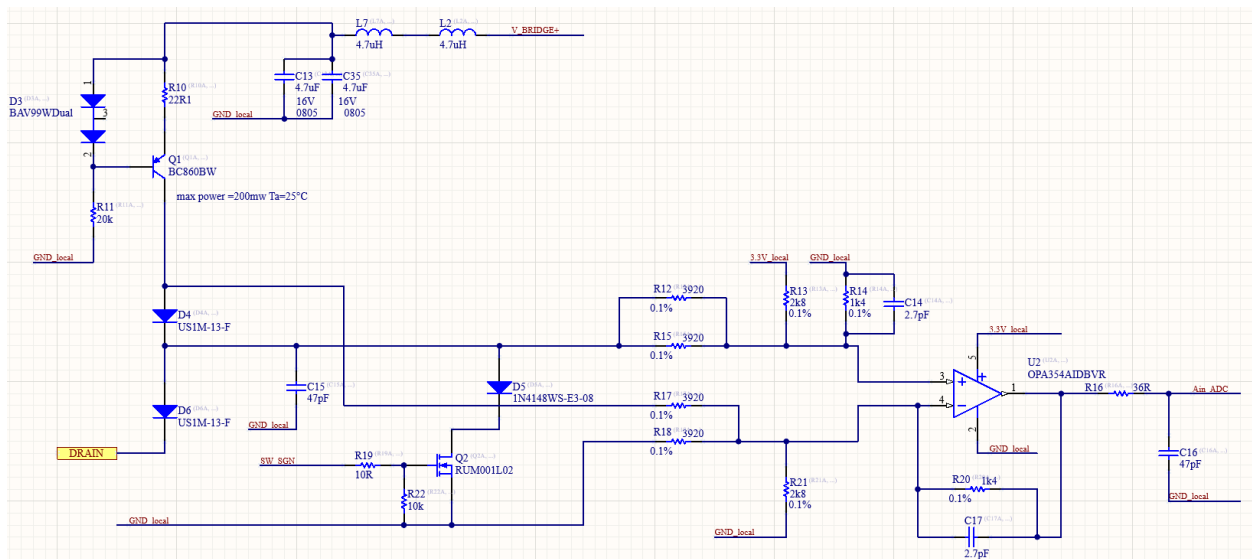


Figura 3.3: Circuito di condizionamento e protezione dello stadio di misura v_{on} .

Il circuito mostra la modalità di gestione del segnale analogico ricavato tra *drain* e *source* (riferimento locale), ossia della caduta di tensione ai capi del singolo *SiC-MOS*.

La coppia di diodi posta all'interfaccia rappresenta un sistema di protezione dello stadio di misura, vulnerabile alle tensioni in gioco durante l'*OFF-state*, in cui $v_{on} = V_{DC-link}$. Mentre durante l'*ON-state* il diodo *D6* conduce la corrente regolata dalla rete del *BJT* a monte ed è quindi possibile attuare la misura.

Il transistor a monte dell'operazionale aumenta la banda della misura e limita, durante l'*OFF-state*, la saturazione dell'*OPAMP* (*Operational Amplifier*).

Il circuito relativo all'operazionale ha il compito di filtrare e adattare il range di tensione ai livelli imposti dal convertitore A/D a valle ($0 \div 3.3V$).

In uscita, infatti, il segnale è inviato a un *ADC* (*Analog-Digital Converter*) a 14 bit (fig.4.26), adibito al campionamento e successivamente alla trasmissione del segnale digitale al *microcontrollore*.

Capitolo 4

Design: Scheda di controllo

In questo capitolo e nei successivi vengono analizzate le scelte hardware definite in fase di progetto per il sistema di controllo *grid-forming* del convertitore e per le relative funzionalità di diagnostica e supporto alla rete. L'intero sviluppo è stato condotto nell'ambiente di progettazione *Altium Designer*.

Il sistema si basa su un *microcontrollore STM32H7*, dotato di molteplici interfacce di comunicazione e integrato su una scheda a sei strati (*6 layer*), oggetto di progettazione e prototipazione, completa di periferiche e sistemi di alimentazione.

Di seguito verrà presentato il *layout* di sistema e le motivazioni di alcune scelte progettuali.

4.1 Schematici

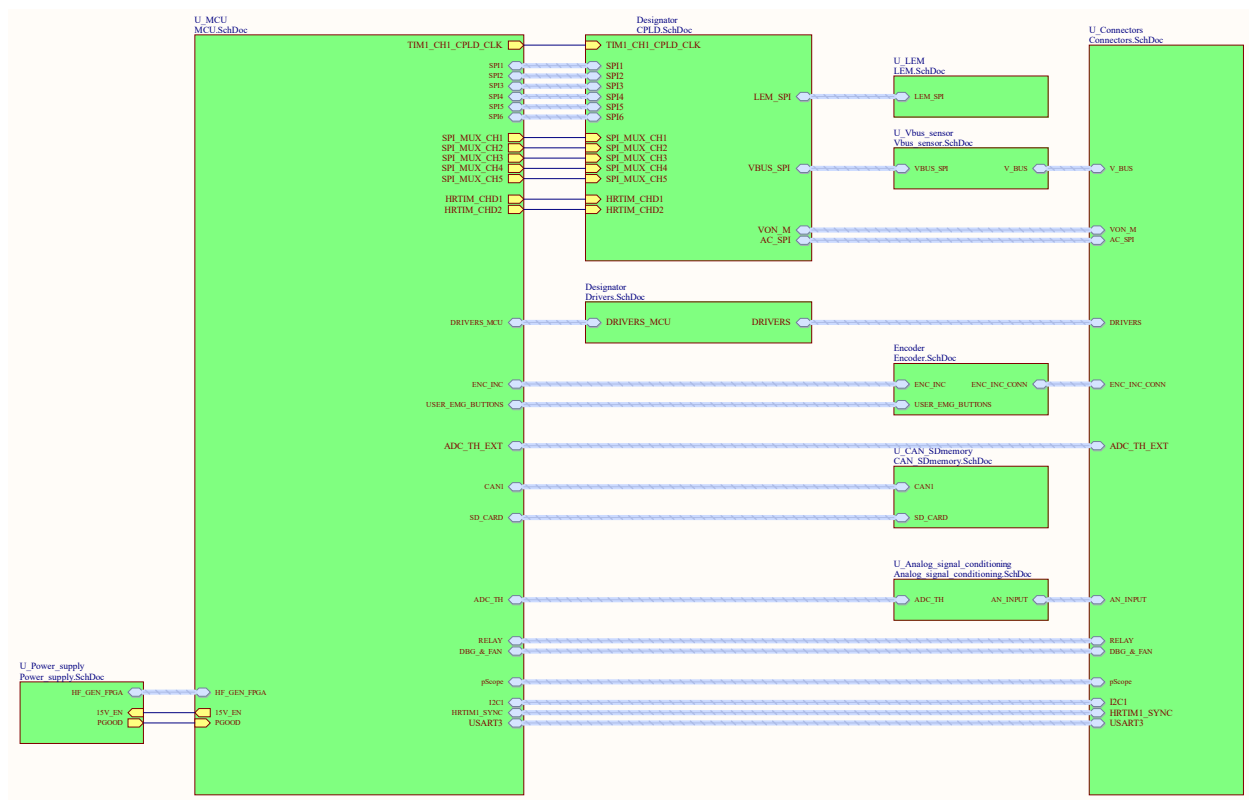


Figura 4.1: Quadro generale su *MCU* e periferiche.

La fig.4.1 mostra l'insieme dei blocchi e delle reti di comunicazione/collegamento tra essi, che costituiranno il *layout* della scheda di controllo.

In linea generale la scheda può essere suddivisa in parti:

- *sistema di alimentazione*- Per la costruzione di potenziali e reti isolate, e non.
- *MCU (Micro Controller Unit)*. In cui avviene la gestione dei segnali in arrivo e in uscita dal μC .
- *CPLD (Complex Programmable Logic Device)*. porzione adibita a fornire un'interfaccia tra *microcontrollore* e periferiche.
- *Drivers*. Include la gestione dei segnali da trasmettere o ricevere dai *gate driver* del convertitore.
- *LEM*. Contiene i circuiti di alimentazione dei sensori di corrente, condizionamento e campionamento misure.

- *VBUS sensor*. Come per i *LEM*, vengono descritti i circuiti di condizionamento e campionamento delle misure della tensione di bus.
- *Encoder*. Nel blocco si visualizza il sistema di interfaccia con l'*Encoder*, includendo sistemi rice/trasmittenti e di protezione
- *CAN e μ SD*. Riguardo la comunicazione *CAN*, il blocco descrive gli integrati e i componenti utilizzati per trasmettere e ricevere informazione, mentre per la μ SD di indicano i circuiti necessari a permettere una memorizzazione e la protezione adeguate del sistema.
- *Condizionamento segnali analogici*. Qui vengono specificati i circuiti di condizionamento dei segnali in arrivo dai termistori posti sul dissipatore, i quali forniscono informazioni utili per la stima della temperatura di giunzione.
- *Connettori*. Infine, tale blocco indica le modalità di trasmissione dei segnali verso l'esterno.

4.1.1 MCU

Il nucleo del sistema risiede nell'*STM32H7* configurato sfruttando il software *STM32Cube* (fig.4.2). Si tratta di un *microcontrollore SMD* ad alte prestazioni, basato su tecnologia *dual-core ARM CORTEX M7+M4* e dotato di 144 *pin*. Mentre il codice firmware del dispositivo è sviluppato in maniera pre-prototipale in linguaggio C, e testato su *PLECS*, e contiene principalmente le seguenti funzioni: calibrazione convertitore, stimatore di temperatura di giunzione, limitatore di corrente ($I(T_j)$), interfaccia alla rete e logica *VSM*; ma non verrà approfondito in questo documento.

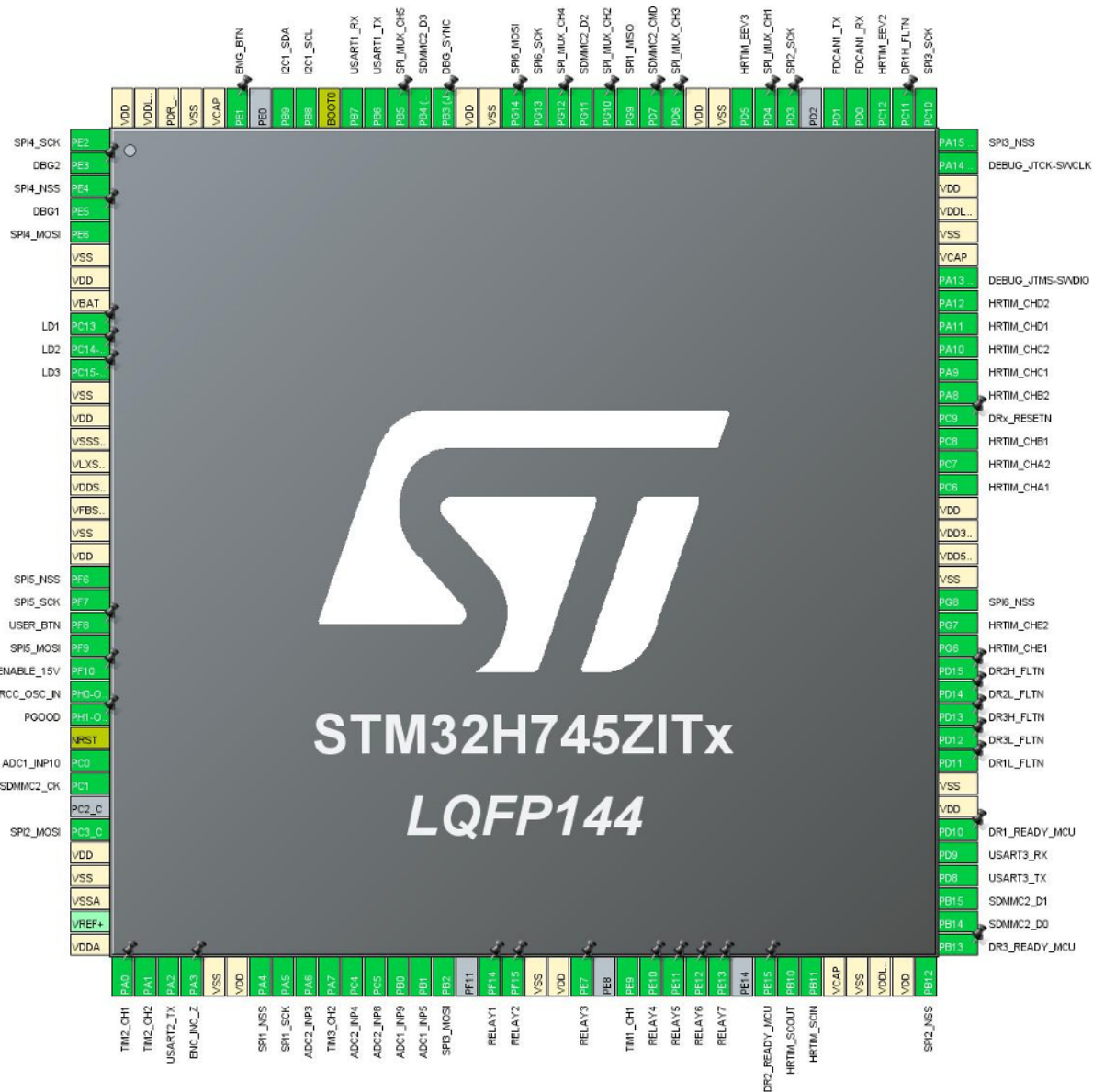


Figura 4.2: Pinout MCU, STM32CubeMX.

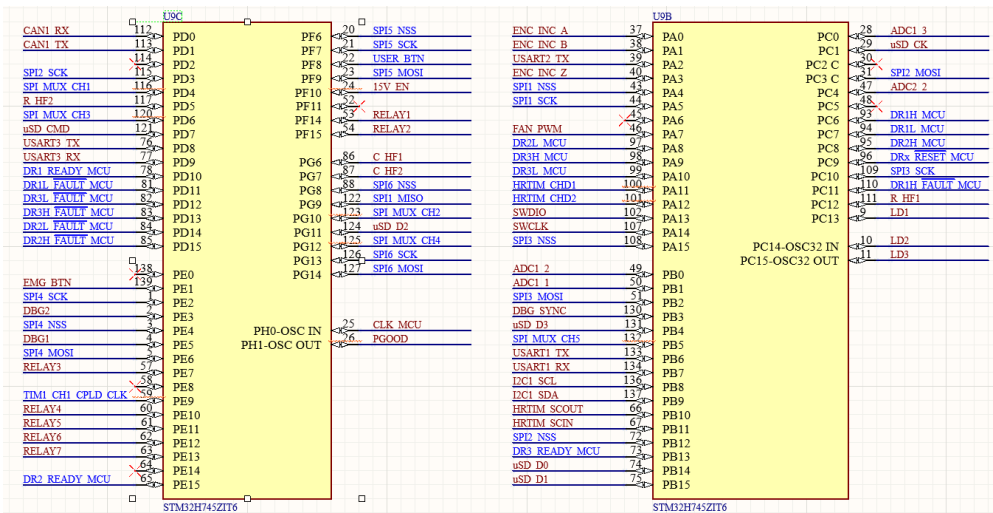


Figura 4.3: Pinout μC , informazione.

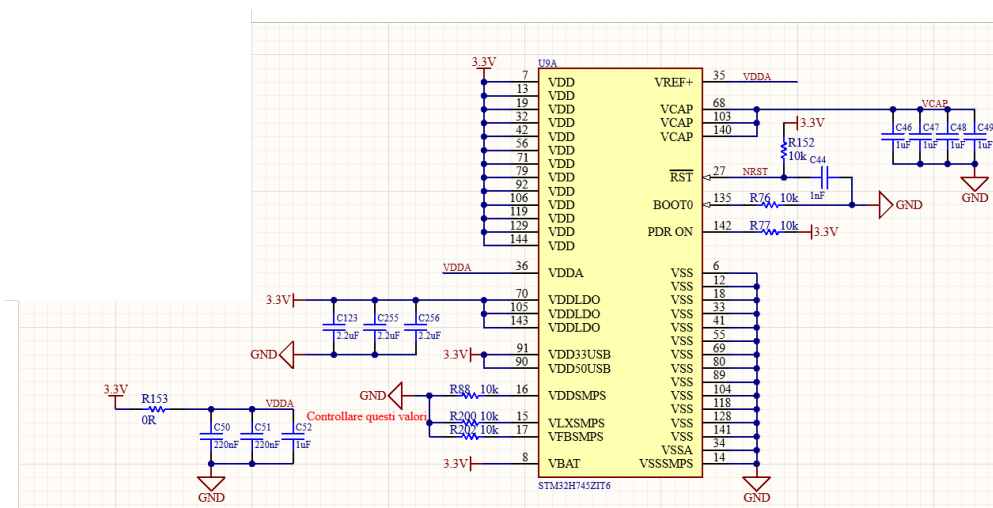


Figura 4.4: Pinout μC , alimentazione e relativa stabilizzazione.

Negli schematici di fig. 4.3 e fig.4.4 identifichiamo il *pinout* del μC , suddiviso su tre blocchi, in modo da distinguere i segnali di informazione da quelli legati all'alimentazione e alla stabilizzazione. Tra i segnali di interesse vi sono:

- comunicazioni **SPI** (*Serial Peripheral Interface*), **I2C** (*Inter-Integrated Circuit*), **CAN** (*Controller Area Network*) e **USART/UART** (*Universal Synchronous/Asynchronous Receiver-Transmitter*).
- comando *driver* e relè.
- ingressi *ADC* ed *Encoder*.
- stoccaggio dati su scheda *SD*.

- segnali *HRTIM* (*High Resolution Timer*), pilotaggio semiconduttori di potenza.
- pulsanti (*EMG*, *USER*) e *debug*.

L'alimentazione è gestita su una rete $3.3V$, distribuita su più pin del μC e stabilizzata da un gruppo di condensatori ceramici.

Allo stesso modo l'*MCU* fornisce dei *pin*, *VCAP*, di stabilizzazione dei regolatori interni, connessi, a loro volta, a condensatori ceramici alimentati da una rete da $1.8V$, ottenuta regolando la rete da $3.3V$, tramite *LDO* (regolatore lineare di tensione, Low Drop-Out).

Nello stesso foglio è poi inclusa la modalità di generazione del segnale di *clock* da $25MHz$, ottenuto da oscillatore esterno.

4.1.2 Reti di alimentazione, Regolatore di tensione

Il sistema di alimentazione dell'intera scheda orbita intorno a un'unica fonte di potenza esterna da $24V$, fornita da batteria. Tale rete è soggetta prima a una fase di filtraggio (fig.4.5), ottenuta tramite rete *LC* (ceramici e elettrolitici), per la reiezione di componenti *HF* (*High frequency*), con frequenza di risonanza:

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \approx 3.5kHz \quad (4.1)$$

Piuttosto bassa al fine di avere una rete il più possibile pulita, data l'importanza.

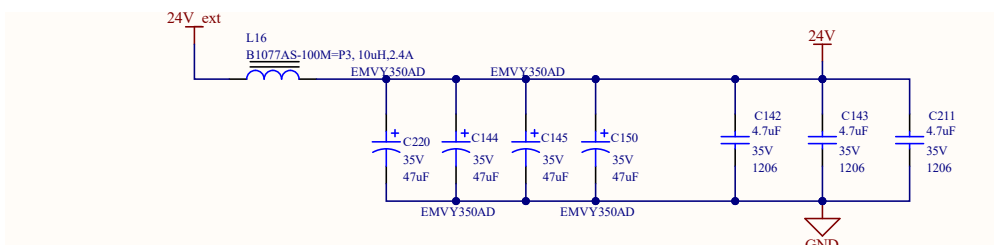


Figura 4.5: Stadio di filtraggio preliminare della rete $24V$ esterna.

A valle del filtro, il potenziale da $24V$ viene opportunamente gestito da un convertitore DC/DC di tipo *switching buck* (fig.4.6); il circuito integrato in questione fornisce tre unità *buck* sincronizzate, fornite di proprio regolatore lineare di tensione.

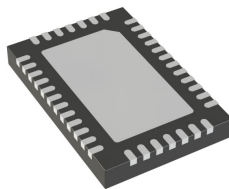


Figura 4.6: Convertitore *buck* con *LDO Analog Devices LT3507HUF-PBF*.

Lo schematico di fig.4.7 mostra ogni uscita *buck* e il relativo circuito di filtraggio e stoccaggio locale. L'obiettivo è costruire tre potenziali filtrati da 3.3V ($f_0 \approx 4.3kHz$), 15V ($f_0 \approx 3.4kHz$) e 5V ($f_0 \approx 4.6kHz$), la cui disponibilità è segnalata da rispettivo LED.

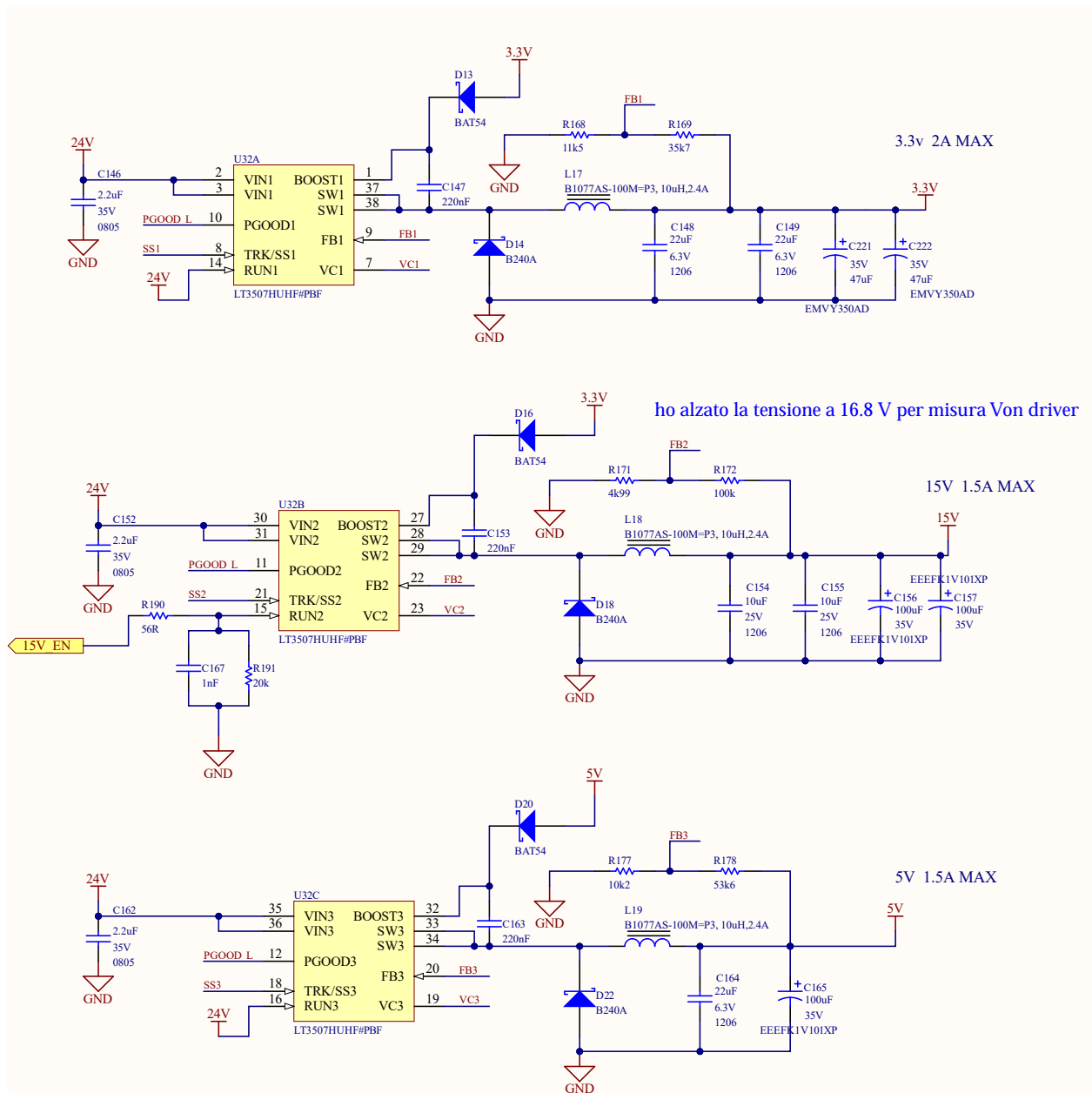


Figura 4.7: Regolatori lineari di tensione e costruzione reti di alimentazione.

Un quarto schematico (fig.4.8), mostra come il dispositivo *buck* sia in grado di generare un segnale di pilotaggio per transistor: utilizzare un transistor *BJT NPN* esterno permette di costruire un'ulteriore rete di alimentazione 3V3_AN. La rete è ottenuta commutando il *BJT*, direttamente connesso al potenziale da 5V, ricavato dalla terza unità *buck* sopra descritta. Il potenziale ricavato

verrà utilizzato per alimentare dei circuiti analogici, analizzati più avanti.

In aggiunta a questa caratteristica, nello schematico viene mostrata infine la gestione delle protezioni *Under Voltage* e *Over Voltage Lock Out*, in grado di rilevare se la tensione di ingresso al circuito integrato supera certi limiti ($UVLO = 19V$, $OVLO = 29V$) interrompendo qualsiasi processo; l' $UVLO$ e l' $OVLO$ sono protezioni tipiche di sistemi alimentati da batteria, in cui la tensione può variare istantaneamente col *SOC (State of Charge)*.

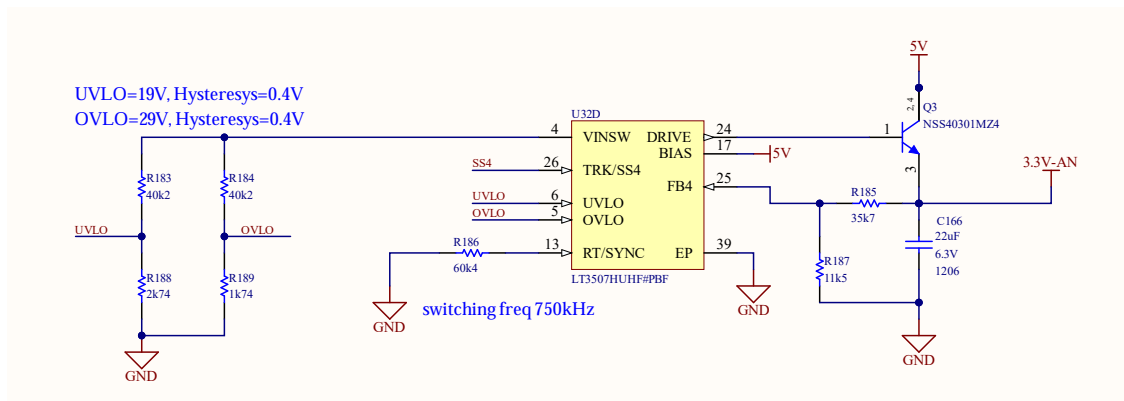


Figura 4.8: Gestione rete analogica e funzioni $UVLO/OVLO$.

4.1.3 Reti di alimentazione, Generatore HF

Il sistema include dei circuiti adibiti alla costruzione di potenziali di alimentazione isolati, principalmente utilizzati per alimentare delle periferiche rumorose, galvanicamente isolate dal *microcontrollore* per minimizzare disturbi e problematiche EMI. Nel progetto in questione il problema risiede nei circuiti di interfaccia *Encoder*, comunicazione *CAN* o altri sensori, l'obiettivo è massimizzare l'integrità dei segnali in uscita da questi stadi, evitando eventuali *crosstalk* o disturbi derivanti da circuiti ad alta frequenza.

Il circuito di regolazione contiene un primo stadio di conversione ottenuto da topologia *full bridge* (fig.4.10) basata su dispositivi *dual trench MOSFET N e P* (fig.4.9).

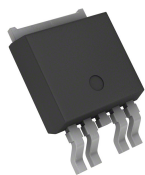


Figura 4.9: *Dual trench MOSFET Onsemi FDD8424H*.

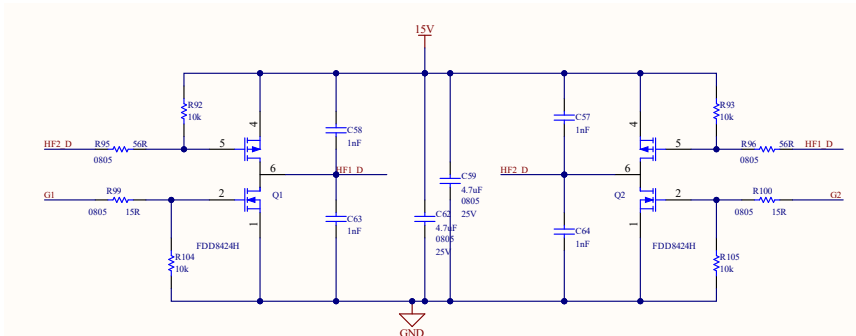


Figura 4.10: Struttura full bridge.

Il controllo dei *P-MOS high-side* è gestito direttamente dall' *MCU*, mentre i segnali di comando degli *N-MOS low-side* sono sempre legati all' *MCU*, ma corretti da un driver invertente esterno (fig.4.11) la cui mansione è attuare un'inversione e inserire un ritardo (*dead time*) al fine di limitare i cortocircuiti di gamba (fig.4.12).

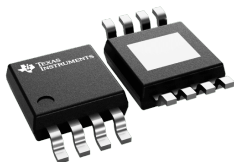


Figura 4.11: Dual Driver
Texas Instrument
UCC27423.

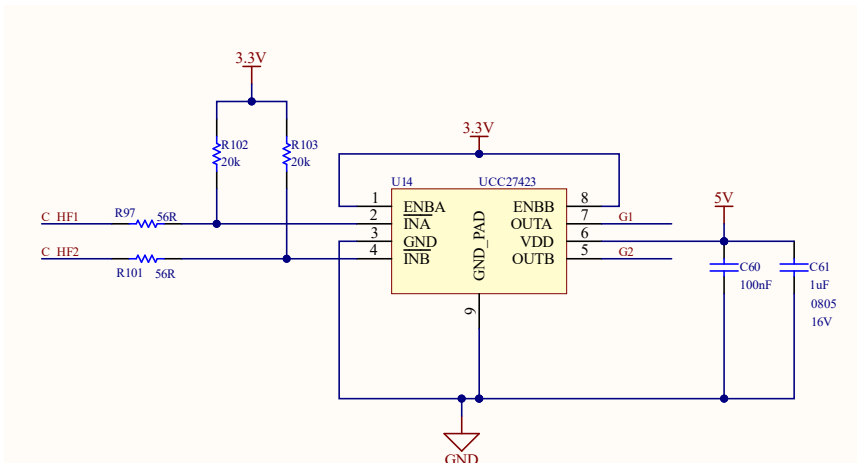


Figura 4.12: Circuito di configurazione driver.

Lo scopo di questo stadio è generare due segnali complementari, regolando il potenziale da 15V precedentemente definito, a una frequenza di $100kHz$, così da sfruttare un trasformatore di isolamento posto subito a valle.

Il trasformatore di isolamento costituirà a secondario due segnali ad alta frequenza VHF_1 e VHF_2 complementari, galvanicamente isolati dal circuito a primario, utilizzati per alimentare tre sistemi multi-livello di conversione, mostrati in fig.4.13.

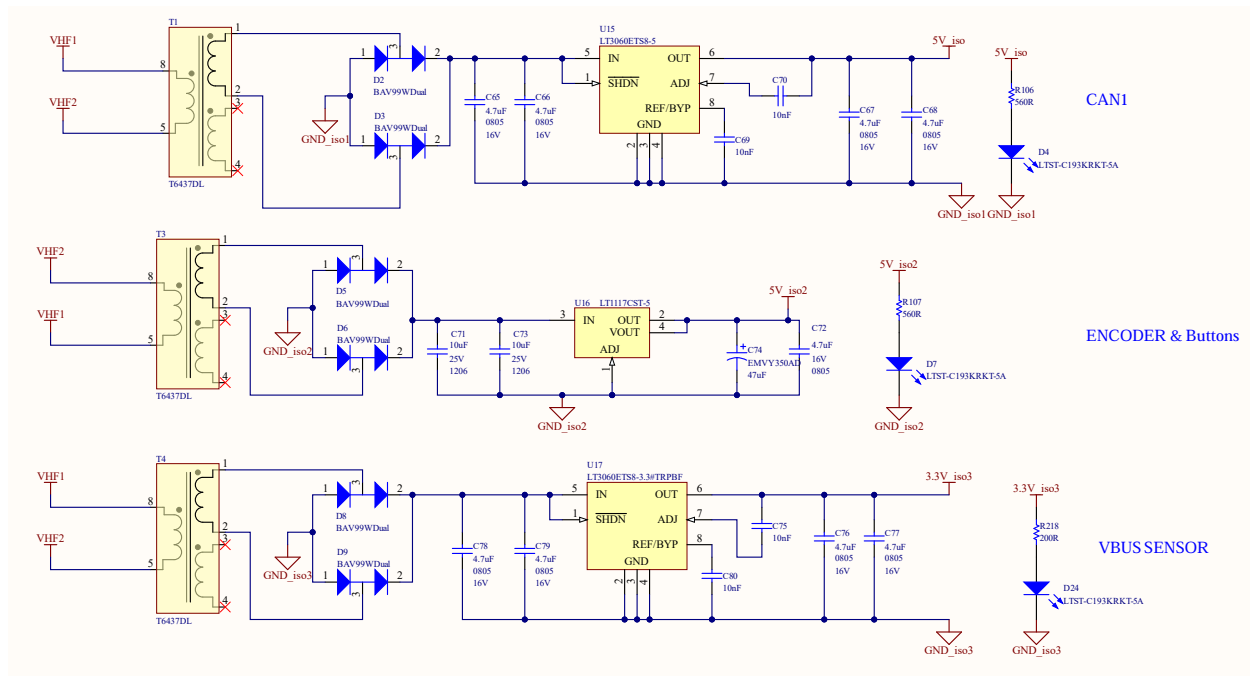


Figura 4.13: Reti di alimentazione isolate.

Ogni blocco, appunto, è fornito di trasformatore di isolamento (fig. 4.14), ponte a diodi (fig. 4.15) e regolatore lineare (fig. 4.16, 4.17). Il sistema in questione, in accoppiamento a filtri capacitivi e stoccaggio locale, costituiranno tre reti di alimentazione isolate adibite al funzionamento di rete CAN e sensori, quali Encoder e tensione di bus, VBUS.

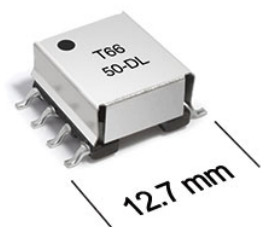


Figura 4.14: Trasformatore di isolamento Coilcraft T6437-DL.



Figura 4.15: Diodi Nexperia BAV99W-Dual.

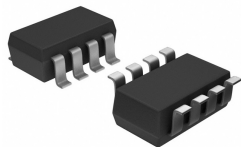


Figura 4.16: Regolatore lineare *Analog Devices* *LT3060ETS8-5*.

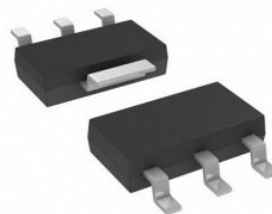


Figura 4.17: Regolatore lineare *Analog Devices* *LT1117CST-5*.

4.1.4 CPLD

A fronte dell'architettura complessa del sistema, è stata valutata e confermata la necessità di aggiungere un circuito integrato che potesse fungere da interfaccia per le comunicazioni tra *microcontrollore* e sensoristica, come mostrato nel foglio di lavoro di fig. 4.1.

In precedenza il sistema di controllo implementava un circuito integrato *FPGA* (*Field Programmable Gate Array*): l'obiettivo di utilizzare questo dispositivo era puramente di interfaccia, dal punto di vista prestazionale risultano ad oggi la migliore delle opzioni, ma la necessità di eliminare componenti hardware aggiuntivi per la configurazione e migliorare la semplicità della scheda, si è tradotta nella sostituzione del componente con un *CPLD*, sicuramente meno costoso, più compatto e semplice da gestire.

Lo scopo di utilizzare una **CPLD** è di fornire porte logiche I/O aggiuntive a quelle del μC e fungere da interfaccia *SPI* o *I2C*, in modo da alleggerire il carico sull'*MCU*, grazie alla integrazione di blocchi logici e memoria che permettono al dispositivo di elaborare operazioni logiche rapide, su un *package* piuttosto denso e compatto per minimizzare gli ingombri.

Nel progetto in questione, la *CPLD* dovrà gestire i dati di corrente e tensione in arrivo dai sensori *LEM* e *VBUS*, dal sistema di misura v_{on} e delle tensioni concatenate di rete, in arrivo da una scheda di misura esterna.

La scelta è ricaduta sulla *CPLD* mostrata in (fig.4.18), ottenuta su un *package SMD* su cui risiedono 100 *pin*.

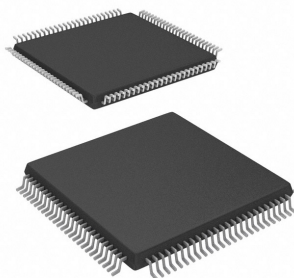


Figura 4.18: *CPLD Altera MAX V 5M570ZT100C5N*.

4.1.5 Sensori: LEM

Come specificato al capitolo 1, per costruire il modello di stima della temperatura di giunzione tipico del *TSEP*, risulta indispensabile conoscere l'informazione sulle correnti di conduzione dei *MOSFET*: esistono diversi modi per valutarle, quello presentato in questo documento adotta una tecnica per la quale le correnti condotte dai dispositivi semiconduttori vengano ricostruite dalla misura delle correnti trifase in uscita dallo stadio di potenza, a loro volta utilizzate per fornire i *feedback* all'anello di controllo *closed loop* delle correnti.

La soluzione proposta adotta tre sensori di corrente a effetto hall in anello chiuso (fig.4.19)



Figura 4.19: Sensore di corrente a effetto hall *LEM LA200-P*.

Uno dei vantaggi di utilizzare questi dispositivi, invece che dei semplici shunt, è la proprietà di isolamento galvanico garantita tra cavo di potenza (passante nel foro) e sistema di controllo.

Di base un sensore a effetto hall genera un segnale analogico, ottenuto grazie a un circuito magnetico interno accoppiato a un sistema di controllo, che compensa il campo magnetico generato dalla corrente misurata, quest'ultima proprietà è tipica dei sensori in anello chiuso e permette di avere delle bande di misura molto ampie rispetto ad altri sensori, essendo immuni alla saturazione magnetica. In fig. 4.20 viene mostrato il circuito di condizionamento di uno dei tre sensori da implementare sulla scheda di controllo.

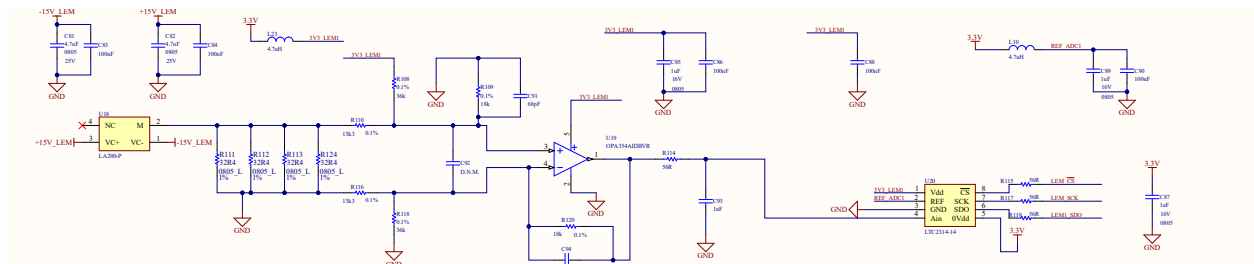


Figura 4.20: Sistema di condizionamento delle misure *LEM*.

Un sensore LEM in anello chiuso fornisce in uscita un segnale analogico in corrente, per il quale si giustifica la presenza di resistenze in parallelo, il cui compito è generare un segnale equivalente in tensione e diminuire l'ampiezza della corrente di compensazione in uscita dal *LEM*. Il circuito resistivo appena mostrato è indispensabile per interfacciare il sensore all'*ADC*. A monte dell'*ADC* poi è presente un *OPAMP* per il filtraggio del segnale e l'imposizione dell'offset per un campiona-

mento ottimizzato. Infine, ogni segnale campionato, in uscita da ogni *LEM*, è trasmesso alla *CPLD* tramite comunicazione *SPI*.

L'alimentazione bipolare $\pm 15V$ di ogni sensore è ottenuta regolando la rete da $24V$ (filtrata), tramite convertitore DC/DC isolato (fig.4.21) .



Figura 4.21: Convertitore DC-DC *RECOM REC5-2415DRW/H4/A*.

Ogni polarità è poi successivamente filtrata da uno stadio LC ($f_0 \approx 5kHz$).

4.1.6 Condizionamento segnali analogici, Temperatura

Sempre in riferimento al modello basato su strategia *TSEP*, oltre alle misure elettriche, è necessario risalire a una misura reale della temperatura: l'impossibilità di introdurre sensori di temperatura internamente ai semiconduttori porta a l'unica soluzione attuabile, ossia sfruttare due termistori per ottenere la temperatura reale del dissipatore (*heatsink*).

Per lo scopo sono stati selezionati due termistori (fig.4.22), in grado di operare su un range di temperatura ampio ($-200, +600^{\circ}C$), con elevate dinamiche di risposta.



Figura 4.22: Termistore *Connettività TE PTC NB-PTCO-006*.

La natura analogica dell'informazione di questi sensori dovrà quindi essere campionata da un *ADC* per poter essere gestita dal μC e per l'adattamento della misura alla periferica è indispensabile la presenza di un circuito di condizionamento, mostrato in fig.4.23.

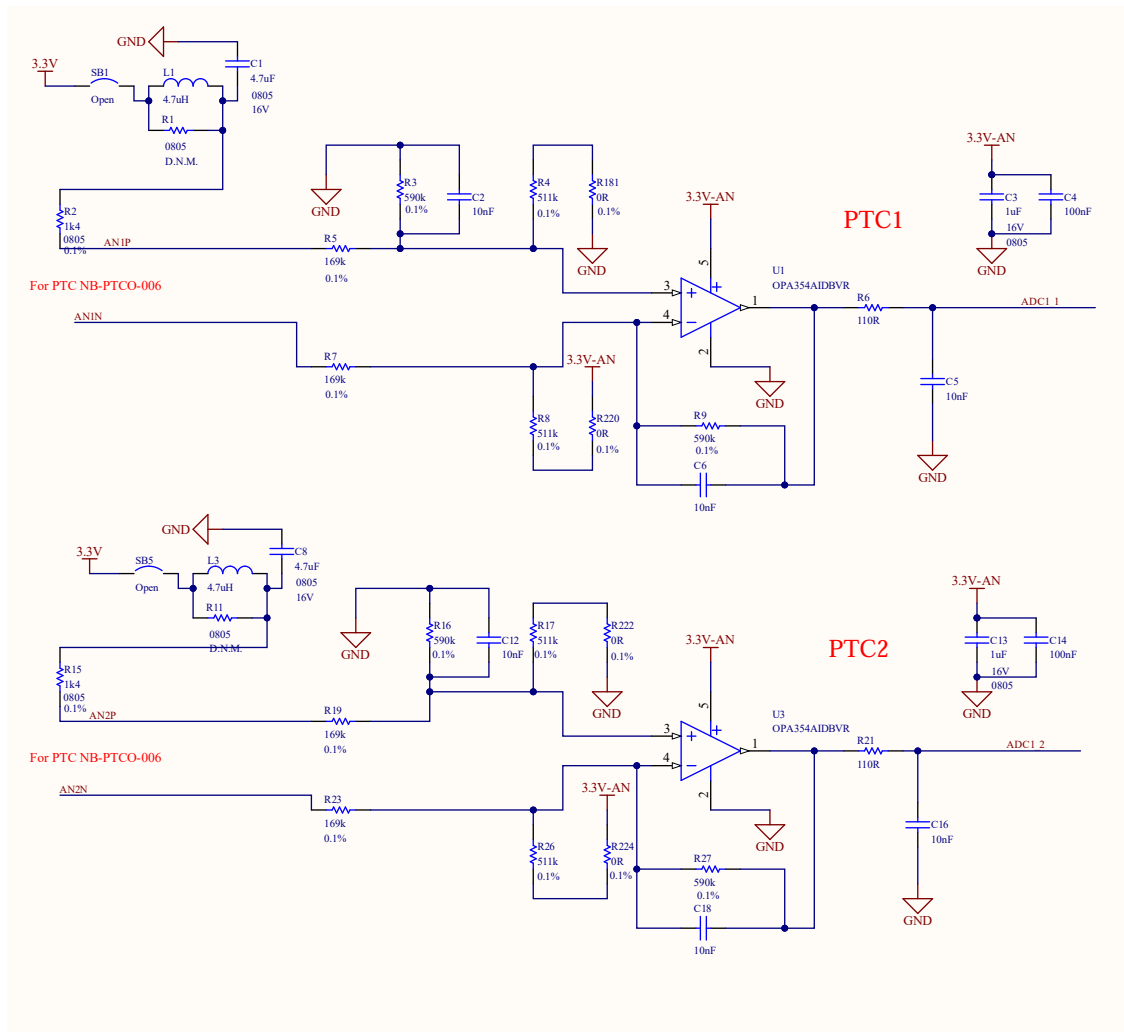
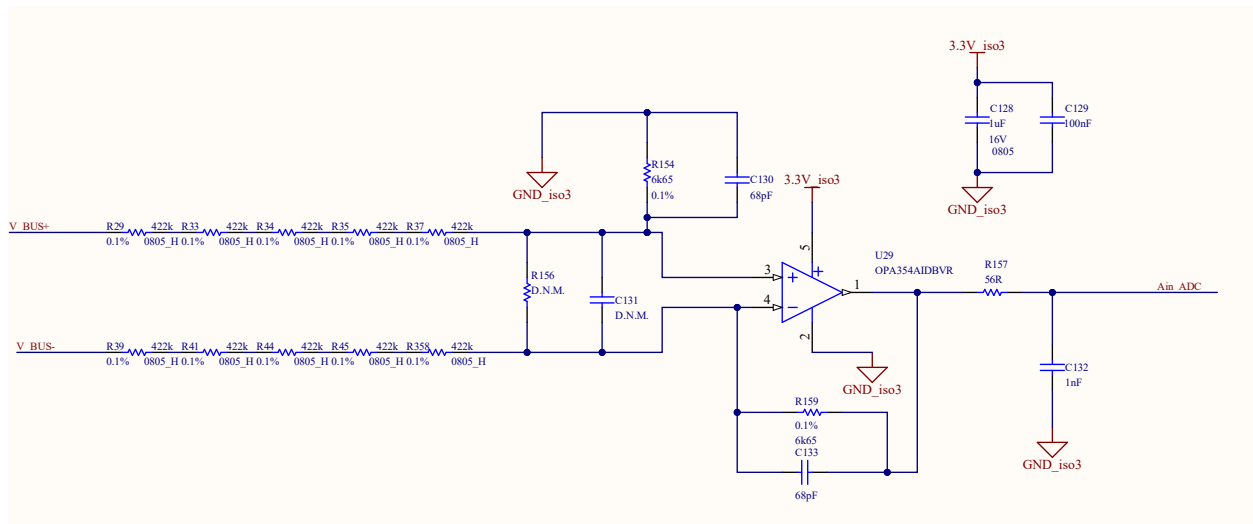


Figura 4.23: Condizionamento misure di temperatura ricavate da termistori.

La cui mansione è quella di imporre un offset, in modo da adattare la misura sul range 0 – 3.3V, e filtrare il segnale.

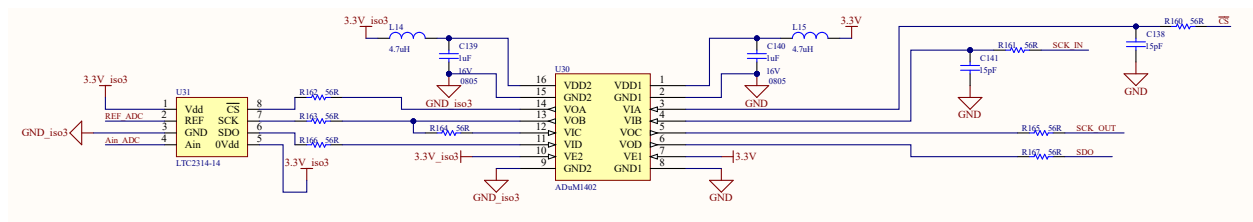
4.1.7 Sensori: VBUS

Come standard, un convertitore necessita di una misura della tensione di DC-link per poter gestire al meglio la modulazione *PWM* (*Pulse Width Modulation*) o eventuali anelli di tensione aggiuntivi. Lo stadio di acquisizione di questo genere di misure è tipicamente ottenuta adottando circuiti operazionali isolati, più semplici ed economici se confrontati ad altre tecniche. La tensione di *DC-link* è identificata dai segnali $V_{BUS\pm}$, ottenuto da connettore, direttamente connesso al *DC-link* dell'inverter.


 Figura 4.24: Sistema di condizionamento delle misure $VBUS$.

Il condizionamento del segnale è mostrato in fig.4.24, $VBUS$ include un primo stadio di adattamento resistivo ($\frac{V_{OPAMP}}{V_{BUS}} \approx 0.00314$), in modo da ottimizzare l'interfaccia con l' $OPAMP$; il compito dell'operazionale a valle è filtrare il segnale generato dalla differenza degli ingressi, da trasmettere poi all' ADC (fig.4.26).

Come si può intuire dal tipo di alimentazione dell' $OPAMP$, il segnale, per arrivare all' MCU , deve percorrere due piani di alimentazione isolati, GND_iso3 , contenente il solo circuito di condizionamento, e GND_GT , piano di massa ($Ground$, GND) del μC . Come specificato in precedenza, l'obiettivo di separare galvanicamente due parti del sistema è quello di limitare problematiche EMI o, come nel caso in questione, l'introduzione di potenziali pericolosi per i componenti (es. $V_{dc-link} = 800V$). In elettronica la separazione è attuata dagli isolatori digitali (fig.4.25).


 Figura 4.25: Barriera di isolamento per segnale $VBUS$.

Questo genere di dispositivi permettono la trasmissione di segnali grazie all'ausilio di barriere di isolamento, che possono essere di varia natura: induttiva (fig.4.27), come nel caso in questione (principio analogo dei trasformatori di isolamento), capacitiva, più complessi (includono una conversione A/D preliminare, D/A all'uscita e lo sfruttamento di barriere SiO_2), ottici, ormai obsoleti (sfruttano l'accoppiamento tra luce LED e transistor fotosensibile).



Figura 4.26: ADC Analog Devices LTC2314-14.

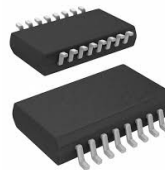


Figura 4.27: Isolatore digitale Analog Devices ADuM1402.

4.1.8 Interfaccia Encoder

Un convertitore *grid* deve essere in grado di interfacciare qualsiasi impianto in rete e come spesso accade potrebbe trattarsi di un sistema basato su generatore rotante (es. turbina eolica). Di conseguenza, per un corretto funzionamento del sistema di regolazione e di controllo, sia lato motore che rete, risulta indispensabile l'utilizzo di un sensore di velocità, come l'*Encoder* e pertanto occorrerà sviluppare un circuito di interfaccia *encoder-MCU*.

In progetto è quindi incluso un circuito di ricezione e condizionamento di segnali *Encoder*, il quale viene mostrato in fig.4.28.

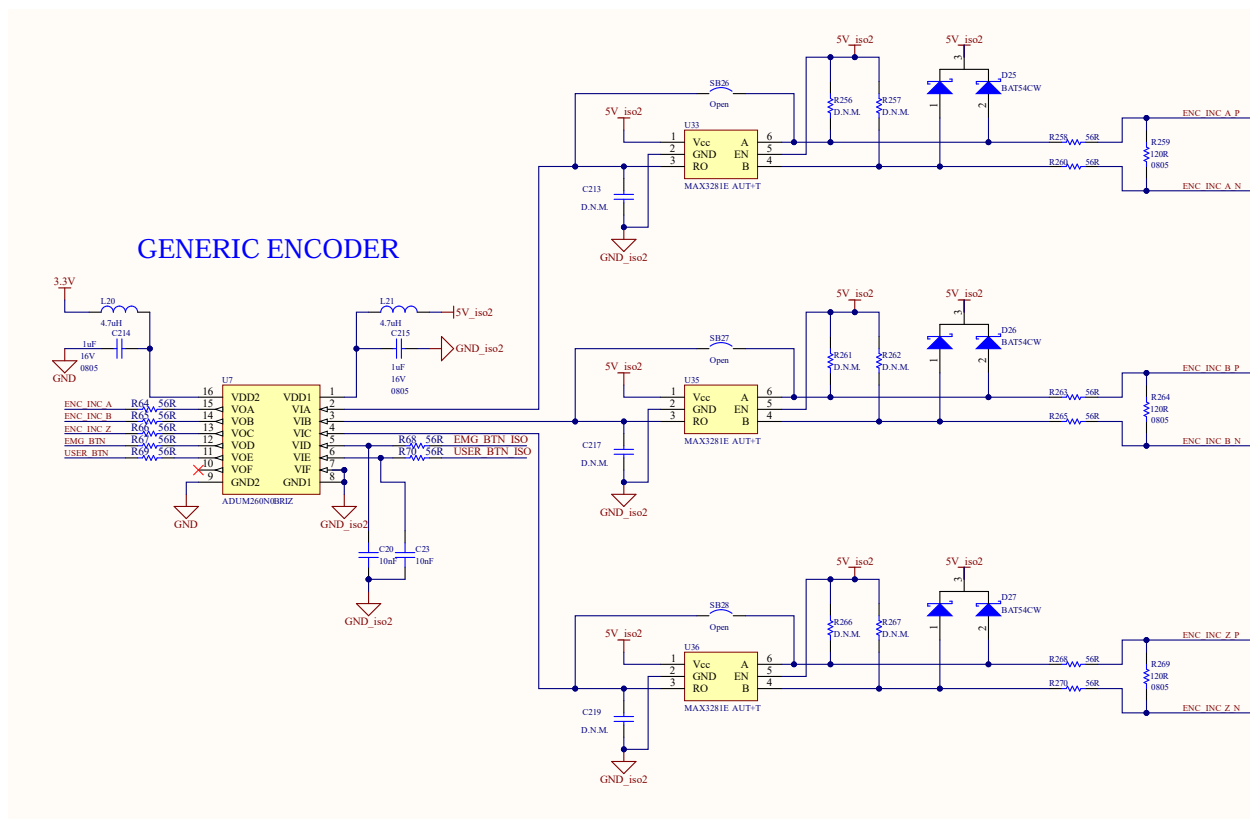


Figura 4.28: Interfaccia Encoder.

Il circuito tiene conto della possibilità di implementare un *Encoder* incrementale: ogni dispositivo di questo genere misura la velocità e la posizione del rotore per mezzo di tre segnali A,B e Z, ognuno di essi è trasmesso al rispettivo ricevitore (fig.4.30) come coppia differenziale per minimizzare i disturbi di modo comune sul segnale originario.

Per questioni di robustezza ai disturbi, il circuito si trova su un piano di massa isolato, per cui la ricezione dei segnali da parte dell'*MCU* deve essere supportata da una barriera di isolamento (isolatore digitale in fig.4.29).

Si noti anche che l'isolatore trasmette i segnali di comando dei pulsanti di emergenza e utente, dato dal fatto che pulsanti e *Encoder* condividono la stessa rete di alimentazione isolata $5V_{ISO,2}$.



Figura 4.29: Isolatore digitale *Analog Devices* *ADUM260N0BRIZ*.



Figura 4.30: Ricevitore *Analog Devices* *MAX3281E AUT+T*.

4.1.9 Interfaccia CAN

I vantaggi della comunicazione *CAN* sono, ad oggi, riconosciuti in qualsiasi settore: robustezza a disturbi EMI, comunicazione su lunghe distanze, semplicità di cablaggio e la gestione delle priorità di trasmissione hanno alimentato l'interesse per questo protocollo di comunicazione, tanto da rendere compatibili tutte le periferiche che necessitano di vie di comunicazione per operare. L'esempio calzante risiede nel μC *STM32H7*, il quale presenta un'interfaccia *CAN* sia per le comunicazioni che per la configurazione degli algoritmi di controllo.

Sulla scheda infatti è possibile trovare un sistema di interfaccia *CAN* (fig.4.31, che interconnette il *microcontrollore* con periferiche poste anche al di fuori del circuito stampato, grazie all'ausilio di un connettore capicorda.

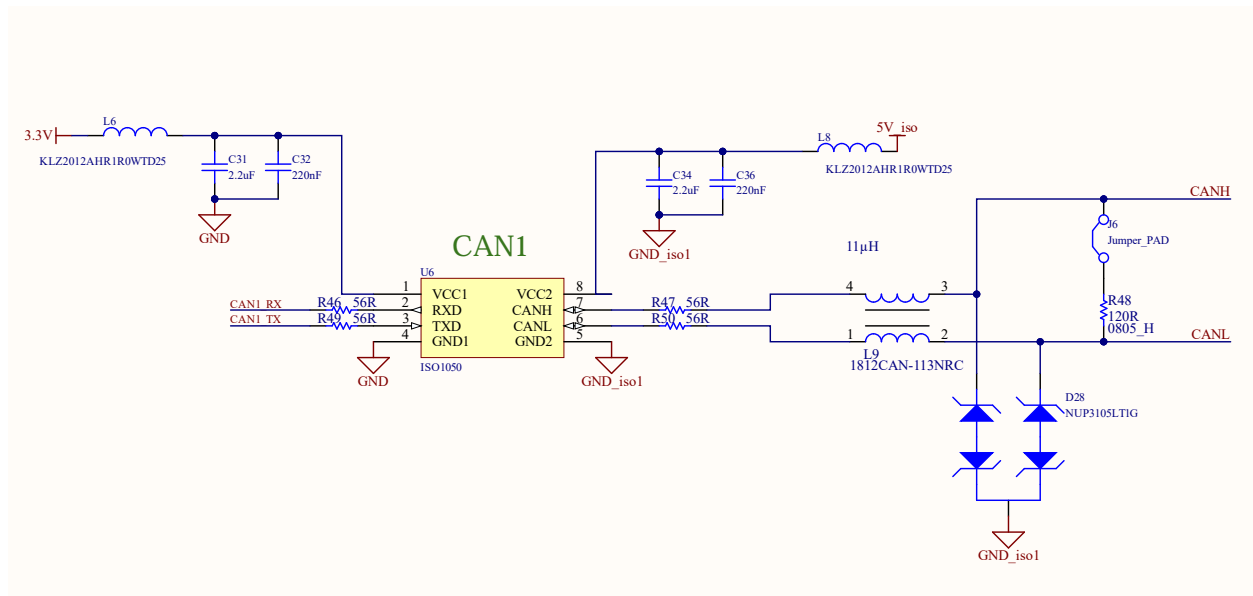


Figura 4.31: Interfaccia CAN.

Lo schematico mostra un dispositivo ricetrasmittitore (fig.4.32), che garantisce l'isolamento tra i piani di massa del μC e dell'interfaccia CAN. I nodi di ricezione sono muniti di un sistema di filtraggio CM (*common mode*), ottenuto da induttore *1812CAN-113NRC*, e uno di protezione da scariche, ottenuto dai diodi *TVS (Transient Voltage Suppression)*, accoppiati alla ora mai affermata resistenza di terminazione da 120Ω , per l'adattamento di impedenza (inibisce la riflessione dei segnali).



Figura 4.32: Rice-trasmittitore *Texas Instrument ISO1050*.

4.1.10 MicroSD

Risulta evidente che il sistema debba gestire una mole non trascurabile di informazioni e periferiche, a queste si aggiunge la necessità di valutare e memorizzare le *LUT*, tipiche della strategia di controllo già descritto, è immediato quindi concludere che, indipendentemente dalla tecnologia di μC o *CPLD* utilizzate, risulta indispensabile la presenza di una memoria esterna, non solo per la memorizzazione di dati utili al controllo, ma anche per quanto riguarda il monitoraggio a lungo termine delle prestazioni del sistema.

In fig. 4.33 è mostrato il circuito di interfaccia, direttamente connesso all'*MCU*, con protocollo di comunicazione SPI.

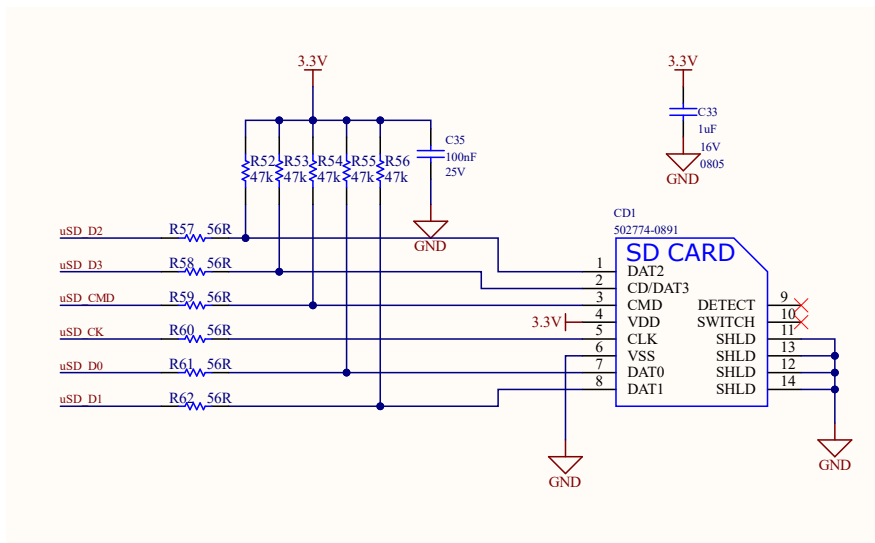


Figura 4.33: Interfaccia μ SD.

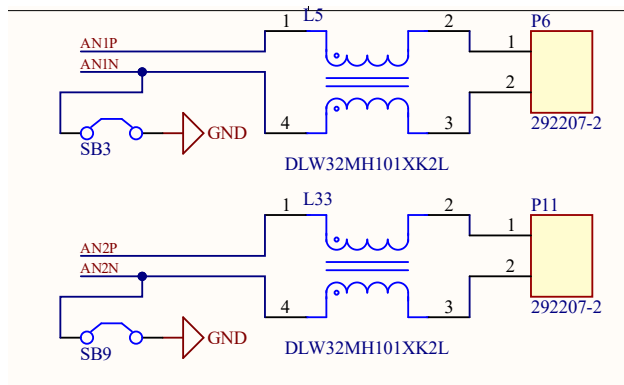
4.1.11 Connettori

Una volta definiti tutti i componenti che risiedono sulla scheda di controllo, è facile intuire che la presenza di molteplici interfacce dimostri come i segnali necessari per il controllo del convertitore e per le principali funzioni di sistema derivino da organismi esterni al circuito stampato, tra cui:

- alimentazione 24V
- segnali di *debug*
- segnali *Encoder*
- segnali termistori
- misura della tensione di *DC-link*
- comando dei driver di ogni *MOSFET* e relativa misura della tensione v_{on}
- comunicazione con circuiti stampati esterni

Occorrerà quindi predisporre una serie di connettori per garantire la ricezione/trasmissione dei segnali appena elencati, nel relativo schematico è possibile visionare il numero e la tipologia di connettori presenti nella scheda di controllo.

In riferimento ai segnali analogici in arrivo dai termistori, viene adoperato un connettore compatibile (fig.4.34) con i terminali dei *PTC*, in accoppiamento a un filtro CM.


 Figura 4.34: connettore *PTC TE 292207-2*.

I requisiti di corrente per l'alimentazione da 24V impongono di scegliere un connettore in grado di supportare le grandezze elettriche in gioco.

I restanti segnali non necessitano di particolari accortezze, se non per la necessità di adattare l'impedenza di linea con apposite resistenze o l'aggiunta di filtri RC ($f_0 \approx 190MHz$), principalmente utilizzati per eliminare eventuali disturbi radiati, derivanti da stadi di conversione vicini, e posti in corrispondenza dei segnali relativi all'informazione su v_{on} , soprattutto per i segnali di comunicazione e *debug*. L'unico grado di libertà comune è l'imposizione del numero di poli (ingressi) del connettore, dipendente dal tipo di mansione.

4.2 PCB layout

4.2.1 Posizionamento componenti

Il posizionamento, oltre che essere un fattore estetico, risulta determinante in fase di valutazione dei disturbi elettromagnetici (EMI) e dell'integrità di segnali, soprattutto in riferimento alle induttanze parassite e ai problemi a esse connesse. Altrettanto per quanto riguarda l'ottimizzazione della superficie del *PCB* e del *routing* (connessioni su traccia), che risulterà più pulito e resiliente ai disturbi.

Tipicamente, la superficie del circuito stampato viene partizionata in modo funzionale: suddividere la scheda in settori, diventa efficace non solo per la manutenzione e l'identificazione di un gruppo di componenti appartenenti allo stesso circuito, ma anche per minimizzare eventuali disturbi derivanti dalla stretta vicinanza di segnali analogici e digitali, che, come si può ben intuire, dovranno trovarsi su zone diverse del *PCB*.

Un altro punto determinante per l'integrità di segnale e l'immunità di disturbi è l'utilizzo di capacità di bypass e disaccoppiamento.

La prima famiglia di condensatori racchiude tutti i componenti con capacità minore del μF e vengono principalmente utilizzati per fornire una via preferenziale per i segnali in alta frequenza, generalmente indesiderati, e vengono posti tra alimentazione e massa.

Le capacità di disaccoppiamento vengono sfruttate per lo stoccaggio locale di energia, motivo per cui questi componenti presentano capacità più elevate, oltre il μF ; immagazzinare energia localmente può essere utile in presenza di transitori di corrente, causa di disturbi ad alta frequenza, filtrati da queste capacità.

Le mansioni delle due tipologie di componente vengono spesso confuse, giustamente, ma dal punto di vista del posizionamento, entrambi presentano requisiti analoghi: tutte le capacità di questo genere, per poter operare efficacemente, devono collocarsi in stretta vicinanza all'integrato che debba sfruttarne i vantaggi, più il componente è vicino, minori saranno le induttanze parassite introdotte dalle connessioni e di conseguenza i disturbi associati.

Infine, trattandosi di un circuito stampato basato su μC e *CPLD*, è importante gestire il posizionamento dei vari circuiti sapendo che tutti i canali di comunicazione e informazione dovranno convergere, nel caso in questione, all'*MCU* e alla *CPLD*. In maniera gerarchica, la zona centrale del *PCB* ospiterà i due circuiti integrati e intorno risiederanno tutte le periferiche e le interfacce elencate in precedenza, con la possibilità di sfruttare entrambi i lati del *PCB* (*top-layer* e *bottom-layer*) in modo da ottimizzare lo spazio.

4.2.2 Piani di massa e alimentazione, stack-up

I piani di massa in un *PCB* rappresentano l'elemento principale a garantire l'immunità ai disturbi e la compatibilità elettromagnetica. Non ha il solo obiettivo di fornire il riferimento ai potenziali distribuiti in tutto il circuito stampato, ma fornisce vantaggi importanti riguardanti i parassitismi. In primo luogo, un piano di massa funge da percorso di ritorno per le correnti, per cui non è necessario tracciare ulteriori connessioni per richiudere un circuito, porre un piano di massa direttamente al di sotto di una traccia minimizza quindi il percorso e avere una distanza minima tra segnale e ritorno inibisce i disturbi derivanti dalle induttanze parassite e la diafonia tra tracce vicine.

Un altro vantaggio di avere un piano di massa, connesso all'inibizione della diafonia, è la garanzia di avere un potere schermante tra gli strati del *PCB*, ma anche verso l'esterno, se posti con accortezze opportune. Qualsiasi piano di massa o alimentazione è sostanzialmente ottenuto da rame, essendo un metallo, innesca i principi base della gabbia di *Faraday*.

La natura metallica di questi piani, oltre che fornire schermatura, è molto utile nella gestione termica del sistema, soprattutto utilizzando strumenti appositi come i *vias*. Un piano permette una distribuzione uniforme della temperatura, minimizzando gli stress termo-meccanici sia sulla scheda che sui componenti.

Le proprietà termo-elettriche del rame vengono sfruttate anche nell'ambito dei piani di alimentazione: generalmente, a un piano di alimentazione sono associati diversi fattori, tra cui, la presenza di più componenti da interconnettere a quella rete e la possibilità di incombere in correnti non proprio trascurabili. Utilizzare molteplici tracce per costruire una rete appartenente allo stesso potenziale diventa critico, non solo dal punto di vista termico ed elettrico, per il quale occorrerà valutare con precisione le sezioni in gioco, ma anche dal punto di vista di robustezza ai disturbi; preferire una piastra in rame e le relative connessioni tramite *vias*, piuttosto che un insieme di tracce, diventa

una scelta obbligata in presenza di stress termici, impedenze di interconnessione e instabilità del potenziale impattanti. A fronte di questi vantaggi, è importante valutare come costruire un piano di massa, evitando quindi tutte le criticità del caso. Una delle leggi basilari nella costruzione dei piani di massa e/o di alimentazione, è che questi debbano essere il meno possibile interrotti o tagliati da componenti, verrebbero meno le proprietà termiche e di resilienza ai disturbi.

La scelta di adoperare un *PCB* a 6 strati deriva anche dal requisito di avere piani di massa e alimentazione inalterati: dei sei disponibili, uno strato sarà interamente adibito all'alimentazione e uno al piano di massa. Nonostante ciò la presenza di un solo piano di riferimento potrebbe non essere sufficiente a garantire i vantaggi elencati, ma da scelte preliminari e dato il numero di segnali in gioco, si è preferito sfruttare più strati per il *routing* delle tracce in rame. Proprio per la natura dei segnali e la tipologia di applicazione, è possibile mitigare tale mancanza ponendo dei piani di massa su *layer* privi di alimentazione, indipendentemente dal numero di tracce in rame presenti, il che può essere ritenuto sufficiente.

In fig. 4.35 è mostrata la disposizione dei poligoni multi-strato adibiti all'isolamento dei piani di massa/alimentazione presenti sulla scheda. L'obiettivo principale è quello di separare le parti di sistema, generalmente, connesse a periferiche rumorose, come i sistemi analogici di acquisizione/interfaccia sensori, come quelli presentati nei paragrafi precedenti ed elencati qui di seguito.

ISO1, CAN: poligono centrato e posto sul lato inferiore della figura. Contiene il sistema di ricezione/trasmissione della comunicazione *CAN* e relativa alimentazione. L'isolamento e la trasmissione sono garantiti dallo stesso ricetrasmittitore ($V_{iso} \approx 4kV$), mentre il potenziale da 5V isolato, tipico del sistema *CAN*, è ricavato da trasformatore di isolamento ($V_{iso,rms} \approx 1.5kV$) (in accoppiamento al sistema di regolazione già definito in precedenza).

ISO2, Encoder: posto di fianco al sistema *CAN*, vale la stessa linea di principio per il sistema di acquisizione dei segnali da *Encoder*, l'isolamento è garantito da un isolatore digitale mentre il potenziale tipico delle linee di trasmissione *Encoder* da 5V è ottenuto da trasformatore e relativo sistema di regolazione.

ISO3, VBUS: poligono contenente i piani di massa/alimentazione del sistema di acquisizione, condizionamento e campionamento della tensione di DC-link, posto sul lato superiore della figura. Lo scopo è di limitare la penetrazione dei potenziali tipici dei sistemi di *DC-link*. Il potenziale isolato da 3.3V utilizzato per alimentare sia il convertitore analogico-digitale che gli *OPAMP* di condizionamento è ottenuto, in modo analogo agli altri due circuiti, da trasformatore di isolamento. Mentre la trasmissione delle informazioni al μC e l'isolamento sono garantiti da un isolatore digitale.

GT (Gran Torino), MCU: il poligono più ampio per estensione è adibito a fissare e distribuire il potenziale di riferimento/alimentazione del *microcontrollore*. Il poligono include principalmente il sistema di alimentazione generale, i circuiti di gestione *LEM*, il condizionamento dei segnali *PTC*, il *CPLD*, il circuito di gestione μSD , l'*MCU* e il relativo sistema di *debug*. L'u-

nico potenziale di alimentazione che necessita di particolari accortezze e di una distribuzione su piano in rame è il 3.3V, sicuramente il più sfruttato e il più soggetto a disturbi.

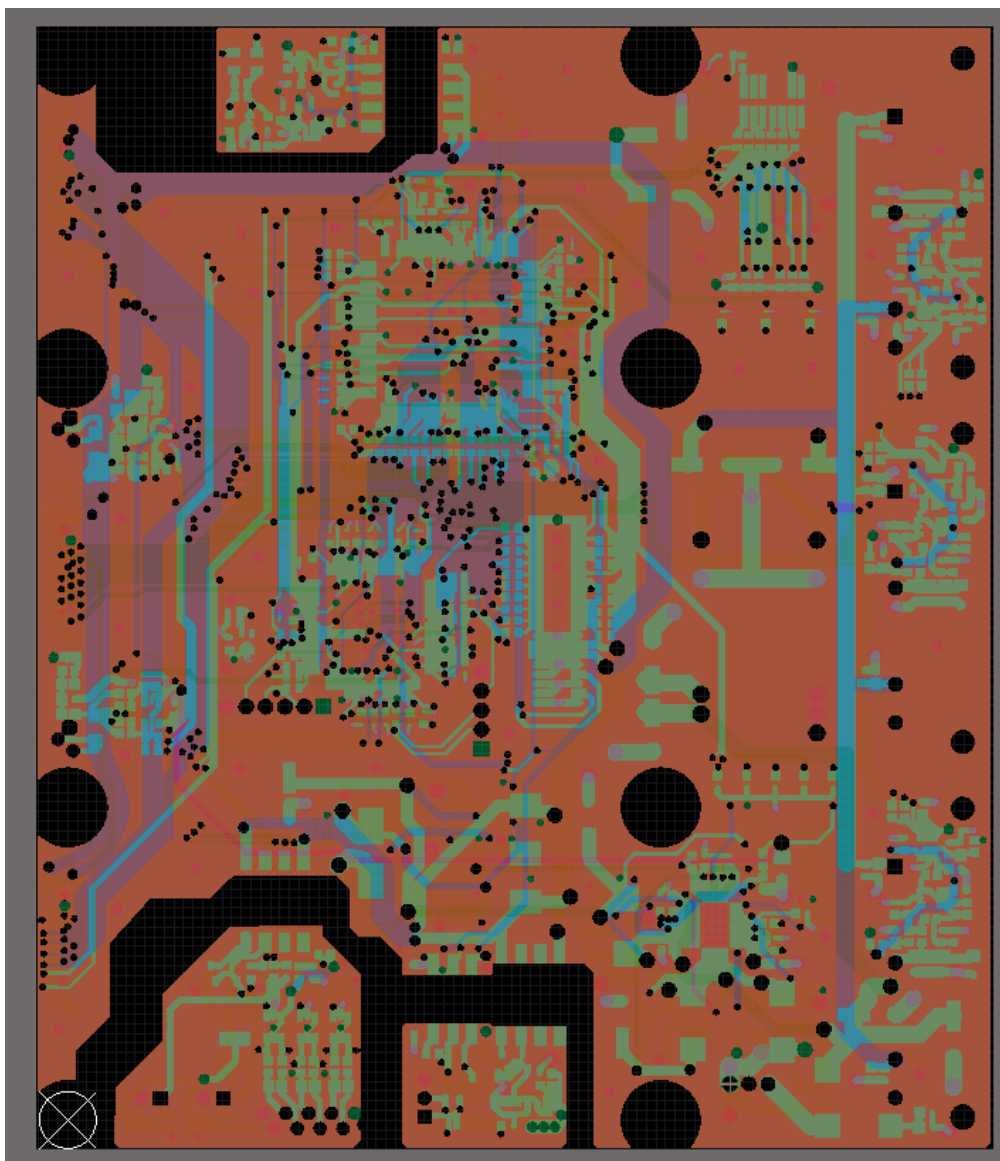


Figura 4.35: Disposizione piani di massa/alimentazione, scheda di controllo.

Lo *stack-up* di fig.4.36 mostra la struttura verticale dei *layer* del *PCB*, ottenuta con diversi materiali al fine di trasmettere i segnali mantenendo la qualità e limitare i disturbi *EMI*.

#	Name	Material	Type	Weight	Thickness	Dk
	Top Overlay		Overlay			
	Top Solder	Solder Resist	Solder Mask		0.4mil	3.5
1	Top Layer		Signal	1/2oz	0.709mil	
	Dielectric1	FR-4	Prepreg		7.874mil	4.8
2	Internal 0		Signal	1oz	1.4mil	
	Dielectric2	FR-4	Core		14.173mil	4.8
3	Internal 1		Signal	1oz	1.4mil	
	Dielectric3	FR-4	Prepreg		14.173mil	4.8
4	Internal 2		Signal	1oz	1.4mil	
	Dielectric4	FR-4	Core		14.173mil	4.8
5	GND		Signal	1oz	1.4mil	
	Dielectric5	FR-4	Prepreg		7.874mil	4.8
6	Bottom Layer		Signal	1/2oz	0.709mil	
	Bottom Solder	Solder Resist	Solder Mask		0.4mil	3.5
	Bottom Overlay		Overlay			

 Figura 4.36: *Stack-up* del PCB.

L'intero sistema si basa su due *core* dielettrici (*FR-4*), che forniscono isolamento galvanico e supporto meccanico. Ogni lato del *core* è ricoperto di rame, costituendo i primi *layer* su cui introdurre tracce o piani di alimentazione/massa. Ogni strato di rame è poi separato da quello adiacente da uno strato dielettrico pre-impregnato di resina, la sequenza si ripete fino a formare i sei *layer* prefissati.

Ogni strato presenta uno spessore ben definito, i dielettrici mostrano spessori maggiori per garantire isolamento e supporto, mentre per il rame occorre valutare la natura dei segnali che dovranno essere ospitati.

Infine, i *layer* esterni (*top* e *bottom*) vengono ricoperti di uno strato di *solder mask*, al fine di proteggere i materiali da ossidazione e garantire l'isolamento elettrico verso l'esterno. Mentre gli strati non conduttivi *overlay* sono dedicati alle serigrafie e ai test.

4.2.3 Routing su tracce in rame

Il *routing*, menzionato più volte, consiste nell'introdurre su circuito stampato i percorsi fisici dei segnali. Dimensionare o scegliere una certa tipologia di traccia è rilevante dal punto di vista dell'efficienza energetica e di immunità ai disturbi.

In generale, una traccia presenta diverse proprietà caratteristiche, la più importante è di certo l'impedenza \mathbf{Z} , legata alle dimensioni del collegamento fisico e alla distanza dal piano di massa. Dal punto di vista analitico l'impedenza è associata ai parametri di induttanza e capacità parassite, causa di disturbo e legate agli scambi energetici. Al di là di ciò, esistono diversi fattori da valutare nell'ottica di ottimizzare il sistema e per questo motivo, in fase di progetto, spesso si adottano degli accorgimenti al fine di controllare la qualità dei segnali e il rendimento di sistema.

- ottimizzazione lunghezze: scegliere percorsi limitati influisce sui parassitismi della traccia, da valutare accuratamente in presenza di componenti sensibili ai disturbi.

- spessore costante: qualsiasi variazione influisce sull'impedenza, provocando discontinuità e riflessioni sul segnale, peggiorando il segnale stesso.
- angoli a 45° o curve: usare tracce con angoli a 90° può generare errori di fabbricazione, discontinuità, riflessioni e comportamento in antenna.
- distanze: è molto importante distanziare le tracce in modo da inibire l'accoppiamento magnetico (*crosstalk*).
- coppie differenziali: si adottano in alcune linee di comunicazione per limitare i disturbi CM, deve essere garantita la stretta vicinanza e il parallelismo tra le due tracce, in modo da avere una reiezione ottimizzata.
- adattamento di impedenza: come visto sugli schematici, spesso in corrispondenza delle terminazioni di un componente sono presenti delle resistenze di adattamento; far coincidere l'impedenza della terminazione a quella della traccia permette di eliminare riflessioni e garantire il massimo trasferimento della potenza.

Un altro fattore da considerare sicuramente è la quantità di potenza da trasmettere, più precisamente quanta corrente dovrà trasportare la singola traccia, è qui che entra in gioco la scelta della sezione.

- correnti di segnale: di natura analogica, tipicamente riconoscibili con spessori maggiori, e digitale; in applicazioni a frequenze contenute, come nel caso in esame, ci si mantiene pur sempre al di sotto dei 25mils (0.635mm).
- correnti di alimentazione o segnali ad alta frequenza: per le grandezze in gioco, e sempre per la natura dell'applicazione, gli spessori si aggirano comunque al di sotto degli 80mils (2.03mm).

Come specificato in precedenza, la disponibilità di un *PCB* multistrato, permette di sviluppare la rete di segnali su più piani. Per farlo è necessario adoperare i *vias*, unicamente di tipo *through hole* per limitare i costi di produzione: si tratta di fori conduttivi utilizzati sia per trasportare segnali, ma anche per migliorare lo scambio termico e garantire la stabilità di un potenziale lungo tutto il *PCB*. Il dimensionamento di questi elementi è legato alla mansione e, nel caso del *routing*, al tipo di segnale che andranno a trasportare. Occorre comunque consapevolezza sul fatto che elementi del genere possano introdurre induttanze parassite critiche per segnali sensibili.

Un altro fattore da esaminare sono le criticità generate in fase di fabbricazione: la quantità di segnali potrebbe richiedere un numero elevato di *vias*, soprattutto in prossimità di circuiti integrati (*MCU*, *CPLD*); durante la saldatura possono generarsi colate di materiale conduttivo, in grado di insinuarsi all'interno dei fori, provocando cortocircuiti; un modo per limitare il problema è utilizzare la strategia del *Tenting*, che consiste nel ricoprire il *vias* con una maschera di materiale saldante, il foro ricoperto però non influisce nello scambio termico generale e non può essere sfruttato come punto di test.

4.2.4 Design rules e Clearance

Quando si progetta un *PCB* è indispensabile valutare se l'intero sistema sia producibile fisicamente e mantenga inalterate tutte le funzionalità per il normale e duraturo funzionamento. Per evitare errori di costruzione, e quindi eventuali guasti precoci, è buona norma fissare ed esaminare delle leggi di progettazione che tengano conto dei limiti costruttivi, fissati dal produttore, e delle proprietà elettriche da rispettare nel *PCB*.

Nel primo caso, si tratta di limiti dimensionali (*clearance*) strettamente legati alle restrizioni tecnologiche del produttore, come il massimo spessore di traccia e la minima dimensione di un foro, impongono quindi un tetto minimo/massimo da non oltrepassare per non incorrere in costi aggiuntivi o l'impossibilità di produrre il circuito stampato. Come intuibile tali limiti variano tra diversi produttori, ognuno di essi rende disponibili i propri standard gratuitamente, come **PCBWay** nel caso in questione.

Dall'altro lato, è buona norma rispettare determinate dimensioni e distanze tra elementi, quali tracce, *vias*, integrati e componenti passivi, in modo da limitare effetti dannosi per il normale funzionamento del sistema.

Oltre che essere caratteristiche specifiche del costruttore, tutti i requisiti inerenti la progettazione, la produzione e l'assemblaggio presentano degli standard globali definiti dalle norme **IPC** (*Institute for Printed Circuits*): l'obiettivo normativo è garantire qualità, sicurezza, univocità e riduzione dei costi nel settore. Lo standard include diversi aspetti dell'elettronica su circuito stampato, variabili in funzione del tipo di applicazione. In riferimento al *routing* e alle relative distanze una delle serie di norme da consultare in fase di *design* è sicuramente la **IPC-2220**. A questo standard si aggiungono poi diverse altre norme da dover valutare in fase di progetto e tradurre in *design rules* (fig.4.37) su ambiente *Altium*, in modo da avere un controllo in tempo reale di eventuali violazioni.

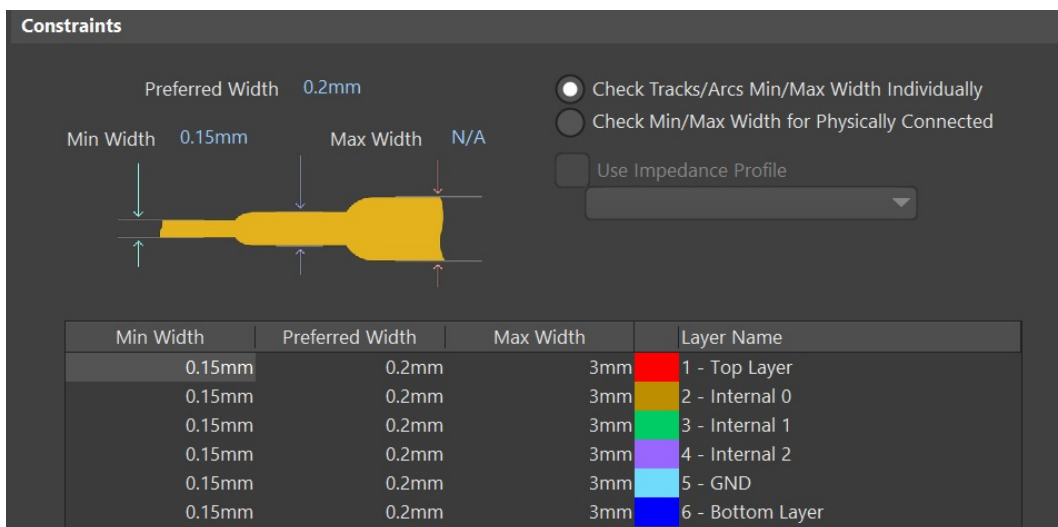


Figura 4.37: Esempio di *design rule* (*Altium*) relative alle connessioni su traccia.

4.2.5 2D Layout, Scheda di controllo

Le fig. 4.38 e 4.39 mostrano il design completo della scheda di controllo, rispettivamente identificano la vista superiore e inferiore del *PCB*, da cui si osserva la densità dei componenti, dei *vias* e delle connessioni su traccia poste sui *layer* esterni. Un altro dettaglio importante, precedentemente citato, è la centralità di μC e *CPLD*, attuata per l'ottimizzazione dei collegamenti tra questi ultimi e le periferiche. Dal punto di vista dimensionale, il sistema si estende su un circuito stampato da 126×148 mm. Mentre in fig.4.40 è mostrata una vista prospettica, utilizzata per evidenziare l'estensione verticale dell'intero sistema, principalmente dipendente dalla dimensione dei sensori di corrente *LEM* (in blu).

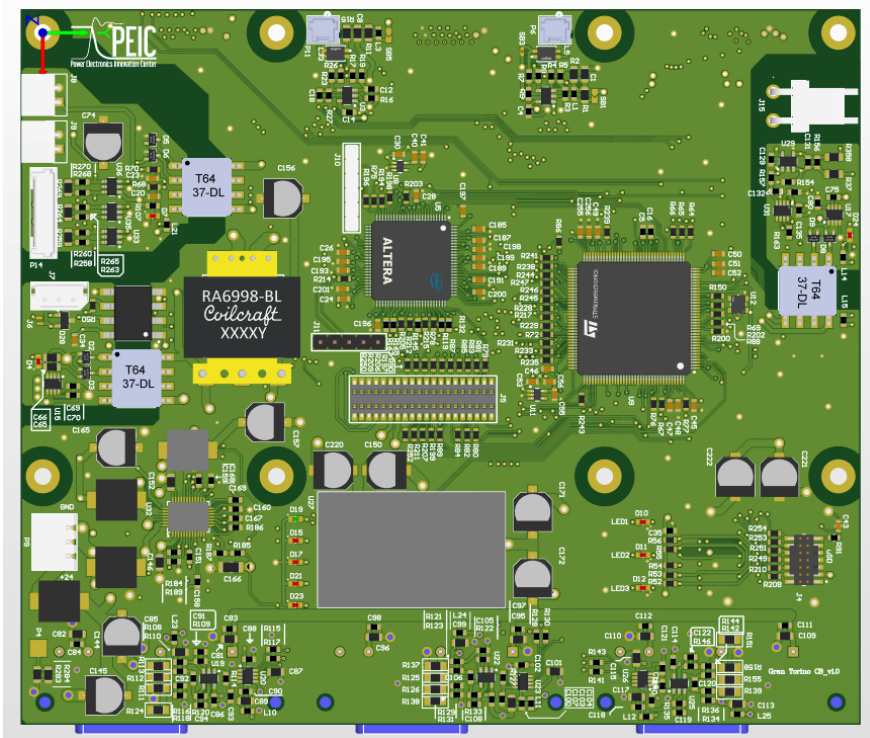


Figura 4.38: *PCB* di controllo, *top view*.

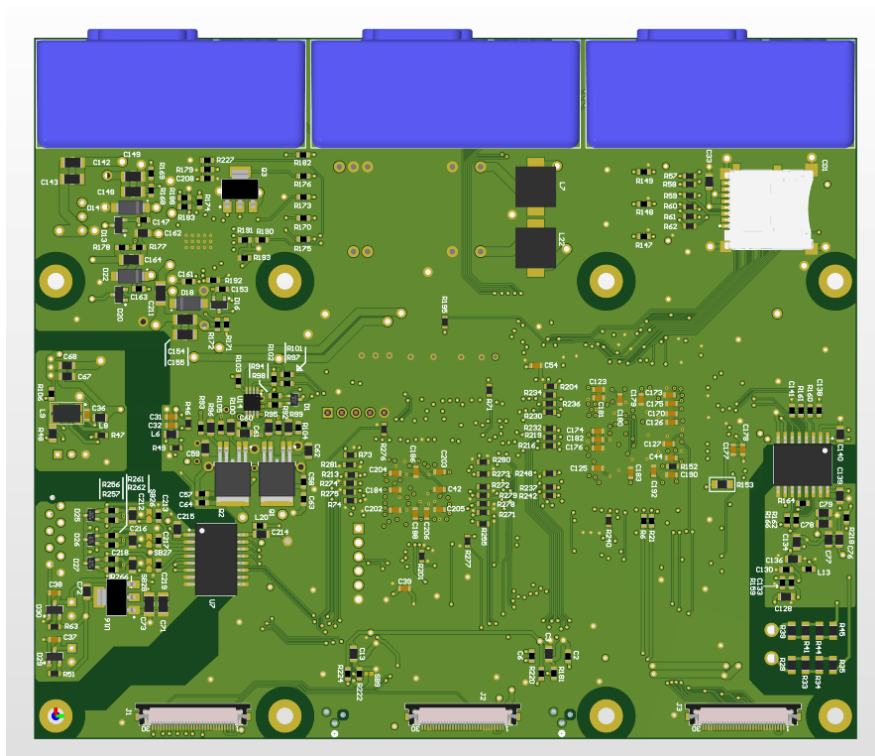


Figura 4.39: *PCB* di controllo, *bottom view*.

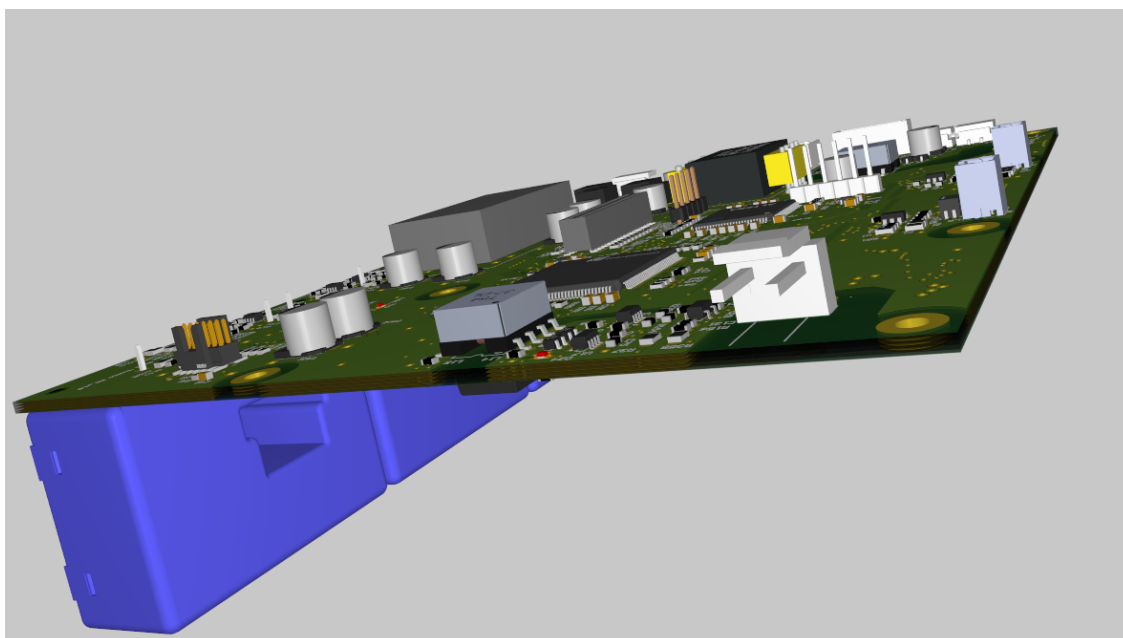


Figura 4.40: *PCB* di controllo, *3D view*.

Capitolo 5

Design: Scheda di misura

Il capitolo precedente ha approfondito il design della scheda di controllo, già prevista per l'applicazione racing e a cui sono state applicate delle modifiche al fine di aggiornare le tecnologie e predisporre tutte le periferiche necessarie a gestire la logica di controllo di un convertitore *grid forming*: tra cui la scelta di implementare un *MCU* più performante e un *CPLD*, piuttosto che un *FPGA* più critico da programmare.

In previsione di un funzionamento da rete, vi sono ancora degli aspetti, ancora inesplorati, e periferiche ad essi associati da valutare. Per queste ragioni e per l'impossibilità di sfruttare ulteriore spazio sulla superficie della scheda di controllo, è stata ritenuta necessaria l'implementazione di un *PCB* esterno, adibito alla misura di ulteriori grandezze utili al controllo, come la tensione di rete, misurata a debita distanza dalla circuiteria di controllo per favorire l'immunità a disturbi e potenziali pericolosi, e alla gestione di servizi ausiliari.

Il seguente capitolo mostra quindi il design di una scheda di misura (fig.5.1,5.2), appositamente collocata al di sopra del sistema di controllo e in grado di comunicare e trasmettere segnali con quest'ultimo.

5.1 Schematici

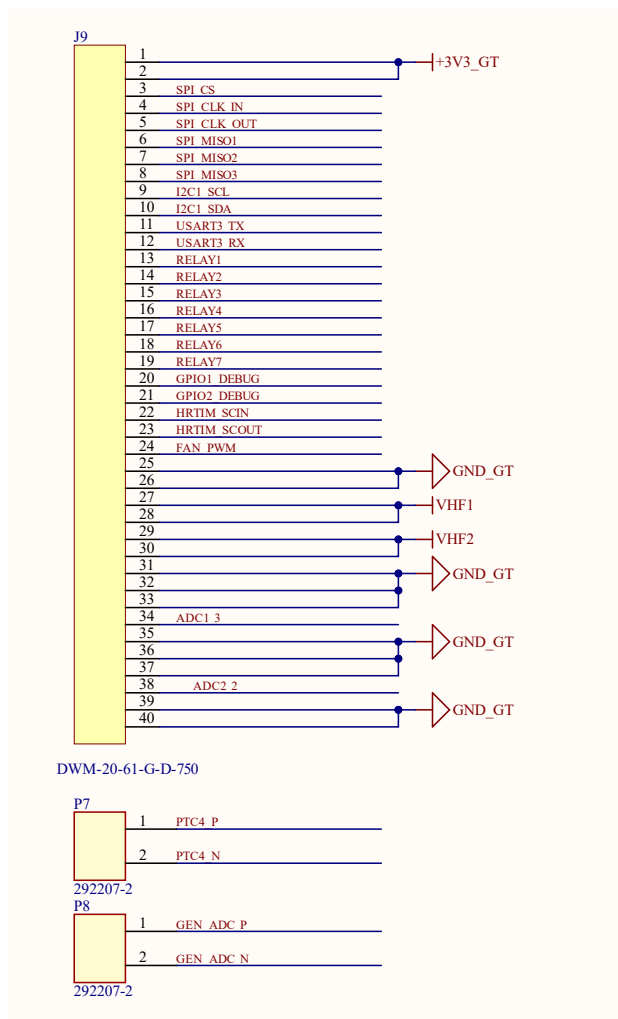


Figura 5.1: Struttura della scheda di misura, connettore di comunicazione misura-controllo e segnali analogici.

5.1.1 Reti di alimentazione

Come per la scheda di controllo, il sistema sfrutta un'alimentazione esterna da 24V, sia per l'alimentazione diretta di circuiti, che per la costruzione di reti regolate da appositi stadi di conversione. Allo stesso modo e come visto in precedenza, il sistema riceve dalla scheda di controllo, con apposito connettore, la coppia differenziale di segnali VHF_1 e VHF_2 ricavata dal sistema full-bridge, presente sul PCB di controllo già esaminato, al fine di sfruttare dei trasformatori di isolamento, utili alla generazione di reti isolate.

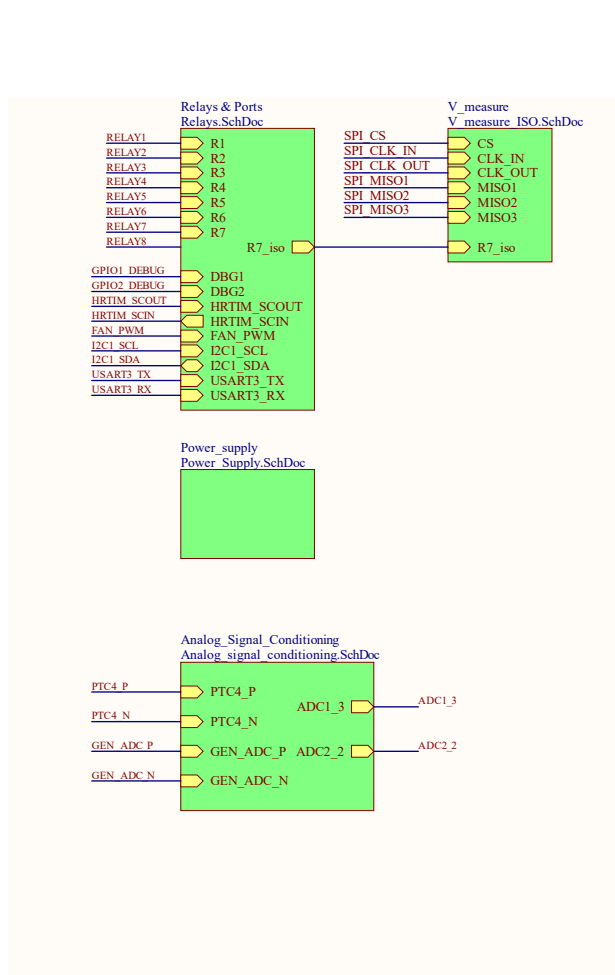


Figura 5.2: Struttura della scheda di misura, blocchi logici contenenti i circuiti del PCB.

Nello schematico in fig.5.3 viene presentato il sistema di regolazione che genera il potenziale $5V_PS$, garante dell'alimentazione di diversi circuiti integrati.

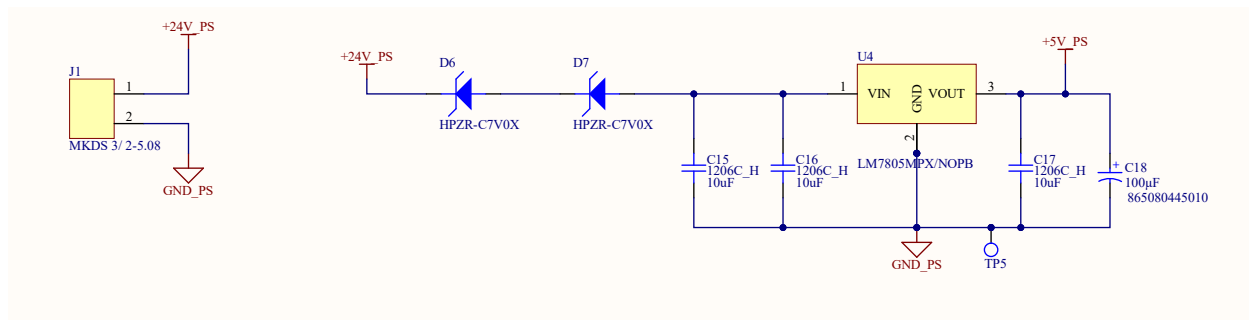


Figura 5.3: Sistema di alimentazione ricavato dalla rete esterna $24V$.

Il sistema è fornito di un connettore dimensionato per sostenere correnti fino a $24A$, adibito alla ricezione della rete da $24V$. Il potenziale è inviato a un sistema di regolazione costituito da due diodi *zener* (5.4) e un regolatore lineare di tensione (5.5).

I diodi *zener* vengono spesso adoperati in elettronica, per scopi di protezione, in polarizzazione inversa: in questo caso, un regolatore lineare di tensione, il cui funzionamento è assimilabile a una resistenza variabile, non è in grado di gestire salti di tensione troppo ampi, causerebbero stress termici letali; i diodi *zener* hanno quindi il compito di abbassare la tensione all'interfaccia del regolatore, generando una caduta di tensione pari a quella di polarizzazione inversa del diodo ($7V$ per i diodi in questione), verificando che la potenza dissipata non superi il limite da catalogo ($1W$).

Il regolatore lineare deve quindi gestire una tensione intorno ai $10V$, in modo da ottenere un potenziale da $5V$.

I condensatori ceramici hanno poi il compito di stabilizzare i potenziali, mentre la capacità elettrolitica da $100\mu F$ funge da stoccaggio locale.



Figura 5.4: Zener Nexperia HPZR-C7V0X.

Figura 5.5: LDO Texas Instrument LM7805MPX/NOPB.

Lo schematico di fig.5.6, invece, mostra la modalità di costruzione della rete $3V3_iso$, fonte di alimentazione del sistema di misura della tensione di rete, che per questioni *EMC* (*Electro-Magnetic Compatibility*) è volutamente isolata dagli altri piani di alimentazione/massa.

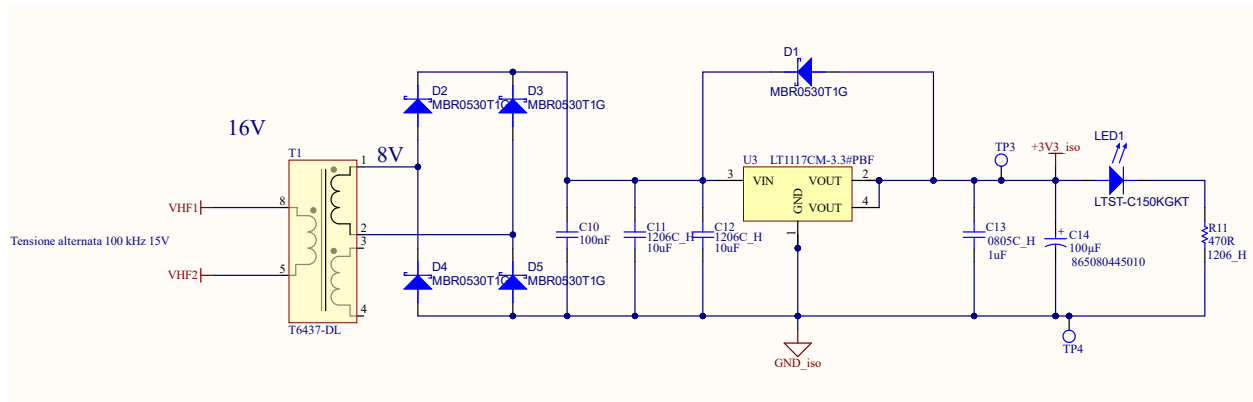
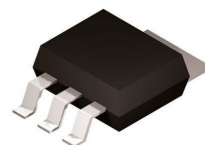


Figura 5.6: Sistema di regolazione per rete isolata.

Come già anticipato, la scheda di controllo fornisce i segnali differenziali VHF_1 e VHF_2 (15V @ 100kHz) in onda quadra; questi alimentano un trasformatore di isolamento (4.14) che attenua l'ampiezza del segnale a 8V. Il segnale viene poi raddrizzato ($\approx 7V$) tramite un ponte a diodi *Schottky* (5.7) e infine regolato tramite regolatore lineare (5.8) di tensione a una tensione di 3.3V. Come visto nel sistema precedente, i condensatori fungono da stabilizzatori di tensione (ceramici) e stoccaggio locale (elettrolitico).

In aggiunta, il sistema è dotato di un diodo *LED* (verde) per segnalare la presenza dell'alimentazione.


 Figura 5.7: *Schottky Onsemi MBR0530T1G*.

 Figura 5.8: *LDO Analog device LT1117CM-3.3 PBF*.

Si noti inoltre che ogni rete di alimentazione presenta almeno un nodo di *test point* sul riferimento e/o sul rispettivo potenziale.

5.1.2 Condizionamento segnali analogici

La scheda di misura ospita due circuiti di condizionamento, precedentemente posti sul *PCB* di controllo e successivamente trasferiti, per questioni di spazio. Lo schematico comprende due circuiti adibiti alla gestione di segnali analogici esterni, al momento inutilizzati, ma comunque presenti in caso di modifiche o aggiunte al sistema. Le fig.5.9 e fig.5.10 mostrano due circuiti di condizionamento provvisti di *OPAMP* e relative reti di filtraggio e offset, per l'adattamento di segnale previsto per l'ingresso al convertitore A/D.

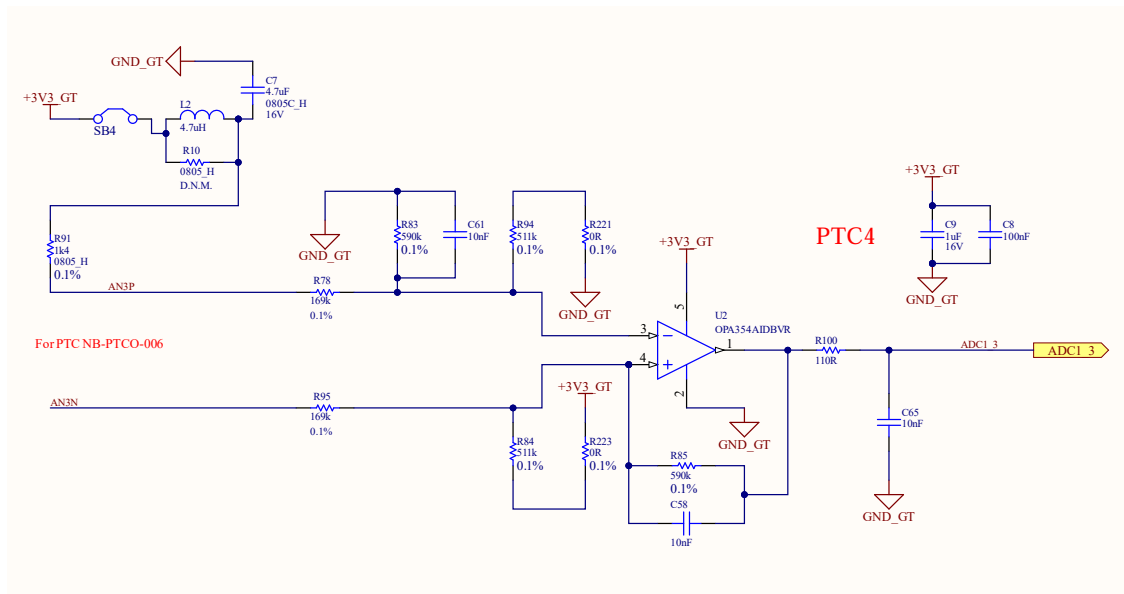


Figura 5.9: Circuito di condizionamento segnale analogico da termistore.

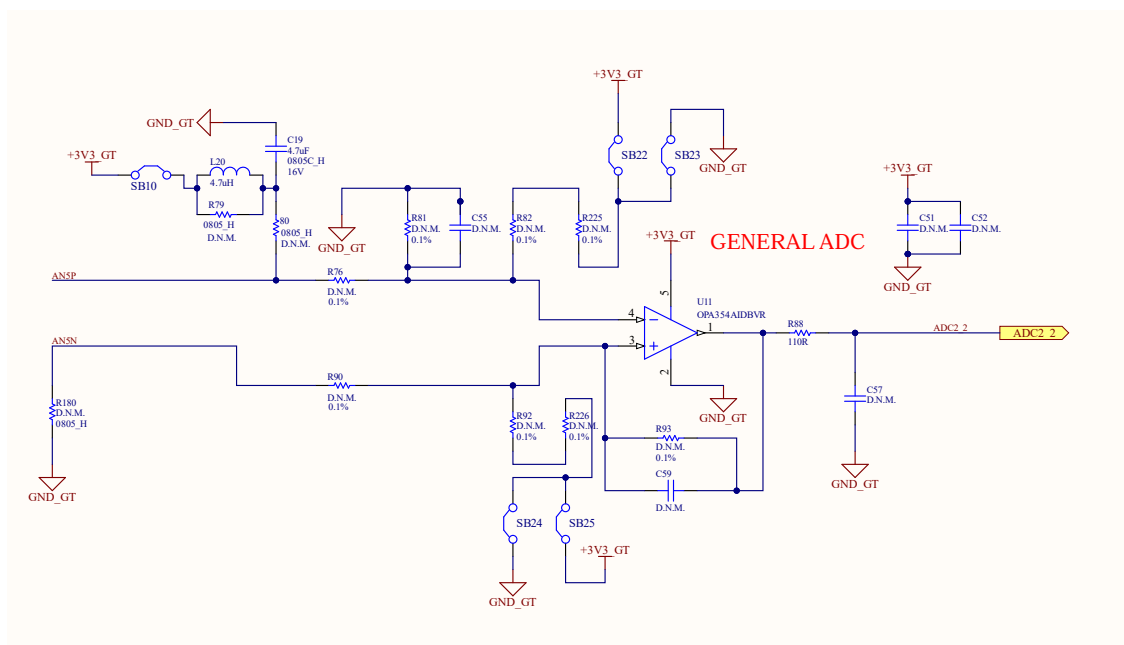


Figura 5.10: Circuito di condizionamento per eventuale segnale analogico aggiuntivo.

5.1.3 Sistema di misura della tensione di rete

Nel capitolo 1, è stata descritta la costruzione del modello *S-VSC*, al fine di calcolare i riferimenti di potenza utili alla regolazione dei servizi ancillari di rete è stato visto come il ruolo della tensione di rete occupi un ruolo determinante nella logica di controllo. Pertanto, risulta indispensabile implementare un sistema in grado di misurare, ricevere e campionare il valore della tensione in tempo

reale.

Il sistema in questione riceve da tre connettori bipolari (fig.5.11), targati 400V, le tensioni concatenate di rete.

Tramite una rete di adattamento resistivo (fig.5.12) si attua una regolazione della tensione in modo che possa essere gestita dal circuito di condizionamento a monte dell'ADC: utilizzando leggi basilari dell'elettrotecnica è possibile valutare il guadagno in tensione della rete resistiva.

- $V_{C.bc,1}$ e $V_{C.bc,2}$, potenziali ai quali sono connessi dei relè di protezione (analizzati successivamente), guadagno in tensione $G_v \approx 0.35$.
- V_{C+} e V_{C-} , segnali inviati al circuito di condizionamento, guadagno in tensione $G_v \approx 0.025$.



Figura 5.11: Connettore
Phoenix Contact
MKDS 3/ 2-5.08.

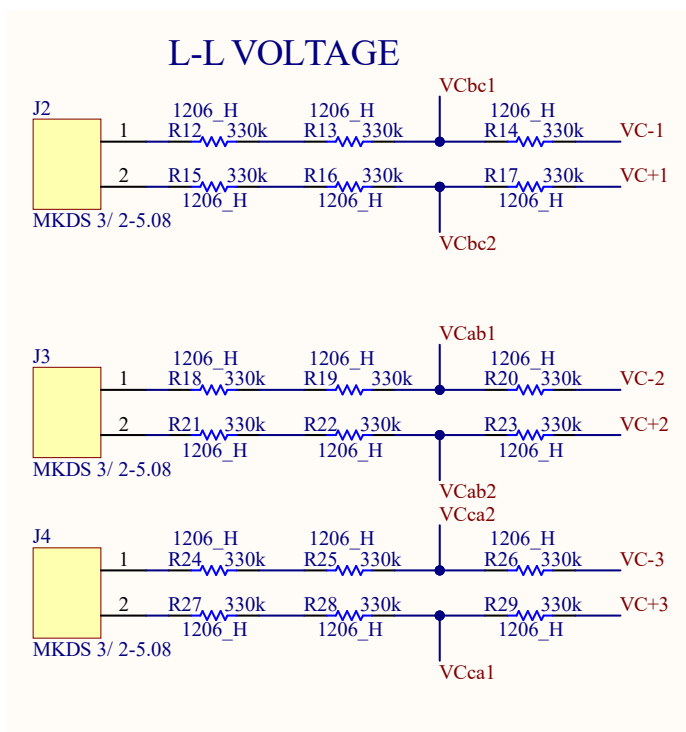


Figura 5.12: Rete resistiva di adattamento della tensione di rete.

Il sistema di condizionamento (fig.5.13) mostra tre amplificatori operazionali in configurazione differenziale con offset e rete integrale (principalmente pensata per fissare il guadagno dell'OPAMP), uno per ogni tensione concatenata, in modo da filtrare disturbi HF e impostare l'offset per il campionamento su un range 0 – 3.3V.

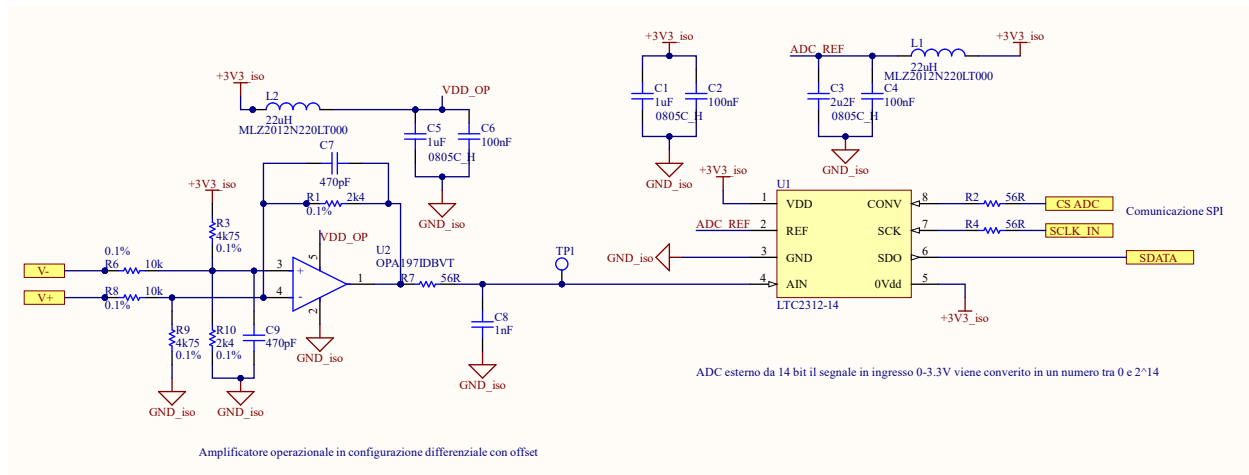


Figura 5.13: Sistema di condizionamento di segnale munito di convertitore A/D.

Come si può notare l'*OPAMP* riceve l'alimentazione da una rete $3V3_iso$, già definita, filtrata grazie all'ausilio di uno stadio *LC*, con frequenza di risonanza/taglio $f_0 \approx 32kHz$.

A valle del circuito di condizionamento è presente l'*ADC* (fig.5.14) da 14 bit, alimentato dalla rete isolata $3V3_iso$ e filtrata da stadio *LC* con frequenza di risonanza/taglio $f_0 \approx 22kHz$, più pesante e in accoppiamento a capacità di disaccoppiamento, per non incomberne in disturbi sulla misura.

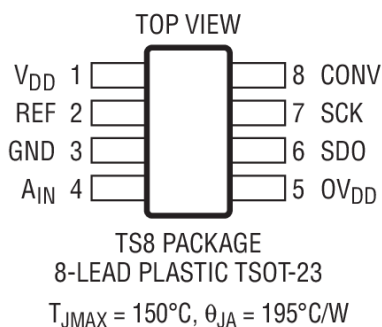


Figura 5.14: ADC Analog devices LTC2312-14.

Il segnale digitale in uscita, comunicato in SPI, deve essere trasmesso al *MCU* situato nella scheda di controllo. L'utilizzo di piani di massa isolati genera la necessità di adoperare un isolatore digitale (fig.5.16) per trasmettere l'informazione sulle tre tensioni concatenate (fig.5.15).

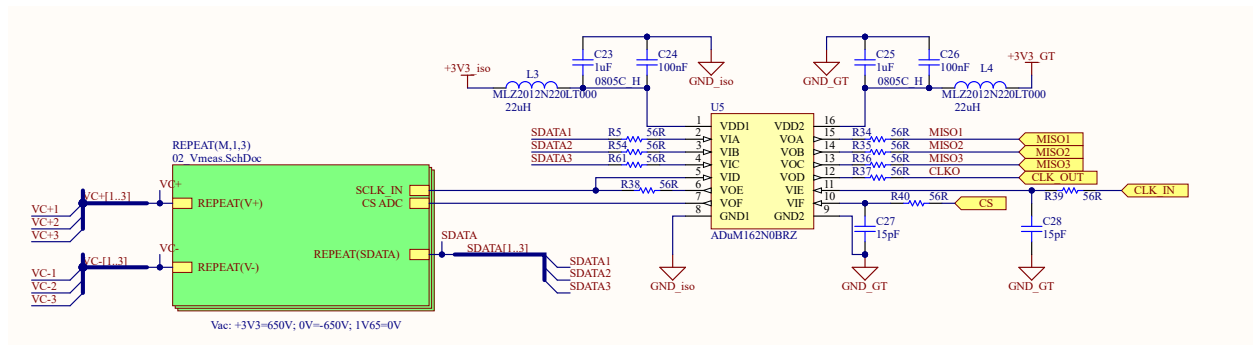


Figura 5.15: Sistema di trasmissione segnali da ADC.

Ogni *pin* di alimentazione è fornito di rete LC per l'attenuazione di disturbi HF ($f_0 = 32kHz$). Si noti anche come ogni ramo di segnale presenti delle resistenze di adattamento di impedenza.



Figura 5.16: Isolatore digitale Analog Devices ADuM162N0BRZ.

5.1.4 Gestione segnali di pilotaggio relè e di comunicazione

La scheda di misura ospita un gruppo di relè di protezione, adibiti alla gestione di segnali esterni al PCB in questione e quindi collegati a tali circuiti tramite connettori.

Ogni relè presenta un circuito di comando, pilotato da un segnale generato dal μC (scheda di controllo) e trasmesso tramite connettore. Ogni segnale di comando deve essere gestito in modo opportuno, dato che tutti i relè sono posti su un piano di massa isolato da quello dell'MCU. La strategia di trasmissione, come già visto, implica l'implementazione di un isolatore digitale (fig. 5.17), interposto tra il piano di massa dell'MCU ($3V3_GT$) e il piano PS (power supply) ($5V_PS$) della scheda di misura, come mostrato in fig.5.18.



Figura 5.17: Isolatore digitale *Analog Devices ADUM242D0BRWZ*.

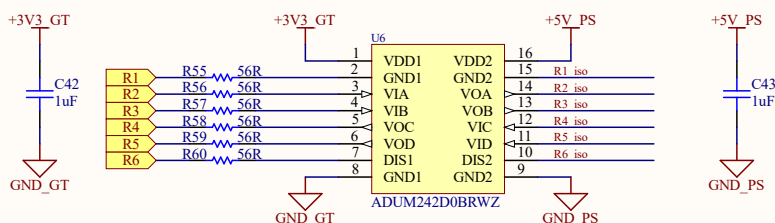


Figura 5.18: Sistema di trasmissione comandi relè.

Ogni segnale digitale di ingresso presenta la propria resistenza di adattamento di impedenza, mentre il comando è indirizzato al circuito di controllo di ogni relè.

I relè di protezione del sistema di misura della tensione di rete sono invece gestiti separatamente e in concomitanza a dei segnali di *debug* e di comando ventole per raffreddamento del blocco *PWM*. La strategia di trasmissione (fig.5.19) è la stessa vista per la gestione dei comandi dei sei relè ausiliari, allo stesso modo riguardo la scelta del componente, dato che tutte le periferiche sono poste sullo stesso piano di massa isolato PS.

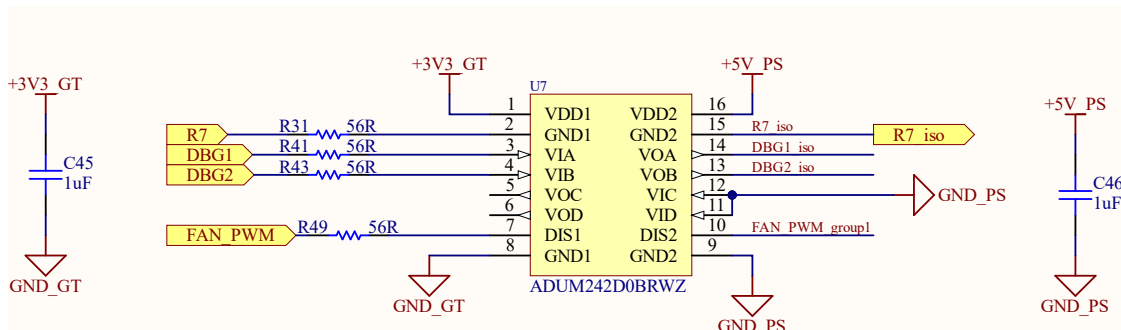


Figura 5.19: Sistema di trasmissione comandi relè di protezione stadio di misura della tensione di rete, *debug* e ventole di raffreddamento per *PWM*

Il comando dei relè è inviato al rispettivo circuito di pilotaggio, mentre i segnali rimanenti vengono gestiti opportunamente e resi disponibili al rispettivo connettore.

I segnali di *debug* sono direttamente connessi a un connettore a capicorda (fig.5.20), tipico di un interfaccia *debug*, come mostrato in fig.5.21.



Figura 5.20: Connettore capicorda *Amphenol* 68000-206HLF.

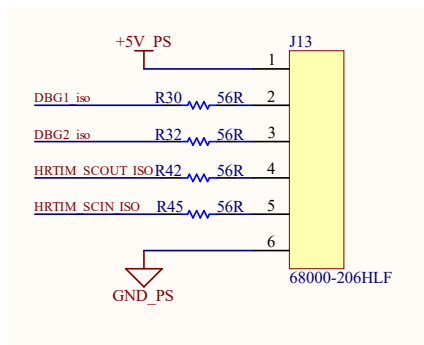


Figura 5.21: Circuito di ingresso per connettore capicorda.

Lo stesso connettore permette poi la comunicazione dei segnali di sincronizzazione da Timer ad alta risoluzione (*HRTIM*), legati alle funzioni di commutazione dei semiconduttori e trasmessi tra piani di massa isolati tramite un terzo isolatore digitale, in simultanea con canali di comunicazione *USART*, come mostrato in fig.5.22.

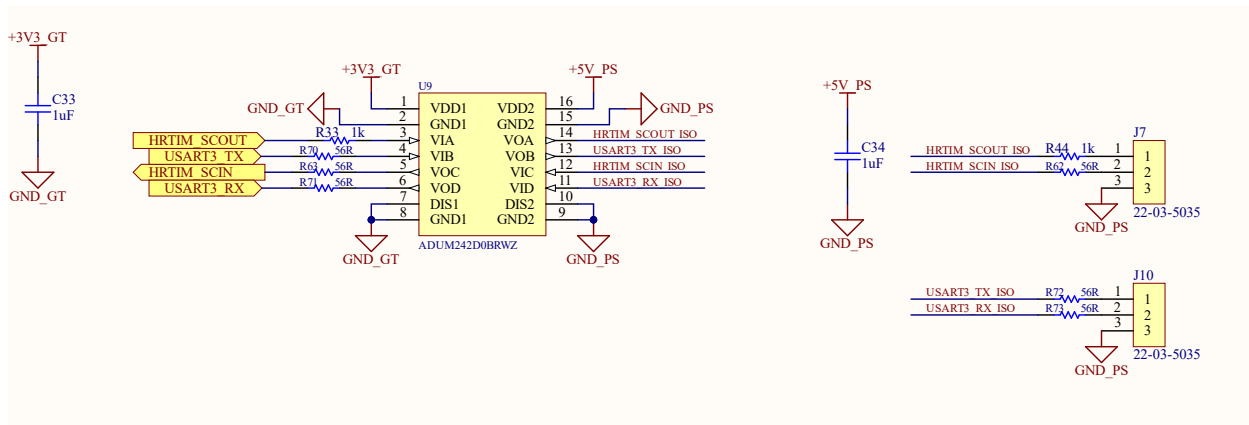


Figura 5.22: Isolatore digitale per gestione dell'*HRTIM* e della *USART* e rispettivi connettori.

I segnali *HRTIM* sono disponibili su due connettori con l'obiettivo di sincronizzare eventuale periferiche o convertitori esterni al *layout* del convertitore .

Il segnale per la gestione delle ventole di raffreddamento è disponibile su connettore, la trasmissione è vincolata a un circuito *buffer* il cui scopo è eliminare l'influenza del segnale da eventuali impedenze di carico a valle del circuito.

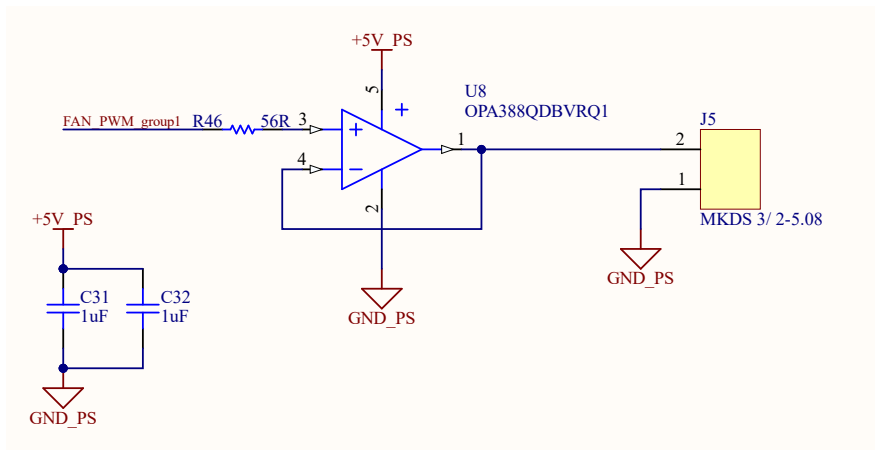


Figura 5.23: Gestione segnale ventole *PWM*.

Infine, il blocco relativo alla gestione dei comandi e delle comunicazioni contiene un ultimo circuito integrato, in fig. 5.24 è mostrato un isolatore progettato per la comunicazione *I2C*, a differenza dei dispositivi di isolamento visti sin ora, si tratta di un componente a ingressi bidirezionali, quindi permette la trasmissione e la ricezione di informazioni da parte dell'*MCU*, da e verso l'esterno tramite connettore.

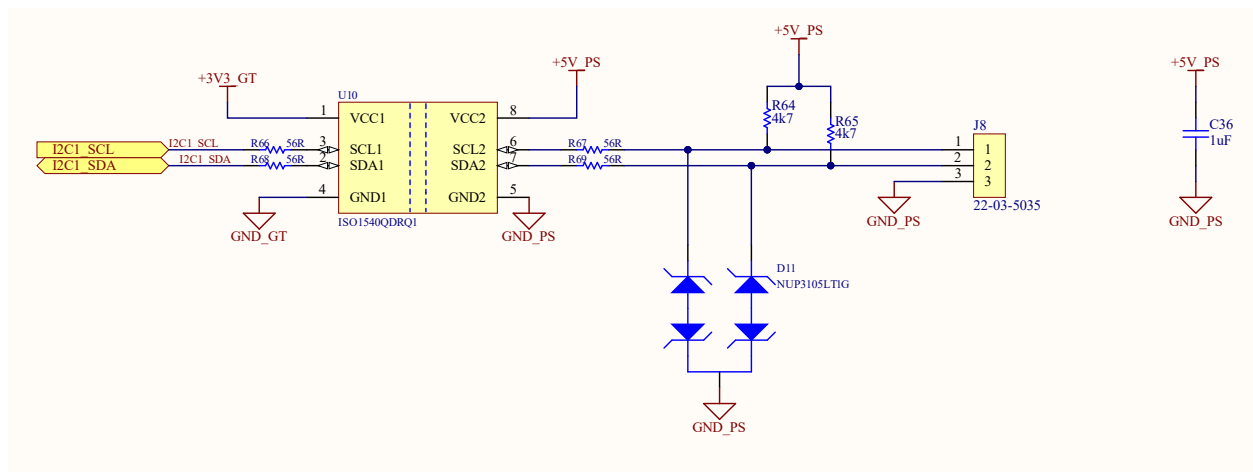


Figura 5.24: Isolatore bidirezionale *I2C*.

Ogni *pin*, come per i circuiti precedenti, è fornito di resistenza di adattamento di impedenza. Inoltre, per aumentare la sicurezza della rete di comunicazione, è presente un sistema *TVS*, che protegge da scariche esterne, e resistenze di *pull-up*, che mantengono la tensione sotto un certo limite.

5.1.5 Sistema di pilotaggio relè

Una volta definito come il μC trasmette i segnali di comando del sistema di relè, è doveroso esaminare la struttura di pilotaggio di questi ultimi, soprattutto nell'ottica del dimensionamento dei componenti necessari al funzionamento.

Di base, un relè è costituito da due circuiti, uno di potenza, rappresentato dai contatti mobili direttamente connessi alla rete che eventualmente si vuole interrompere, e uno di controllo, che riguarda le modalità di eccitazione della bobina che andrà a manovrare i contatti del circuito di potenza. Sul lato rete i parametri di scelta del componente ricadono sicuramente sulla massima tensione e correnti commutabili e trasportabili dai contatti.

Sul pilotaggio tendenzialmente si ha più spazio di manovra e nel seguente documento verrà presentata una delle possibili strategie di controllo (fig.5.25).

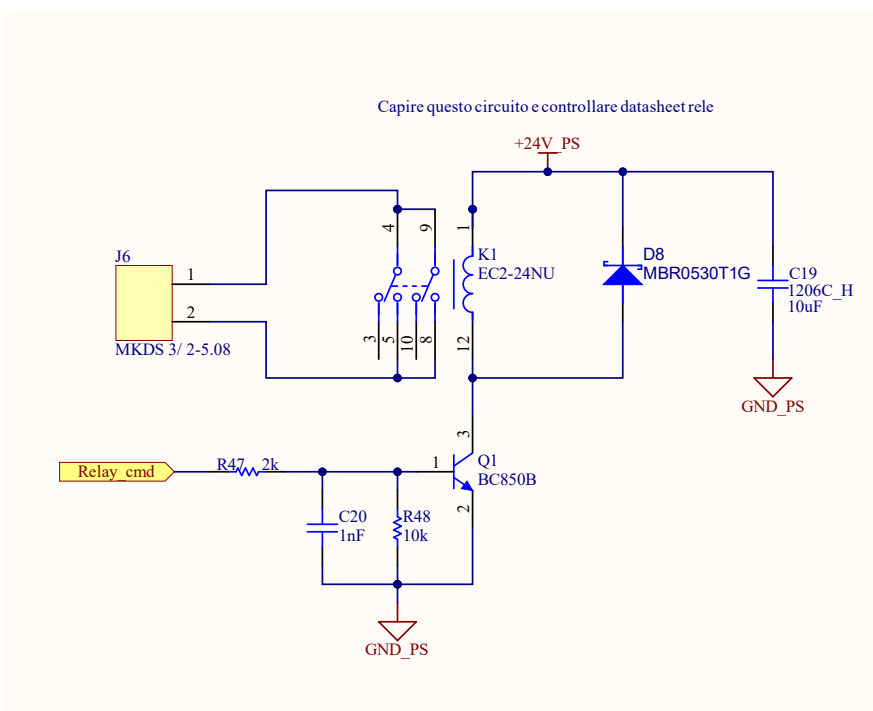


Figura 5.25: Circuito di pilotaggio relè.

Il circuito di comando della bobina si basa sul funzionamento di un transistor *BJT*, comandato dal segnale di comando analizzato in precedenza, in accoppiamento a un diodo *Schottky* in antiparallelo alla bobina.

Inizialmente, durante lo stato di *OFF* del transistor la bobina *K1* è posta un potenziale tale da non provocare alcuna eccitazione.

Nel momento in cui l'*MCU* comanda il relè, un segnale da 5V viene indirizzato alla base del *BJT*, portando il dispositivo in conduzione. Il polo negativo della bobina si porta quindi al potenziale di riferimento *GND_PS*, innescando l'eccitazione del circuito magnetico soggetto alla tensione da 24V.

Il diodi *Schottky* ha il compito di limitare che l'energia della bobina venga totalmente assorbita dal transistor: una volta cessata la trasmissione del comando da parte del μC , il diodo costituisce una maglia di ricircolo e viene quindi sfruttato per drenare l'energia immagazzinata nella bobina ed evitare di bruciare il semiconduttore.

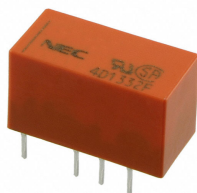


Figura 5.26: Relè *Kemet EC2-24NU*.

Specifications	
Temperature Range	-40/+85°C
Coil Voltage	24 V
Contact Form	2 Form C (DPDT)
Switching Current	2 A
Coil Resistance	2880 Ohms +/-10%
Contact Material	Silver alloy with gold alloy overlay
Voltage Characteristics	18 (Operate) / 2.4 (Release)
Power	200 mW
Switching Power	60 W, 125 VA
Switching Voltage DC	220 V
Switching Voltage AC	250 VAC
Contact Current Class	>10A
Carrying Current	2 Amps
Contact Resistance	75 mOhms
Operation Time	Approximately 2ms
Release Time	Approximately 1ms
Insulation Resistance	1 GOhms
Withstanding Voltage	1000 VAC (1min) 1500 V Surge

Figura 5.27: *Datasheet* Relè *Kemet EC2-24NU*.

La scelta dei componenti è attuata in riferimento alle tensioni e correnti in gioco. Per quanto riguarda il *BJT*, il parametro più importante da valutare è la corrente di conduzione: tramite *datasheet* del relè scelto (fig. 5.27) è possibile ricavare la corrente necessaria a mantenere l'eccitazione della bobina.

$$I_{coil} = \frac{V_{coil}}{R_{coil}} = 8.3mA \quad (5.1)$$

Il transistor dovrà quindi supportare 24V e la suddetta corrente di conduzione, da cui ne deriva la scelta presentata in fig.5.28.



Figura 5.28: *BJT*
 Diotec Semiconductor
BC850B.

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CB0}	collector-base voltage	open emitter			
	BC849		-	30	V
	BC850		-	50	V
V_{CE0}	collector-emitter voltage	open base			
	BC849		-	30	V
	BC850		-	45	V
V_{EB0}	emitter-base voltage	open collector	-	5	V
I_C	collector current (DC)		-	100	mA
I_{CM}	peak collector current		-	200	mA
I_{BM}	peak base current		-	200	mA
P_{tot}	total power dissipation	$T_{amb} \leq 25^\circ\text{C}$; note 1	-	250	mW
T_{stg}	storage temperature		-65	+150	$^\circ\text{C}$
T_J	junction temperature		-	150	$^\circ\text{C}$
T_{amb}	operating ambient temperature		-65	+150	$^\circ\text{C}$

Figura 5.29: *BJT Datasheet*.

Stesso procedimento per la scelta del diodo di ricircolo, già presentato in fig.5.7, le cui proprietà elettriche sono elencate in fig.5.30.

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Peak Repetitive Reverse Voltage	V_{RRM}	30	V
Working Peak Reverse Voltage	V_{RWM}		
DC Blocking Voltage	V_R		
Average Rectified Forward Current (Rated V_R , $T_L = 100^\circ\text{C}$)	$I_{F(AV)}$	0.5	A
Non-Repetitive Peak Surge Current (Surge Applied at Rated Load Conditions Halfwave, Single Phase, 60 Hz)	I_{FSM}	5.5	A
Storage Temperature Range	T_{stg}	-65 to +150	$^\circ\text{C}$
Operating Junction Temperature	T_J	-65 to +125	$^\circ\text{C}$
Voltage Rate of Change (Rated V_R)	dv/dt	1000	V/ μs
ESD Rating: Machine Model = C Human Body Model = 3B		> 400 > 8000	V

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

Figura 5.30: *Datasheet* Diodo *MBR0530T1G*.

I componenti passivi non menzionati hanno il seguente scopo: la rete passiva della base del *BJT* presenta una resistenza per l'adattamento della corrente e un circuito *RC* per garantire l'immunità ai disturbi *HF* (condensatore) e lo spegnimento durante l'*off-state* (resistenza di *pull-down*); mentre il condensatore connesso tra *24V* e riferimento *GND_PS* stabilizza l'alimentazione, come un componente di bypass.

5.1.6 Interconnessione con la scheda di controllo

L'ultimo componente da esaminare riguarda la tipologia di connessione tra le due schede. Come punto di riferimento si conosce già a priori la posizione della scheda di misura e il numero di segnali da trasmettere a quest'ultima. Tra i segnali valutati nei paragrafi precedenti si hanno:

- alimentazione $3v3_GT$ - alimentazione posta sul medesimo piano di massa del *microcontrollore* e trasmessa alla scheda tramite **doppio pin**.
- Comunicazione SPI- contenente l'informazione sulle misure della tensione di rete, include **sei canali** in totale, considerando *chip select* e *clock in/out*.
- Comunicazione *I2C* - necessita per natura di **due canali** dati e clock.
- Comunicazione *USART* - protocollo di comunicazione che necessita di **due canali** per trasmissione e ricezione.
- Segnali di comando relè - inclusi i relè di protezione del sistema di misura, si contano **sette canali** in totale.
- *Debug GPIO (General Purpose Input-Output)* - segnali per la correzione del codice firmware dell'*MCU*, **due canali**.
- *HRTIM* - segnali di comunicazione con il timer ad alta risoluzione per la sincronizzazione, **due canali** *SCIN* e *SCOUT (Slave Clock in/out)*.
- Fan *PWM* - comando ventole di raffreddamento, **singolo canale**.
- VHF_1 e VHF_2 - segnali di tensione ad alta frequenza per la costruzione delle alimentazioni isolate, trasmessi entrambi su due canali per il mantenimento della qualità e la limitazione delle correnti sul singolo canale, in totale **quattro canali**.
- *PTC* e *General ADC* - segnali analogici da inviare all'*ADC* dell'*MCU*, derivanti da circuiti di condizionamento in precedenza posti sulla scheda di controllo, **due canali**.
- GND_GT - riferimento del μC , da fissare sulla scheda di misura per una corretta trasmissione dei segnali e reiezione di disturbi.

Valutando il numero di segnali e la possibilità di implementarne di ulteriori in fase di progetto, si è optato per un componente che potesse includere 40 *pin* (fig. 5.31); le connessioni non adibite alla trasmissione di informazioni sono tutte poste al potenziale GND_GT , utile anche a mantenere un'integrità di segnale ottimale sulla scheda di misura.

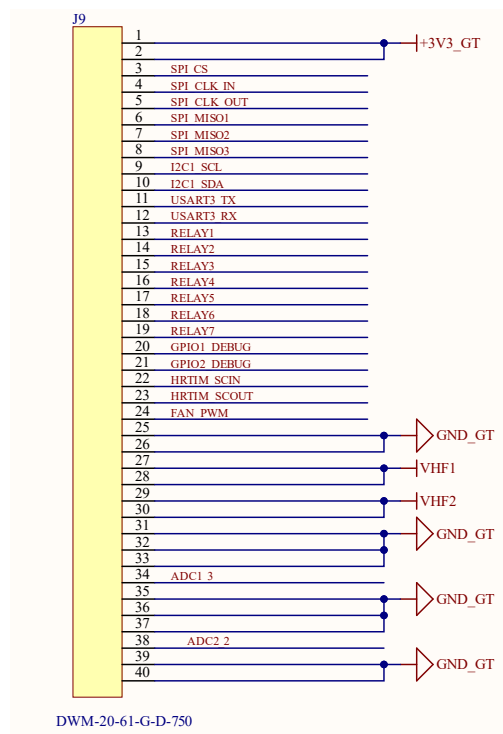


Figura 5.31: Segnali scambiati tra scheda di misura e di controllo.

La scelta del componente non è strettamente legata alla scheda di misura, ma è necessario tenere conto della controparte compatibile presente sulla scheda di controllo.

Sulla scheda di misura verranno posizionati i connettori *header* (*male*), mentre la scheda inferiore ospiterà la presa (*socket*, *female*).

In generale risulta indispensabile verificare la compatibilità valutando diversi fattori, spesso adottare due componenti connettore-presa dello stesso produttore può portare a dei vantaggi, ma ad ogni modo si valutano:

- numero file di connettori.
- dimensioni del *pin* e dello scompartimento *socket*.
- materiali di accoppiamento.
- corrente trasportabile.

Il connettore *header* è mostrato in fig.5.32, scelto non solo per le specifiche, ma anche per la possibilità di ottenere facilmente un modello 2D e 3D compatibile con le librerie dell'ambiente *Altium Designer*.

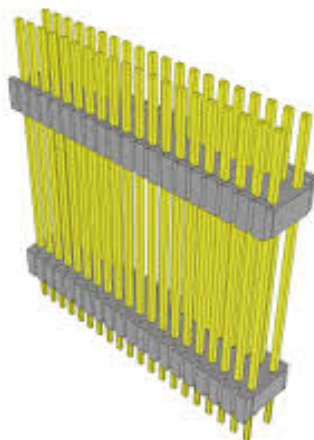


Figura 5.32: Connettori *Samtec DWM-20-61-G-D-750*.

Il codice alfa-numerico si riconduce alla caratteristiche fisico-chimiche e dimensionali dei connettori:

- 20: si intende il numero di connettori presenti sulla singola fila.
- 61: sigla dimensionale, considera la lunghezza totale del componente, in questo caso di $26.67mm$.
- G: oro, identifica la placcatura dei contatti e della coda (*tail*).
- D: descrive il numero di file, la 'D' identifica la doppia fila.
- 750: è sempre un codice di tipo dimensionale e si riferisce alla lunghezza in pollici dello *stack*, quindi la distanza tra le parti plastiche (identificabili in grigio nella fig. 5.32), pari a $19.05mm$.

Su *datasheet* sono presenti ulteriori informazioni utili per la verifica della compatibilità, tra cui il passo tra *pin* ($1.27mm$, $0.050''$), la spaziatura tra le file ($2.54mm$, $0.100''$), struttura del connettore, quadrato, e relativa lunghezza del contatto elettrico effettivo ($3.05mm$, $0.120''$).

La scelta della presa che andrà a ospitare i contatti deve essere compiuta in funzione delle caratteristiche precedentemente elencate: servirebbe un componente con stesso numero di file/connettori, passo tra file/connettori, materiale per i contatti elettrici e soprattutto una dimensione degli scompartimenti adeguata.

Sempre dallo stesso produttore dell'*header* è possibile trovare la presa mostrata in fig.5.33.

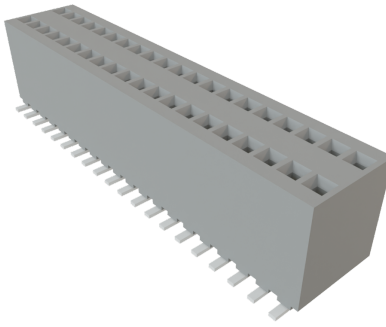


Figura 5.33: Presa *Samtec RSM-120-02-L-D*.

Si tratta di un componente *SMD* con le seguenti caratteristiche identificabili dai codici alfanumerici del modello:

- 120: 20, numero posizioni per fila, compatibile con l'*header*.
- 02: lunghezza totale del componente, standard per *SMD*.
- L: placcatura contatti elettrici e da saldare, in linea con le caratteristiche dei connettori (male).
- D: numero di file, identico all'*header*.

A queste caratteristiche si aggiungono quelle relative al passo tra scomparto e file, ma soprattutto quella inerente alla lunghezza verticale dello scomparto, che da *datasheet* risulta essere di 6.1mm , sicuramente maggiore della lunghezza dei contatti che andranno a occupare tale spazio, verificando così l'assenza di interferenza.

Infine, per entrambi i componenti è visibile l'informazione sui valori nominali di corrente trasportabile, ben al di sopra dei valori tipici in gioco per l'applicazione in esame ($I_{r,header} = 1A$, $I_{r,socket} = 3.8A$).

5.2 PCB layout

5.2.1 Piani di massa e alimentazione, stackup

Per la costruzione dei *layer* e dei piani di massa/alimentazione valgono le stesse considerazioni valutate in precedenza per la scheda di controllo.

La differenza sostanziale risiede nel numero di *layer* utilizzati, la natura meno complessa del *PCB* in questione e il numero di segnali in gioco da sbrogliare tramite tracce in rame sono sicuramente determinanti per la scelta. La scheda di misura contiene quindi 4 *layer* disposti in modo tale da avere a disposizione due strati per il *routing* (*top*, *bottom*), uno per la costruzioni di reti di

alimentazione su traccia e su piastre conduttrici e infine, uno strato da utilizzare come piano di riferimento (*GND*). Allo scopo di massimizzare l'immunità ai disturbi, ogni *layer* (tranne quello di alimentazione) sarà provvisto comunque di un piano di massa adibito a fissare il potenziale di *GND*, come visto per il circuito di controllo, indipendentemente dal numero di tracce presenti.

Lo *stack-up* dal punto di vista meccanico e di isolamento segue le stesse linee guida analizzate nel capitolo precedente ed è mostrato in fig. 5.34.

#	Name	Material	Type	Weight	Thickness	Dk	Df
	Top Overlay		Overlay				
	Top Solder	Solder Resist	Solder Mask		0.4mil	3.5	
1	Top Layer		Signal	1oz	1.4mil		
	Dielectric 2	PP-006	Prepreg		2.8mil	4.1	0.02
2	mid_top	CF-004	Signal	1oz	1.378mil		
	Dielectric 1	FR-4	Dielectric		12.6mil	4.8	
3	mid_bottom	CF-004	Signal	1oz	1.378mil		
	Dielectric 3	PP-006	Prepreg		2.8mil	4.1	0.02
4	Bottom Layer		Signal	1oz	1.4mil		
	Bottom Solder	Solder Resist	Solder Mask		0.4mil	3.5	
	Bottom Overlay		Overlay				

Figura 5.34: Stack-up scheda di misura.

In fig.5.35 invece vengono mostrati tre poligoni multi-strato adibiti alla costruzione di tre piani di massa/alimentazione isolati e separati, come visto, da isolatori digitali. Ogni piano è utilizzato per distinguere e separare porzioni di circuito con caratteristiche differenti.

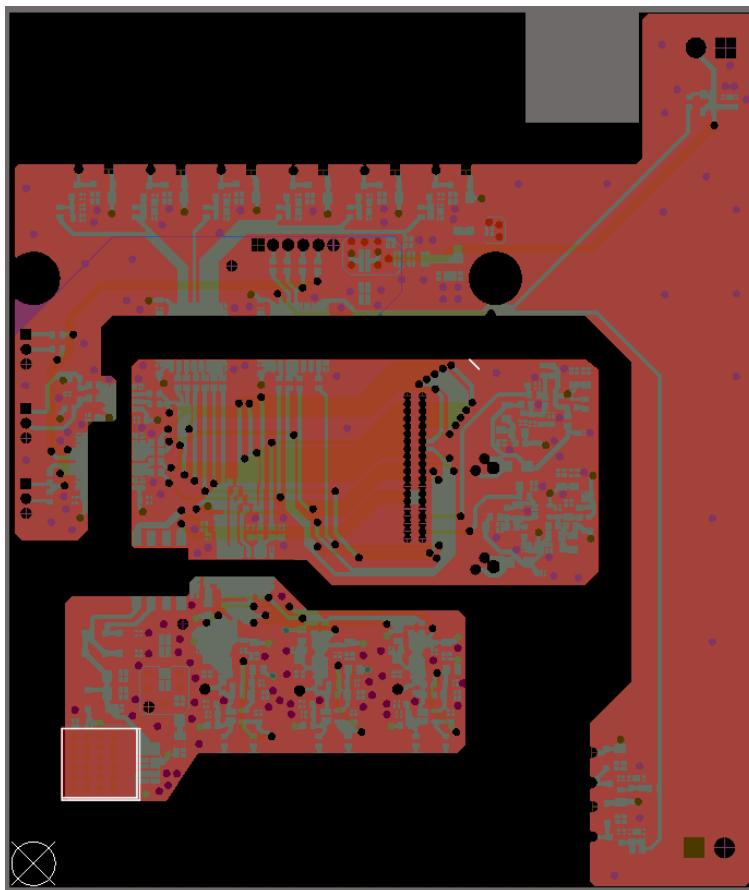


Figura 5.35: Disposizione piani di massa/alimentazione, scheda di misura.

In ordine di dimensione:

- **Piano PS, POWER SUPPLY**, 3 potenziali. Porzione di scheda adibita alla gestione di segnali analogici: alimentazione relè, relativo circuito di condizionamento e costruzione delle reti di alimentazione non isolate, presentano lo stesso riferimento della tensione esterna da 24V. I piani di *GND_PS* sono quindi costruiti su tutti i *layer*, escluso quello adibito all'alimentazione che presenta una disposizione particolare. In riferimento a questa affermazione è necessario dettagliare come il potenziale 24V e 5V vengano distribuiti: la rete da 24V ha il solo scopo di alimentare circuiti di potenza e i regolatori per la costruzione del potenziale 5V_PS. Quest'ultimo potenziale è alla base di tutti i segnali di comando dei relè e delle comunicazioni per il *debug*, quindi andrebbero ad alimentare gli isolatori digitali; per migliorarne la resilienza ai disturbi è anch'esso distribuito su piastra conduttrice. Il *layer mid-top* ospita quindi due alimentazioni su piastra isolate galvanicamente.
- **Piano GT, GRAN TORINO**, 2 potenziali. Il poligono centrale condivide il potenziale di riferimento del μC trasmesso tramite il connettore *header*. Tutti i segnali in arrivo dalle periferiche presenti sul *PCB* devono essere trasmessi su tale riferimento, in modo da non alterare i dati inviati all'*MCU*, posto su riferimento *GT*, ad oggi rinomato per l'elevata immunità ai

disturbi. Come per il piano di massa precedente, anche qui ogni *layer* adibito al *routing* è provvisto di poligoni per il fissaggio del riferimento *GT*. Il *layer mid-top*, con medesimo riferimento, è adibito alla distribuzione del potenziale *alto* del *microcontrollore*, trasmesso appunto per sfruttare gli isolatori digitali e i condensatori di disaccoppiamento/bypass in modo efficiente.

- **Piano ISO, ISOLATO, 2 potenziali.** L'ultimo piano è riferito al sistema di misura, condizionamento e campionamento delle tensioni concatenate di rete, che per questioni di sicurezza elettrica e immunità ai disturbi è separato dal resto della scheda. L'isolamento è garantito dall'isolatore digitale, mentre l'alimentazione dei circuiti all'interno di questa porzione sono gestiti dal trasformatore di isolamento già esaminato. Il piano di alimentazione *mid-top* è adibito alla distribuzione del potenziale *3v3_iso*, ottenuto dal sistema di regolazione e fissato al poligono conduttore attraverso un sistema di *vias*, che ne migliorano il contatto elettrico e l'affidabilità (utilizzato anche per diffondere equamente il potenziale $5V_{PS}$). Anche qui, come per tutta la scheda, *top* e *bottom layer* sono provvisti di piani fissati a *GND_iso*.

Le caratteristiche dimensionali degli isolatori digitali identificano inoltre la classe di isolamento che si vuole garantire, quindi anche dal punto di vista visivo è possibile valutare quale circuito necessita di un maggiore isolamento rispetto a un altro.

5.2.2 Posizionamento componenti

La procedura di posizionamento dei componenti, come per la scheda di controllo, è gestito in maniera intelligente e sicuramente legata ai piani massa isolati. L'obiettivo è massimizzare la resilienza ai disturbi e inibire il *crosstalk* tra le varie porzioni del *PCB*. Analizzando il *layout* di fig.5.36 è possibile identificare la posizione di tutti i circuiti descritti sin ora, in modo da ottimizzare la convergenza dei segnali verso l'*header* di interconnessione con la scheda di controllo, situato centralmente.

Su un lato (sinistro) è possibile notare il sistema di acquisizione e gestione delle tensioni concatenate di rete: lo stadio di acquisizione (connettori), e relativa rete di adattamento (e protezione, relè), sono poste al di fuori del poligono adibito alla distribuzione del piano di massa *GND_iso*, evitando l'incombenza di disturbi EMI e potenziali pericolosi per il sistema di condizionamento e campionamento di segnale. In riferimento al sistema di interfaccia *A/D converter* è possibile verificare come lo stesso circuito sia reiterato per le tre tensioni concatenate, motivo per cui *Altium Designer* mette a disposizione lo strumento delle *room* per facilitare il posizionamento di circuiti identici su scheda. Dall'altro lato (destra) si individuano i sei relè ausiliari, il posizionamento segue la stessa logica appena descritta: connettori e relativi contatti di potenza sono indipendenti dal piano di massa *GND_PS*, data la natura estranea dei circuiti che andranno a interrompere. I restanti connettori non necessitano di particolare isolamento perché adibiti alla trasmissione/ricezione di segnali dati o comunicazione operanti allo stesso potenziale di riferimento del piano di massa su cui si trovano. Infine, in riferimento alle capacità di bypass, disaccoppiamento e stoccaggio locale valgono le stesse considerazioni fatte per la scheda di controllo: quindi eventuali condensatori ceramici per la stabi-

lizzazione delle alimentazioni dovranno essere posizionati in corrispondenza dei *pin* di alimentazione dei circuiti integrati associati; mentre condensatori elettrolitici, al più due per il *PCB* in questione, essendo impiegati per lo stoccaggio e quindi la stabilizzazione massiccia dei potenziali in uscita da sistemi di regolazione, saranno localizzati in corrispondenza di tali circuiti e, come nel caso della rete $5V_PS$, spesso accoppiati a *vias*, per una distribuzione ottimale del potenziale su piano di alimentazione.

5.2.3 Routing

Il *routing* su traccia, a differenza del *PCB* di controllo, non mostra particolari complicanze, dettate sicuramente da una densità minore dei segnali in gioco e da una superficie abbastanza ampia su cui tracciarle.

Le considerazioni già valutate, essendo uno standard globale, si ripetono per il caso in questione. Trattandosi principalmente di circuiti analogici, di alimentazione e di comunicazione, le sezioni in gioco presentano un range di scelta meno ampio, quindi meno critico.

- segnali: la natura analogica dell'intero sistema permette di avere un sezione di traccia quasi unificata, con spessori inclusi nel range $0.381 \div 0.508mm$ ($15 \div 20mils$).
- alimentazione e segnali *HF*: per le connessioni in questione il range risulta leggermente più ampio, funzione della lunghezza specifica. Le reti di alimentazione presentano uno spessore unificato di $0.508mm$ ($20mils$), con piccole eccezioni dettate appunto dalla lunghezza della singola connessione, $0.381mm$ ($15mils$) per connessioni brevi e $1.016mm$ ($40mils$) per tratti più prolungati. Mentre per segnali ad alta frequenza, come quelli destinati al trasformatore di isolamento, presentano uno spessore di $0.762mm$ ($30mils$) e per via della natura differenziale, una distanza tra le tracce minima, imposta nelle *Design rules*.

5.2.4 2D Layout, Scheda di misura

Le fig.5.36 e 5.37 mostrano rispettivamente le viste dall'alto e dal basso del *PCB* di misura. In particolare, è possibile visualizzare la posizione del connettore di interconnessione col sistema di controllo, meccanicamente vincolato al connettore 'presa' posto su quest'ultimo. La minore densità di componenti, connessioni e *vias* ha permesso di ottenere una disposizione sicuramente più ordinata e una compartimentazione più evidente.

Come si può notare in fig.5.37, la necessità di disporre la scheda di misura al di sopra dello stadio di controllo ha portato all'impossibilità di sfruttare il *bottom-layer* per il posizionamento di eventuali componenti, comunque non necessario per via del numero esiguo di quest'ultimi.

In termini di dimensioni, la scheda si estende per 126×148 lungo le direzioni x, y , come per la scheda di controllo, in modo da ottimizzare l'accoppiamento meccanico tra i due *PCB*. Verticalmente invece, il sistema non presenta grandi estensioni se ci si riferisce al lato superiore; inferiormente l'estensione è comunque legata al connettore e, quindi, dallo sviluppo verticale della scheda di controllo.

In fig. 5.38 è possibile visionare una vista prospettica della scheda di misura, il che permette di valutare, approssimativamente, l'estensione verticale del *PCB*.

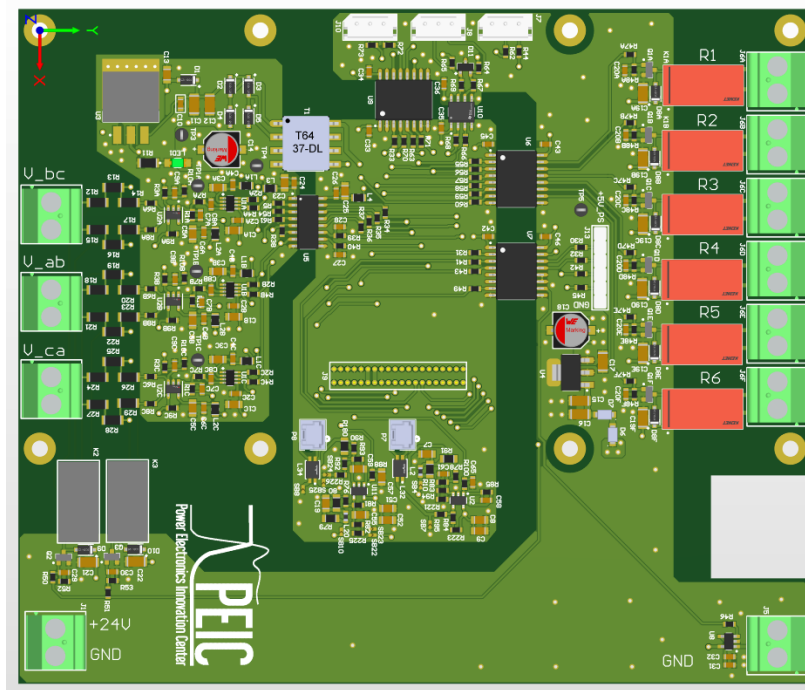


Figura 5.36: *Layout scheda di misura, top view.*

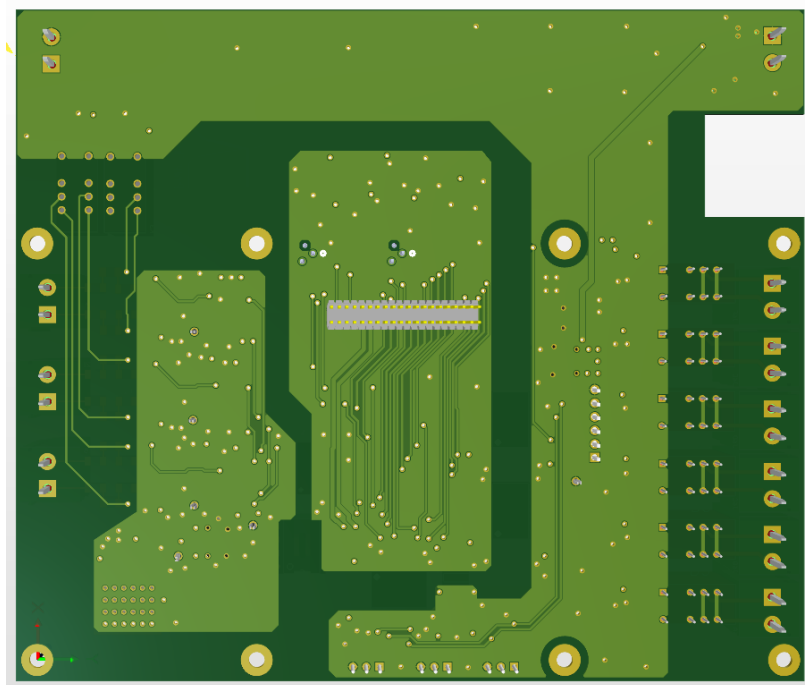


Figura 5.37: *Layout scheda di misura, bottom view.*

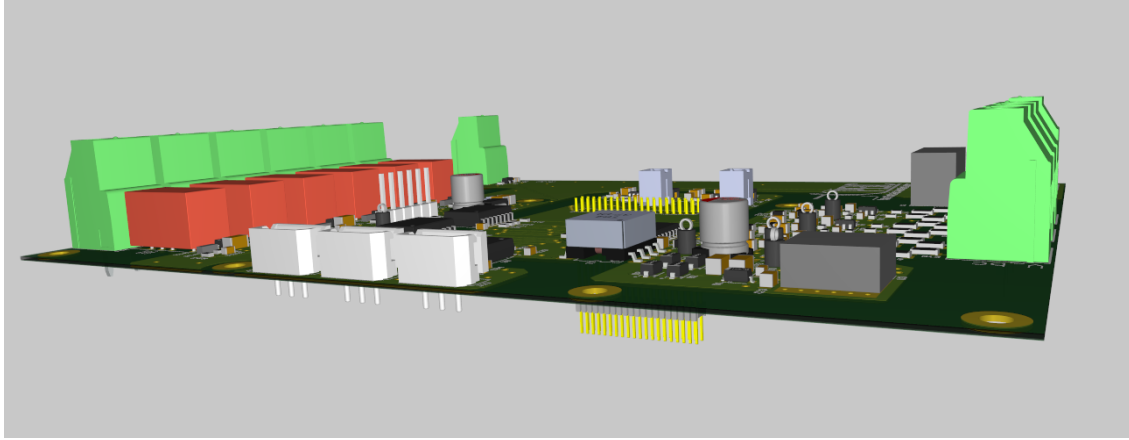


Figura 5.38: *Layout* scheda di misura, *3D view*.

Capitolo 6

Assemblaggio

6.1 Modifiche meccaniche

Definito il *layout* di entrambi i *PCB*, l'obiettivo successivo risiede nella validazione dell'assemblaggio meccanico, volta a escludere potenziali interferenze tra i componenti. In questo contesto, il connettore *header* allocato sulla scheda di misura funge da elemento risolutivo: esso è stato opportunamente selezionato e dimensionato per garantire una distanza consona tra le due schede, impedendo ogni intersezione strutturale tra le superfici.

L'impiego di tale componente di interconnessione assicura inoltre un distacco sufficiente a permettere una connessione meccanicamente stabile e priva di impedimenti per il cablaggio in arrivo verso i connettori della scheda di controllo.

Una criticità distinta riguarda invece il connettore di *debug* del *microcontrollore* posto sul *PCB* di controllo: a causa dell'ingombro del corpo plastico rinforzato e dell'impossibilità di subire sollecitazioni torsionali, la sua accessibilità risulterebbe compromessa dalla sovrapposizione della scheda di misura. Per ovviare a tale limitazione, è stata pianificata una modifica geometrica del sistema. In primo luogo, il piazzamento, volutamente, periferico del connettore sulla scheda di controllo minimizza l'impatto delle modifiche sul sistema di misura. Conseguentemente, si è proceduto alla progettazione di una fresatura localizzata sul *PCB* superiore; il numero esiguo di componenti presenti sulla scheda di misura ha consentito un'agevole riconfigurazione del *layout* dei componenti, permettendo un taglio con ampio margine di sicurezza senza pregiudicare l'integrità del circuito.

controllo, saranno il connettore *header DWM-20-61-G-D-750* e la presa *RSM-120-02-L-D*, che per essere ritenuti tali dovranno presentare un parametro *system: connector* tra le proprietà.

6.2.2 Assemblaggio fisico

Terminata l'interconnessione, non resta altro che importare l'intero sistema su file *assembly* in modo da visualizzare la vista *3D* dell'intero sistema e verificare l'assenza di eventuali intersezioni o errori di accoppiamento, segnalati direttamente dall'ambiente di sviluppo.

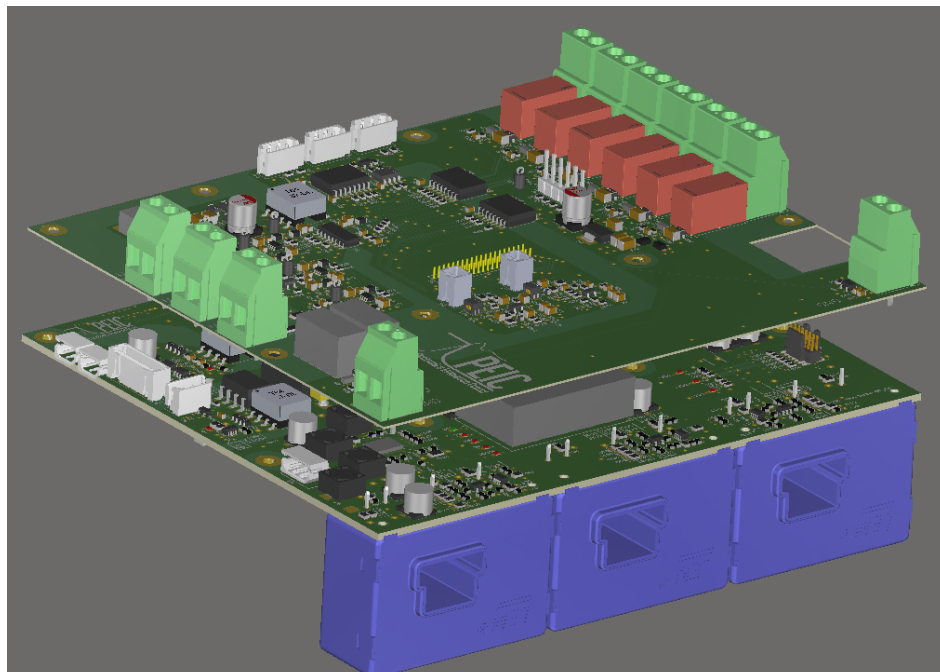


Figura 6.4: Assemblaggio, vista *3D*.

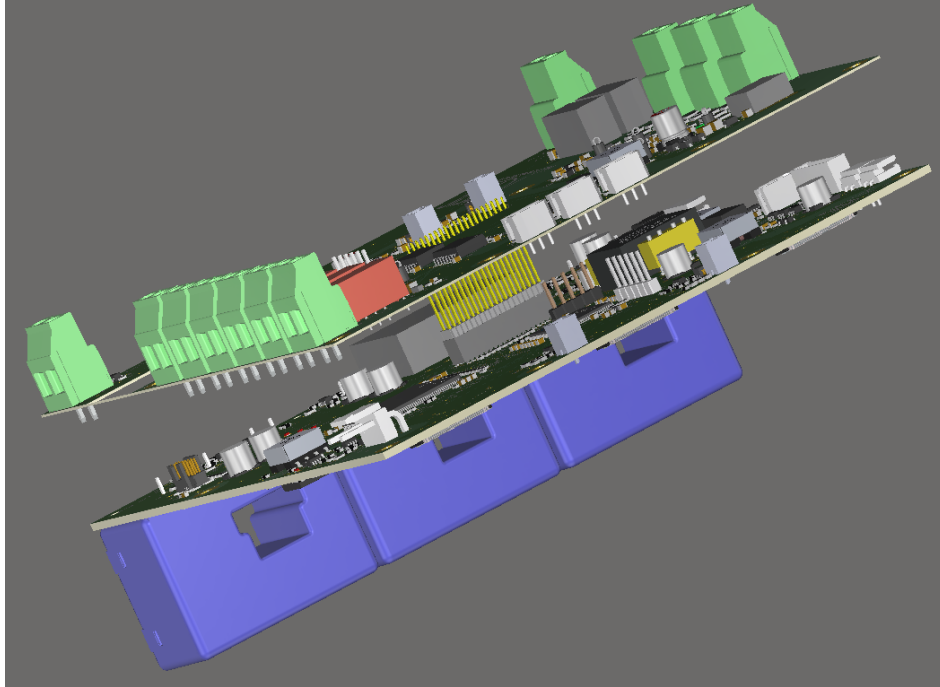


Figura 6.5: Assemblaggio, vista 3D, focus connettore.

Capitolo 7

Conclusioni

Nonostante quanto detto in merito alle nuove norme attinenti al settore dell'elettronica di potenza interfacciata alle reti con alta penetrazione di *RES* e all'impellente necessità di soluzioni, il settore risulta ancora in fase di sviluppo e cambiamento.

Sul piano delle strategie di controllo, la letteratura scientifica segnala molteplici metodologie, ciò nonostante, in riferimento ai concetti di inerzia virtuale e supporto durante i guasti, si nota una certa propensione verso tecnologie *VSM*: sebbene si tratti di metodi largamente approfonditi, la continua ottimizzazione degli stessi ha permesso di ottenere non solo le proprietà di supporto alla rete ma anche risposte dinamiche molto rapide e controllate, confrontate ad altre strategie.

Parallelamente, l'adozione di strutture di potenza basate su dispositivi *Wide Bandgap*, specificamente *SiC-MOS*, rappresenta ormai uno standard per applicazioni ad alta tensione e densità di potenza, per cui lo sviluppo e la conseguente analisi del comportamento di tali strategie in accoppiamento a questi sistemi risulta fondamentale, non solo per proporre una soluzione competitiva, ma con l'obiettivo di massimizzare i vantaggi derivanti dal controllo adottato.

L'architettura proposta in questo documento potrebbe quindi concorrere, nel futuro prossimo, a divenire uno standard nell'ottica dei convertitori *Grid Forming (GFM)*, o *Grid Supporting (GS)*. L'inserimento di logiche di tipo *VSM* e controllo attivo della temperatura di giunzione (*TSEP*) permetterebbe una gestione efficiente dei servizi ancillari di rete, garantendo sicuramente maggior resilienza.

Tuttavia, allo stato attuale, non è ancora possibile ottenere risultati sperimentali volti a valutare l'adeguatezza della struttura presentata; la causa è legata alle tempistiche imposte dal processo di sviluppo hardware e firmware. In merito a ciò è comunque possibile visualizzare alcuni test pre-prototipali, svolti presso il Politecnico di Torino, e presentati brevemente per dimostrare l'idoneità del controllo *S-VSC* e del controllo in corrente attuato dallo stimatore di temperatura di giunzione. E' possibile anche constatare che la presenza di una topologia basata su *MOSFET SiC* ha di certo influito sugli stress termici afferenti il convertitore, dai risultati riferiti a una struttura di potenza simile è evidente come il dispositivo sia in grado di sostenere sovraccarichi transitori in corrente di 1.6 p.u., impensabili per tecnologie *Si-MOS*; ad ogni modo, sarà necessario rivalutare l'ordine di grandezza sulla struttura definitiva per poter valutare correttamente le prestazioni in regime tran-

sitorio. Nei prossimi mesi sono comunque previsti: la stampa dei due *PCB*, test di integrità termica e di cortocircuito di questi ultimi, implementazione del codice firmware su *MCU* e l'assemblaggio dell'intero convertitore con conseguenti test *P-HiL* e sul campo.

Ad ogni modo, gli obiettivi prefissati inizialmente, in merito al design hardware delle due schede di controllo e misura, sono stati raggiunti, con riscontro positivo da parte di progettisti del settore.

Bibliografia

- [1] Fausto Stella, Gianmario Pellegrino, Eric Armando: *"Three-phase inverter for formula SAE Electric with online Junction Temperature Estimation of all SiC MOSFETs"*.
- [2] Fabio Mandrile, Fausto Stella, Enrico Carpaneto, Radu Bojoi: *"Grid Fault Current Injection using Virtual Synchronous Machines featuring Active Junction Temperature Limitation of power devices"*.
- [3] Joan Rocabert, Alvaro Luna, Frede Blaabjerg, Pedro Rodriguez: *"Control of Power Converters in AC Microgrids"*.
- [4] Fabio Mandrile, Enrico Carpaneto, Radu Bojoi: *"Grid-Feeding Inverter With Simplified Virtual Synchronous Compensator Providing Grid Services and Grid Support"*.
- [5] Macit Tozak, Ibrahim Sengor, Barry P. Hayes: *"Modeling and Control of Grid Forming Converters: A Systematic Review"*.
- [6] Rafat Aljarrah, Mazaher Karimi, Hesamoddin Marzooghi, Rasoul Azizipanah-Abarghooe: *"Issues and Challenges of Grid-Following Converters Interfacing Renewable Energy Sources in Low Inertia Systems: A Review"*.
- [7] Jia Liu: *"Studi sul miglioramento delle prestazioni dinamiche delle micro-reti mediante l'applicazione del controllo del generatore sincrono virtuale ai generatori distribuiti"*.
- [8] Sana Fazal, Md Enamul Haque, Md Taufiqul Arif, Ameen Gargoom : *"Droop Control Techniques for Grid Forming Inverter"*.
- [9] Alessia Camboni, Vincenzo Mallemaci, Fabio Mandrile, Radu Bojoi: *"The compensator approach: solving the transient stability issues of Virtual Synchronous Machines"*.
- [10] Vincenzo Mallemaci, Fabio Mandrile, Alessia Camboni, Enrico Carpaneto, Radu Bojoi: *"Grid following Virtual Synchronous Machines: a valid solution fulfilling the newest grid codes regarding the reactive grid support during faults"*.
- [11] Vincenzo Mallemaci, Fabio Mandrile, Sandro Rubino, Andrea Mazza, Enrico Carpaneto, Radu Bojoi: *"A comprehensive comparison of Virtual Synchronous Generator with focus on virtual inertia and frequency regulation"*.

- [12] Enrico Carpaneto, Slide del corso: *"Sistemi elettrici di potenza - Regolazione della frequenza; Guasti" (AA 2023-2024)* .
- [13] Gianfranco Chicco, Slide del corso: *"Distribuzione e utilizzazione dell'energia elettrica - Generazione distribuita" (AA 2024-2025)* .
- [14] Gianmario Pellegrino, Paolo Pescetto, Slide del corso: *"Laboratory of power converter- Grid connected converters" (AA 2024-2025)* .
- [15] Radu Bojoi, Fabio Mandrile, Sandro Rubino, Slide del corso: *"Power Electronics and eDrives for Energy Transition" (AA 2025-2026)* .
- [16] STMicroelectronics: *"STM32H745xI/G Datasheet"*.
- [17] Mouser Electronics: *"Database componenti, schede tecniche e link"*.
- [18] iPCB: *"Normativa IPC"*, <https://www.ipcb.com>.
- [19] Risorse Altium: *"Linee guida PCB design"*, <https://resources.altium.com>.
- [20] PCBWay: *"PCB Capabilities"*,<https://www.pcbway.com>.
- [21] Normativa CEI 0-21: *"Regola tecnica di riferimento per la connessione di utenti attivi e passivi alla rete BT delle imprese distributrici di energia elettrica"* .
- [22] Normativa CEI 0-16: *"Regola tecnica di riferimento per la connessione di utenti attivi e passivi alla reti AT ed MT delle imprese distributrici di energia elettrica"*.
- [23] Guida tecnica ARERA 08-2012: *"Allegato A70 - Regolazione tecnica dei requisiti di sistema della generazione distribuita"* .