

POLITECNICO DI TORINO

Corso di Laurea in Ingegneria Elettronica

Tesi di Laurea Magistrale

**Studio, analisi e progettazione di  
un PFC bridgeless con controllo  
digitale**



**Politecnico  
di Torino**

**Relatore**

prof. Francesco Musolino

**Correlatore:**

ing. Davide Daprà

**Candidato**

Mauro CAVALLERO  
matricola: 301614

---

ANNO ACCADEMICO 2022 – 2023

# Sommario

L'energia elettrica viene impiegata in un numero crescente di campi e applicazioni. Attualmente l'attenzione verso l'efficienza e la sostenibilità sta diventando un punto sempre più centrale nello sviluppo di nuovi sistemi elettronici. In tale contesto si propone lo studio, la progettazione e la realizzazione di un Bridgeless PFC a controllo digitale. Tale sistema elettronico ha lo scopo di garantire un fattore di potenza, in inglese Power Factor (PF), tendente all'unità. L'obiettivo è quello di sviluppare un'alternativa al tradizionale Boost PFC sfruttando le potenzialità della nuova configurazione per pilotare potenze di 4kW mantenendo un'efficienza elevata.

Il correttore del fattore di potenza, in inglese Power Factor Corrector (PFC), ha come ruolo fondamentale la possibilità di trasferire l'energia elettrica dalla linea al carico con il minor spreco possibile di energia. La scelta di realizzare un controllo di tipo digitale è un punto fondamentale, la possibilità di avere dei dati diagnostici in tempo reale e trasmissibili è di prerogativa sempre maggiore nei progetti moderni.

Nella prima parte della tesi si esporranno i principi teorici alla base di un PFC, il suo funzionamento e le norme che ne regolano la realizzazione. Si passerà poi ad esaminare le diverse soluzioni presenti in letteratura sintetizzando i pro e i contro delle diverse configurazioni. Successivamente si motiverà la scelta della tipologia Bridgeless per passare poi alla progettazione della scheda di potenza. Verranno dimensionati i componenti dalle formule teoriche e tramite PSIM ed LTSpice si controllerà la consistenza dei valori calcolati. Si terminerà con la selezione dei dispositivi elettronici e la stima teorica dell'efficienza, dimostratasi superiore al 97% confermando così le potenzialità della configurazione scelta.

Nella seconda parte si affronterà il tema del controllo sia dal punto di vista analogico che digitale. Dopo aver selezionato la tipologia più adatta si procederà con lo sviluppo della scheda di controllo. In una prima fase si useranno i modelli matematici per caratterizzare il PFC sia in condizioni statiche che dinamiche, si passerà poi al progetto dei compensatori nel dominio analogico. Verrà simulato il circuito di potenza completo per ricavare e confrontare le risposte descritte dalle equazioni tramite PSIM. Per mostrare il passaggio da analogico a digitale si presenterà il modo in cui è stato programmato il controllore digitale. Infine si dimensioneranno i circuiti secondari necessari al corretto funzionamento del controllore come il rivelatore di fase, il circuito di alimentazione, i vari partitori di tensione, i circuiti di

misurazione della corrente e il sistema per il primo avvio del PFC.

Nella parte finale della tesi si mostrerà il prototipo realizzato e le misure effettuate concludendo poi con una parentesi sull'aspetto economico della scheda.

# Ringraziamenti

Vorrei dedicare questo spazio alle persone che mi hanno accompagnato durante il mio percorso di crescita fino ad arrivare alla conclusione della presente tesi.

Ringrazio il mio relatore e il mio correlatore, il professore Francesco Musolino e l'ingegnere Davide Daprà, che con pazienza mi hanno supportato nello sviluppo della tesi aiutandomi a migliorare dal punto di vista professionale ed arricchendo le mie conoscenze tecniche.

Ringrazio gli amici che mi sono stati vicini. Ringrazio i miei professori delle superiori, che hanno creduto in me contribuendo al raggiungimento di questo traguardo.

Ringrazio con un affetto speciale Giulia, che mi ha accompagnato in questo percorso universitario e di vita, con la quale spero di continuare a gioire nei progetti futuri.

Ringrazio i miei fratelli, in particolare il maggiore, che mi ha dato sicurezza nei momenti di indecisione. Ringrazio i miei genitori, che rappresentano le fondamenta dei miei successi ed ai quali devo la possibilità di essere arrivato fin qua. Infine ringrazio i miei nonni, i cugini e gli zii per esserci stati ed avermi ascoltato.



# Indice

<b>1</b>	<b>Introduzione</b>	<b>6</b>
1.1	Obiettivo . . . . .	6
1.2	Struttura della tesi . . . . .	7
<b>2</b>	<b>Principi teorici e stato dell'arte dei PFC</b>	<b>9</b>
2.1	Power factor correction . . . . .	9
2.2	Configurazione Boost . . . . .	12
2.3	Dal Boost al PFC . . . . .	16
2.4	PFC per potenze medio-alte . . . . .	17
2.4.1	ACM PFC . . . . .	17
2.4.2	Interleaved PFC . . . . .	19
2.4.3	BTBBL PFC . . . . .	21
2.5	Bridgeless PFC . . . . .	22
2.6	Ripple sulla tensione d'uscita . . . . .	25
2.7	Switching averaging method . . . . .	26
2.8	Conclusioni . . . . .	29
<b>3</b>	<b>Progetto del PFC di tipo Bridgeless</b>	<b>31</b>
3.1	Convertitore di potenza . . . . .	32
3.1.1	Scelta dei componenti . . . . .	37
3.2	Filtro d'ingresso . . . . .	38
3.3	Circuito di startup . . . . .	42
3.4	Gate driver . . . . .	44
3.5	Alimentazione circuiti di controllo . . . . .	46
3.6	Stima dell'efficienza e gestione della temperatura . . . . .	47
<b>4</b>	<b>Dal controllo analogico al digitale</b>	<b>51</b>
4.1	Controllo Analogico . . . . .	51
4.1.1	Peak Current Mode . . . . .	52
4.1.2	Hysteresis Current Mode . . . . .	53
4.1.3	Borderline Current Mode . . . . .	53
4.1.4	Discontinuous Current Mode . . . . .	54

4.2	Average Current Mode . . . . .	55
4.2.1	Loop di controllo interno . . . . .	56
4.2.2	Loop di controllo esterno . . . . .	57
4.3	Controllo digitale . . . . .	58
4.3.1	Digital PWM . . . . .	59
4.3.2	Modellizzazione del Compensatore . . . . .	60
4.3.3	Gestione delle criticità . . . . .	61
4.4	Conclusioni . . . . .	64
<b>5</b>	<b>Progetto del circuito di controllo</b>	<b>65</b>
5.1	Controllo Analogico . . . . .	66
5.1.1	Loop di corrente . . . . .	67
5.1.2	Loop di tensione . . . . .	68
5.2	Controllo Digitale . . . . .	71
5.2.1	Loop di corrente . . . . .	72
5.2.2	Loop di tensione . . . . .	74
5.3	Scheda di controllo . . . . .	77
5.3.1	ADP1048 . . . . .	77
5.3.2	Regolatore di tensione lineare . . . . .	78
5.4	Circuiti di condizionamento sulla scheda di potenza . . . . .	79
5.4.1	Rivelatore di fase . . . . .	79
5.4.2	Tensione di uscita . . . . .	81
5.4.3	Tensione d'ingresso . . . . .	82
5.4.4	Monitoraggio delle correnti degli induttori e di ingresso . . . . .	84
<b>6</b>	<b>Realizzazione del prototipo</b>	<b>87</b>
6.1	Scheda di controllo . . . . .	88
6.2	Scheda di potenza . . . . .	91
6.3	Valutazione dei costi . . . . .	99
<b>7</b>	<b>Collaudo della scheda di prototipo</b>	<b>103</b>
7.1	Montaggio scheda . . . . .	103
7.2	Misura di efficienza . . . . .	104
<b>8</b>	<b>Conclusioni e progetti futuri</b>	<b>107</b>
	<b>Bibliografia</b>	<b>111</b>

# Capitolo 1

## Introduzione

Questo lavoro di tesi si occupa dell'analisi e del progetto di un circuito elettronico per la correzione del fattore di potenza, in inglese Power Factor Correction, nel seguito abbreviato in PFC. Tali circuiti sono usati per mantenere il PF (acronimo di power factor) vicino all'unità così da ottenere il massimo trasferimento di potenza tra la linea di alimentazione e il sistema elettronico. Per raggiungere tale condizione è necessario un carico di tipo resistivo che non generi sfasamento tra tensione e corrente, il PFC simula tale comportamento. Qualsiasi linea di distribuzione dell'energia elettrica ad alta e media tensione odierna fornisce un'alimentazione di tipo AC, ad esempio la linea civile in Italia fornisce una tensione efficace di circa 230V ad una frequenza di 50Hz. Tale linea è usata da diversi carichi che possono aver bisogno di un'alimentazione di tipo DC, ad esempio alcuni tipi di motori elettrici, computer, condizionatori e altri apparecchi elettronici, il PFC è in grado di fornire in uscita una tensione continua e allo stesso tempo evita che gli assorbimenti impulsivi dei carichi non resistivi introducano disturbi nella linea di alimentazione. Da diversi anni iniziative per lo sviluppo sostenibile promuovono lo sviluppo delle tecnologie utili all'aumento dell'efficienza energetica e al processo di decarbonizzazione, progetti come *Horizon Europe*[1] stanziando dei fondi per la ricerca sul miglioramento delle batterie e dei circuiti elettronici connessi. In un contesto di risparmio e sostenibilità l'efficienza dei sistemi elettronici è un aspetto essenziale su cui concentrare risorse ed attenzione. Lo scopo del progetto che verrà proposto è quindi quello di fornire una valida alternativa ai tradizionali PFC con una configurazione già nota ma più recente e con migliori caratteristiche.

### 1.1 Obiettivo

In questa tesi si presenterà lo studio, la progettazione e la realizzazione di un bridgeless PFC monofase a controllo digitale. Tale PFC sarà inserito all'interno di schede elettroniche presenti in condizionatori che richiedono una potenza elettrica

d'ingresso di massimo 4kW. Dall'analisi dello stato dell'arte si potrà notare che per potenze superiori al kW il bridgeless PFC ha delle ottime potenzialità per sostituire una tradizionale configurazione basata semplicemente su un ponte raddrizzatore seguito da un boost, che ad oggi è una delle più usate per questo tipo di applicazioni. Il progetto sarà eseguito in conformità agli standard internazionali che si occupano di regolamentare la qualità della alimentazione elettrica come la IEC 61000[2] e lo standard IEEE/ANSI 519[3]. La scelta di produrre una scheda a controllo digitale, sebbene possa sembrare penalizzante dal punto di vista delle prestazioni, come una minor velocità di acquisizione dei dati e la risoluzione limitata della regolazione, ha però delle grandi potenzialità in termini di connettività, analisi dei dati in tempo reale e versatilità, aspetti sempre più importanti nei progetti odierni. La tesi è stata promossa dalla Vishay Intertechnology che ha messo a disposizione i propri laboratori situati della Cittadella Politecnica nei quali, sotto la supervisione dei suoi ingegneri ho potuto sviluppare il progetto. Le specifiche elettriche fornite dall'azienda sono le seguenti:

- Tensione efficace d'ingresso pari a 230V con una tolleranza del 10%
- Potenza d'uscita 4000 W
- Efficienza maggiore del 95%

## 1.2 Struttura della tesi

La tesi è composta dai seguenti capitoli: oltre alla presente Introduzione, il Capitolo 2 è dedicato allo studio dello stato dell'arte relativo ai circuiti PFC adatti a gestire livelli di potenze comparabili a quelle di questa Tesi. In questo capitolo saranno introdotti i principi teorici alla base dell'elettronica di potenza, verranno illustrate le norme da rispettare, si descriverà il funzionamento del convertitore Boost sul quale molti PFC si basano, tali PFC verranno brevemente illustrati e infine verrà presentata la configurazione Bridgeless e le sue derivazioni. Nel capitolo 3 si scenderà più nel dettaglio per quanto riguarda il Bridgeless PFC, in tale occasione verrà sviluppato il progetto della scheda di potenza secondo le specifiche di progetto. Nel capitolo 4 si tratteranno i vari tipi di controllo che un PFC può avere, il controllo in corrente è il più usato per le ottime prestazioni che può fornire perciò, sarà spiegato più nel dettaglio. Nel capitolo 5 verrà progettata la scheda di controllo digitale tramite calcoli e simulazioni che ne supporteranno i risultati. Nel capitolo 6 si illustreranno gli schematici e i PCB creati per la realizzazione delle schede, controllo e potenza, concludendo poi con una piccola parentesi sull'aspetto economico della scheda. Nel capitolo 7 verranno mostrate le misure effettuate sulla scheda di prototipazione, in particolare la misura dell'efficienza che verrà poi comparata con quella teorica. I software che verranno utilizzati saranno principalmente: Power-sim PSIM 2021b, per la simulazione del circuito di potenza con controllo, Analog

Devices LTspice XVII, per la simulazione di alcuni circuiti secondari, KiCad7.0, per la realizzazione degli schematici e degli stampati, Latex, per la stesura della tesi.



## Capitolo 2

# Principi teorici e stato dell'arte dei PFC

### 2.1 Power factor correction

Il fattore di potenza,  $K_p$ , è definito come il rapporto tra la potenza reale assorbita dal carico e la potenza apparente che fluisce nel circuito elettrico in esame.

$$K_p = \frac{P_{ave}}{V_{Srms} \cdot I_{Srms}} \quad (2.1)$$

Prendendo in considerazione il caso di un'alimentazione elettrica a corrente alternata con carico resistivo, Fig. 2.1; possiamo ricavare:

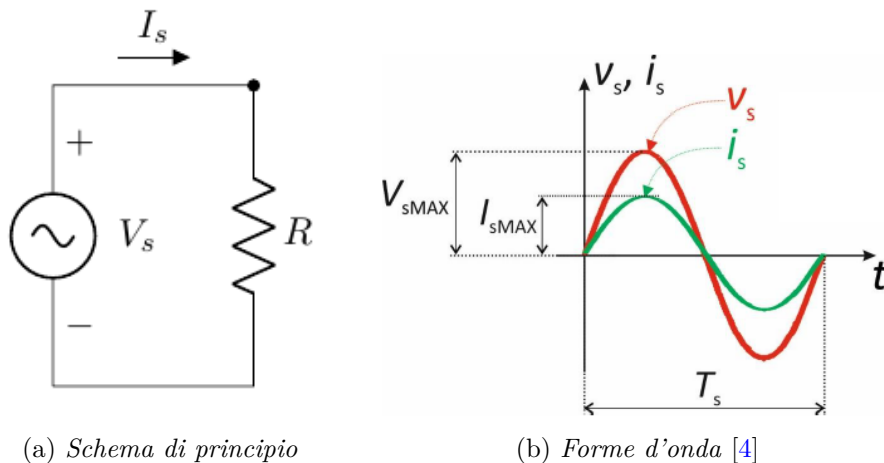


Figura 2.1: Alimentazione AC con carico resistivo

la potenza media, integrale tra 0 e  $T_S$  della potenza istantanea sul carico:

$$P_{ave} = \frac{1}{T_S} \cdot \int_0^{T_S} V_s(t) \cdot I_s(t) dt \quad (2.2)$$

e la potenza apparente, prodotto tra i valori quadratici medi(rms) di tensione e corrente in ingresso:

$$V_{S,rms} \cdot I_{S,rms} = \sqrt{\frac{1}{T_S} \cdot \int_0^{T_S} V_s^2(t) dt} \cdot \sqrt{\frac{1}{T_S} \cdot \int_0^{T_S} I_s^2(t) dt} \quad (2.3)$$

La corrente si può esprimere in funzione della tensione  $I_s(t) = \frac{V_{S,MAX}}{R} \cdot \sin(\omega t + \phi)$  e  $V_s(t) = V_{S,MAX} \cdot \sin(\omega t + \phi)$ , avendo un carico puramente resistivo corrente e tensione sono in fase, il contenuto armonico è identico, abbiamo il massimo trasferimento di potenza possibile al carico,  $K_p = 1$ .

Sostituendo il resistore con un carico non puramente resistivo come in Fig.2.2 la potenza reattiva e attiva differiscono principalmente per il fattore di spostamento(DPF) e il fattore di distorsione(DF).

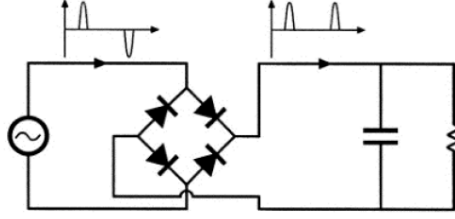


Figura 2.2: Schema di principio [5]

Sostituendo all'equazione 2.2 l'espansione di Fourier della corrente [4]:

$$I_s(t) = \sum_{n=1}^{\infty} I_{S_n} \cdot \sin(n\omega t + \phi_n) = I_1 \sin(\omega t + \phi_1) + \sum_{n=2}^{\infty} I_{S_n} \cdot \sin(n\omega t + \phi_n) \quad (2.4)$$

Si ottiene:

$$\begin{aligned} P_{ave} &= \frac{1}{T_S} \cdot \int_0^{T_S} V_s \cdot \sin(\omega t) \cdot \left( I_{s1} \sin(\omega t + \phi_1) + \sum_{n=2}^{\infty} I_{S_n} \cdot \sin(n\omega t + \phi_n) \right) dt \\ &= \frac{1}{T_S} \cdot \int_0^{T_S} V_s \cdot \sin(\omega t) \cdot (I_{s1} \sin(\omega t + \phi_1)) dt \\ &= V_{S,rms} \cdot I_{S1,rms} \cdot \cos \phi_1 \end{aligned} \quad (2.5)$$

Dalla 2.1 si ricava:

$$K_p = \frac{V_{S,rms} \cdot I_{S1,rms} \cdot \cos \phi_1}{V_{S,rms} \cdot I_{S,rms}} = \frac{I_{S1,rms} \cdot \cos \phi_1}{I_{S,rms}} \quad (2.6)$$



Dove  $DF = \frac{I_{S1,rms}}{I_{S,rms}}$  e  $DPF = \cos \phi_1$

Nel caso in cui il carico non sia un resistore la corrente e la tensione vengono modificate,  $K_p$  diminuisce e la potenza fornita in ingresso non viene totalmente sfruttata. Una diretta conseguenza lo si ha nell' aumento dei costi energetici (per avere la stessa potenza sul carico con  $kp=1$  devo aumentare la potenza in ingresso) nonché l'introduzione di disturbi sulla linea di alimentazione principale che potrebbero essere non trascurabili. Con lo scopo di creare un ambiente in cui diversi dispositivi possano lavorare senza ricevere e creare troppo rumore, in particolare i disturbi sull'alimentazione, la norma IEC 61000 fornisce i limiti a cui attenersi. Per dispositivi con una richiesta minore di 16 A per fase la limitazione del contenuto armonico della corrente in ingresso viene suddivisa in classi, per la classe D, dispositivi con una potenza maggiore di 75W, si ha la tabella in Fig. 2.3.

Harmonic order (n)	Maximum permissible harmonic current per watt (mA/W)	Maximum permissible harmonic current (A)
3	3.4	2.3
5	1.9	1.14
7	1.0	0.77
9	0.5	0.4
11	0.35	0.33
13	0.3	0.21
$15 \leq n \leq 39$ (odd harmonics only)	$3.85/n$	$0.15 \cdot 15/n$

Figura 2.3: Tabella norma IEC61000 dispositivi in classeD [2]

Vi sono anche limitazioni nelle distorsioni sulla tensione di alimentazione, sia per le armoniche individuali che per la distorsione armonica totale (THD), elencate nello standard IEEE/ANSI 519 Fig.2.4. La THD può essere definita tramite il power factor e viceversa, eq.(2.7), che ancora una volta diventa un indicatore molto importante sull'efficacia della trasmissione della potenza.

Bus voltage at PCC	Individual harmonics	THD
69 kV and lower	3.0%	5.0%
69.001 kV to 161 kV	1.5%	2.5%
Above 161 kV	1.0%	1.5%

Figura 2.4: Tabella IEEE/ANSI standard 519 [3]

$$THD = \frac{\sqrt{\sum_{n=1}^{\infty} I_{nrms}^2}}{I_{0rms}}, DF = \frac{1}{\sqrt{1 + THD^2}} \quad (2.7)$$

$$K_p = DPF \cdot \frac{1}{\sqrt{1 + THD^2}} \quad (2.8)$$

In conclusione per poter usufruire efficientemente della potenza in ingresso è quindi necessario mantenere un fattore di potenza il più vicino possibile all'unità, a tale scopo vengono utilizzati i PFC, Power Factor Corrector, i quali possono essere attivi o passivi. Le configurazioni attive riescono ad ottenere valori di PF sensibilmente più elevate dei passivi e sono principalmente derivate da una configurazione chiamata Boost o step-up converter.

## 2.2 Configurazione Boost

Il convertitore Boost, Fig.2.5, è composto principalmente da quattro elementi: due interruttori, transistor e diodo, e due componenti passivi, induttore e condensatore di uscita; il transistor è in configurazione low-side, il suo pilotaggio sarà perciò più semplice rispetto ad altre configurazioni, ad esempio l'high side. È chiamato convertitore step-up perché produce in uscita una tensione maggiore di quella in ingresso.

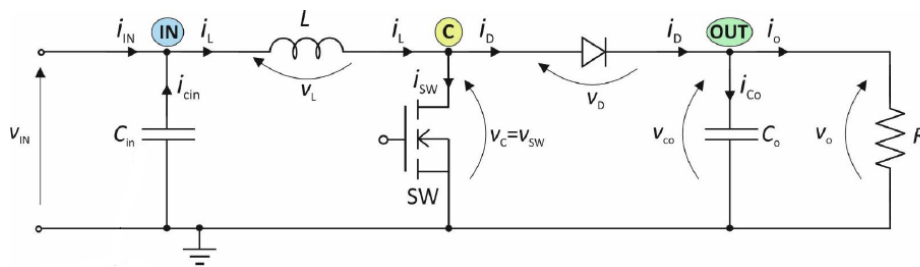


Figura 2.5: Schema elettrico Boost converter[4]

Il condensatore di ingresso potrebbe essere anche tolto nella seguente analisi di principio. Prima di iniziare l'analisi del circuito è necessario fare alcune premesse che ne semplificheranno la trattazione e che verranno commentate a posteriori:

- Il transistor e il diodo sono interruttori ideali.
- Gli elementi parassiti del condensatore e dell'induttore sono trascurabili.
- $V_O$  è costante ed è sempre maggiore di  $V_{IN}$ .
- Il circuito lavora in periodo ciclostazionario, è già stata raggiunta una condizione di equilibrio.
- È possibile trascurare il ripple di uscita.
- Le costanti di tempo degli elementi reattivi(L e C) sono molto maggiori del periodo di tempo degli interruttori

Si possono avere due modalità di funzionamento in inglese chiamate: Continuous Conduction Mode e Discontinuous Conduction Mode, abbreviate con CCM e DCM. Partendo dall'analisi della Continuous Conduction Mode possiamo distinguere due fasi all'interno di un ciclo di lavoro del circuito;

Nella prima fase per un tempo  $T_{ON} < T_S$  (tempo totale del ciclo), il diodo si comporta come un interruttore aperto e il transistor come uno chiuso. L'induttore si carica con ai suoi capi la tensione d'ingresso mentre il condensatore si scarica sul carico mantenendo costante la tensione di uscita  $V_O$ , Fig. 2.6.

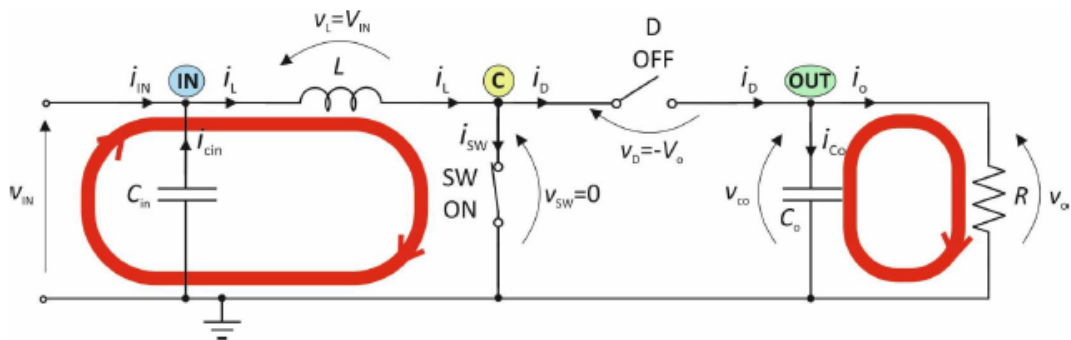


Figura 2.6: Prima fase boost converter in CCM[4]

Nella seconda fase il diodo e il transistor invertono il loro comportamento. Per un certo tempo,  $T_{OFF} = T_S - T_{ON}$ , l'induttore si scarica mentre il condensatore si carica mantenendo sull'uscita  $V_O$  sempre costante, Fig.2.7.

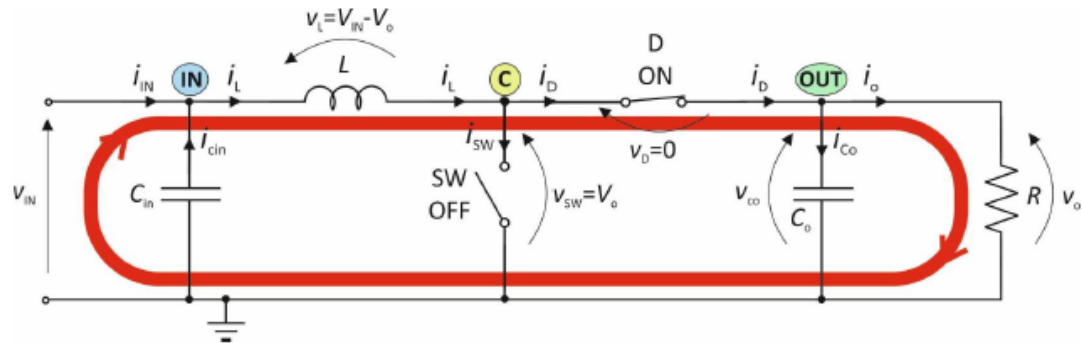


Figura 2.7: Seconda fase boost converter in CCM[4]

Utilizzando il comportamento della tensione  $V_L$  e della corrente  $I_L$  dell'induttore in entrambe le due fasi, Fig.2.8, è possibile ricavare la relazione tra l'ingresso e l'uscita spesso indicata come  $M_{CCM}(\frac{V_O}{V_{IN}})$ . Fatte le supposizioni iniziali di idealità dei componenti è possibile sfruttare la conservazione dell'energia per l'induttore (in inglese chiamato volt-second balanced condition), eq.(2.9), in questo modo il calcolo

si semplifica ed otteniamo l'eq.(2.10).

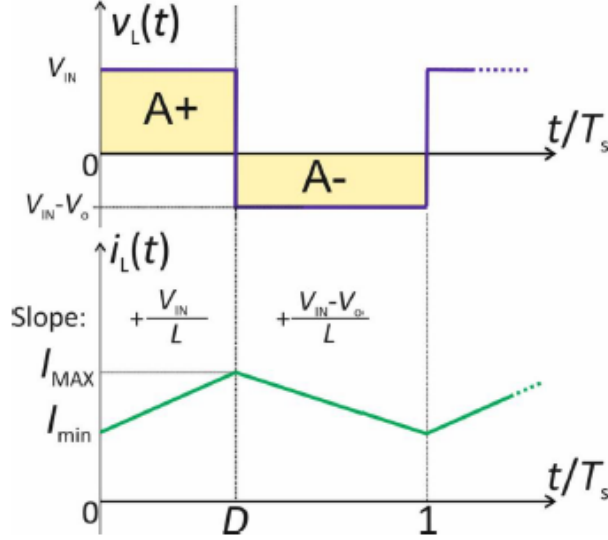


Figura 2.8: Andamento tensione e corrente ai capi dell'induttore durante  $T_S$ [4]

$$A^+ = A^- \Rightarrow D \cdot V_{IN} = (1 - D) \cdot (V_O - V_{IN}) \Rightarrow V_o = \frac{V_{IN}}{1 - D} \quad (2.9)$$

$$M_{CCM} = \frac{V_O}{V_{IN}} = \frac{1}{1 - D} \quad (2.10)$$

Dove  $D$  indica il duty cycle, calcolato come il rapporto tra il tempo in cui SW è chiuso e il tempo totale del ciclo,  $D = \frac{T_{ON}}{T_S}$ .

Ritornando alle supposizioni fatte ad inizio paragrafo è doveroso sottolineare che i componenti del circuito hanno degli elementi parassiti che causano cadute di tensione, dissipazione di potenza e cambiamenti delle risposte nel tempo.

Il diodo ha una tensione non nulla ai suoi capi, di conseguenza la corrente dell'induttore durante la fase di scarica avrà una pendenza diversa, in questo caso minore; la potenza dissipata è direttamente proporzionale alla tensione, da essa dipende quindi anche l'efficienza finale del circuito.

Come il diodo, l'interruttore SW ha una tensione ai suoi capi, in questo caso data dalla resistenza  $R_{ON}$ , che diminuisce quella dell'induttore nella fase di carica e produce delle perdite che devono essere incluse nel calcolo della potenza totale dissipata dal transistor.

Il condensatore  $C_o$ , se elettrolitico, avrà una carica limitata e una resistenza ed induttanza parassita, infine l'induttanza  $L$  presenterà una resistenza parassita. Tutti questi termini riducono l'efficienza del circuito, alcuni generano un ripple su  $v_O$  non nullo, altri cambiano la pendenza della corrente dell'induttore, per costruire dei modelli più accurati è necessario tenere conto delle non idealità; aggiungendo

al modello ideale un termine correttivo basato semplicemente sulla resistenza dell'induttanza si può ottenere un comportamento diverso e più corretto. Il termine d'errore viene ricavato derivando un circuito equivalente dal boost ideale, ovvero un trasformatore. Al modello ideale viene aggiunta la resistenza parassita dell'induttore, che viene posta sulla maglia d'ingresso del trasformatore; infine si calcola  $V_o/V_{in}$  con un ipotetico carico resistivo, eq.(2.11)[4].

$$M_{CCM} = \frac{1}{1-D} \cdot \frac{1}{1 + \frac{R_{ind}}{R \cdot (1-D)^2}} \quad (2.11)$$

Mettendo a confronto i due modelli si nota che, nel caso ideale, il rapporto tra tensione d'ingresso e di uscita tende all'infinito all'aumentare di  $D$ , evento improbabile, mentre nel caso reale il termine di errore porta il rapporto ad un valore nullo, comportamento più plausibile. Ragionando sul funzionamento del boost è evidente che ponendo  $D = 1$  il transistor viene sempre tenuto acceso, in questo modo il condensatore non viene mai caricato, di conseguenza si scarica fino a quando  $V_o$  non diventa nulla, Fig.2.9.

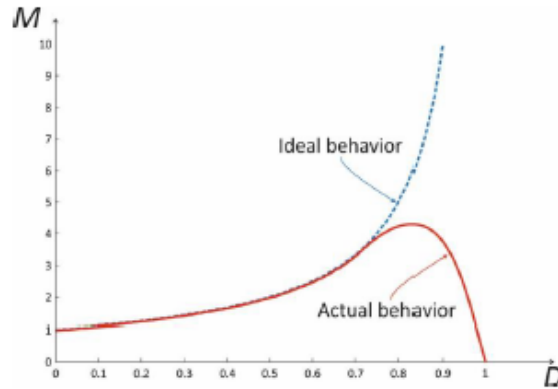


Figura 2.9: Schema elettrico Boost converter[4]

È possibile passare dalla CCM alla DCM portando la corrente dell'induttore ad un valore nullo per un tempo  $T$  maggiore di 0, tra le due modalità vi è una zona chiamata Critical Conduction Mode, dove la corrente dell'induttore raggiunge lo zero per un istante prima di ritornare positiva, Fig.2.10.

In DCM le equazioni di funzionamento del Boost cambiano, ad esempio il rapporto tra le tensioni d'ingresso e uscita dipende dal carico presente in uscita, eq.(2.12).

$$M_{DCM} = \frac{1 + \sqrt{1 + \frac{2D^2 R}{L F_S}}}{2} \quad (2.12)$$

Dove:  $R$  = Resistenza del carico,  $D$  = Duty cycle,  $F_S$  = frequenza di attuazione del transistor SW,  $L$  = valore induttanza.

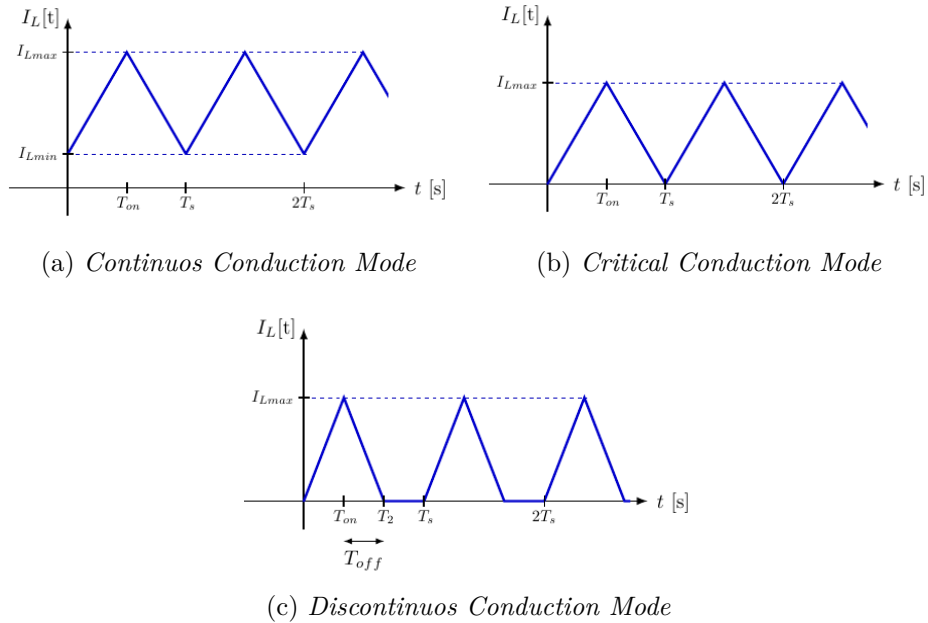


Figura 2.10: Modalità di funzionamento Boost

## 2.3 Dal Boost al PFC

Un PFC monofase, in inglese Single Phase PFC Fig.2.11, può essere realizzato tramite un Boost che lavora in CCM con all'ingresso una tensione alternata monofase raddrizzata da un ponte di Graetz.

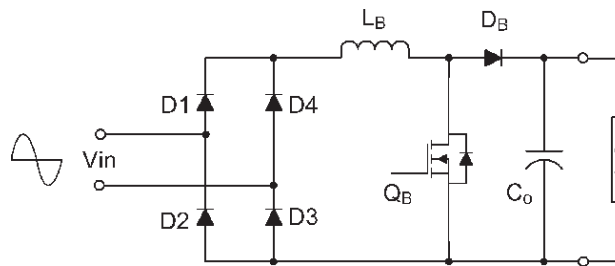


Figura 2.11: Schematico Single Phase PFC

Il suo scopo è di simulare il comportamento di una resistenza ai capi dell'alimentazione, il Boost può essere usato per replicare nella corrente la forma della tensione d'ingresso agendo sui cicli di carica e scarica dell'induttore, può inoltre mantenere la tensione di uscita ad un valore costante, variando il duty cycle infatti viene anche cambiato il guadagno del convertitore. Sebbene usarlo in CCM porta ad avere uno zero nel semipiano destro nella funzione di trasferimento che lo rende potenzialmente instabile, per i PFC adottare questa modalità di funzionamento

permette di raggiungere livelli d'efficienza molto elevati. Nella sezione successiva verrà analizzato il funzionamento della versione "classica" mostrata in Fig.2.11 e di altre nuove configurazioni circuitali.

## 2.4 PFC per potenze medio-alte

Per potenze medio-alte si intende valori superiori ad 1kW, diverse sono le tipologie di PFC sviluppate per sopportare tali potenze. La configurazione classica mostrata nel capitolo precedente può essere usata per erogare fino a circa 1kW di potenza, per arrivare a 4kW è necessario raddoppiare il numero di transistori e diodi del boost. Quando un singolo Boost non è più sufficiente, per mantenere un'efficienza elevata è necessario ridurre al minimo l'uso di componenti dissipativi, come diodi e transistori, nei punti più elettricamente stressati del circuito, in particolare i diodi sono l'elemento più critico per l'efficienza[6]. Principalmente le configurazioni più note sono:

- Average Current Mode Boost PFC (abbreviato con ACM PFC), la configurazione classica adattata per potenze superiori al kW
- Interleaved PFC
- Back to Back Bridgeless Boost PFC (BTBBL PFC)
- Bridgeless PFC (BPFC)

Ogni configurazione ha dei punti di forza e delle debolezze. Il controllo che si può applicare può rimanere lo stesso a patto che venga riadattato per tutte le configurazioni.

### 2.4.1 ACM PFC

In ingresso è presente un ponte Graetz che raddrizza la tensione d'ingresso, i diodi e i transistori usati come interruttori sono duplicati per avere un minor stress in termini di corrente e surriscaldamento. Il suo funzionamento, molto simile a quello del Boost, si può riassumere brevemente in 2 fasi che si ripetono per ogni semionda raddrizzata della tensione in ingresso, Fig.2.12:

1. s1 ed s2 vengono chiusi, l'induttore si carica e il condensatore in uscita si scarica, i diodi D1 e D2 agiscono come interruttori aperti.
2. s1 ed s2 vengono aperti, il condensatore in uscita viene caricato, l'induttore si scarica, i diodi D1 e D2 agiscono come interruttori chiusi.

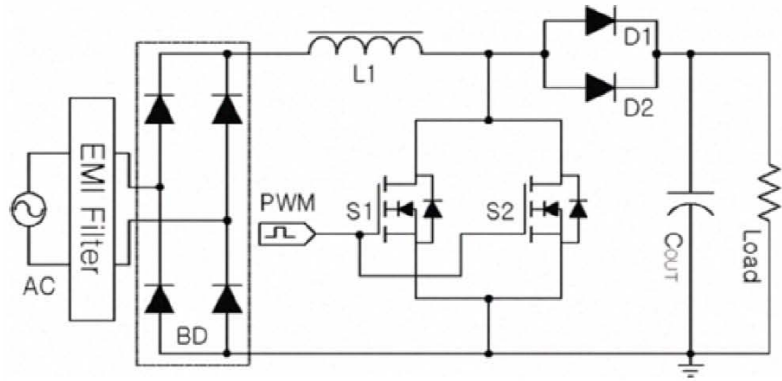


Figura 2.12: Schema Average Current Mode PFC[6]

Come previsto dalla teoria, nella simulazione di Fig.2.13, si può notare come la corrente in ingresso e quella dell'induttore, curva verde e blu, seguano la tensione d'ingresso e quella raddrizzata replicandole fedelmente, in questo modo viene simulato il carico resistivo ai capi dell'alimentazione.

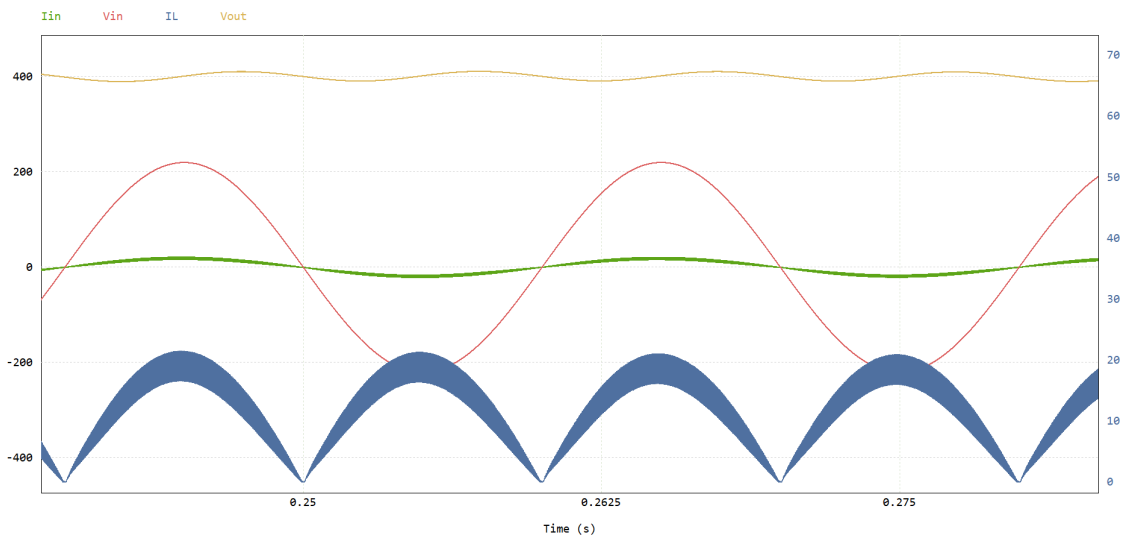


Figura 2.13: Simulazione ACM PFC con potenza di 2 kW

Lavorando in CCM la corrente dell'induttore non è mai nulla, oscilla tra un minimo e un massimo che in Fig.2.13 sono raffigurati dallo spessore della curva blu che gradualmente aumenta fino al picco della mezza senoide. La tensione sul carico presenta un ripple legato al condensatore di uscita questo fenomeno è comune a tutti i PFC e verrà trattato nella sezione seguente.

Questa configurazione tradizionale riadattata ha delle ottime prestazioni ma il bisogno di moltiplicare il numero dei componenti stressati, diodi e transistori ed il



ponete di Graetz in ingresso limitano la massima efficienza raggiungibile.

### 2.4.2 Interleaved PFC

Come nel circuito precedente è presente un ponte di Graetz in ingresso, il numero dei componenti è uguale alla configurazione classica con l'aggiunta di un ulteriore induttore. L'impiego degli interruttori è diverso infatti non sono più collegati in parallelo.

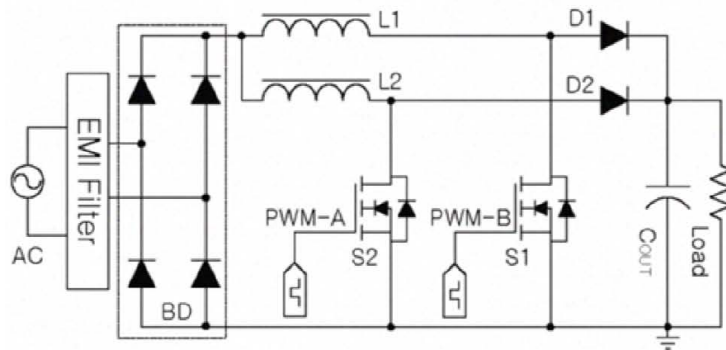


Figura 2.14: Schema Interleaved PFC[6]

La corrente che scorre nei rami dei due induttori viene ridotta a una certa frazione, proporzionale al numero di induttori, della corrente d'ingresso, ne consegue la possibilità di ridurre il valore d'induttanza e quindi le dimensioni dell'induttore. E' possibile vedere questo circuito come l'implementazione di due boost in parallelo, i quali possono dimezzare il ripple della corrente in ingresso e raddoppiarne la frequenza; per ottenere questo comportamento è necessario far lavorare i due boost su fasi opposte, vengono attuati quindi con una differenza di fase di 180 gradi.

Come per l'ACM PFC sono presenti due principali fasi di funzionamento che vengono eseguite per la semionda positiva e negativa della tensione d'ingresso Fig.2.15. L'interleaved PFC ha poi diverse configurazioni alternative atte ad aumentarne l'efficienza, come il bridgeless interleaved o il Bridgeless Interleaved Resonant PFC Fig.2.16. In termini di efficienza può raggiungere gli stessi livelli dell' ACM PFC, ha però un circuito di controllo più complesso.

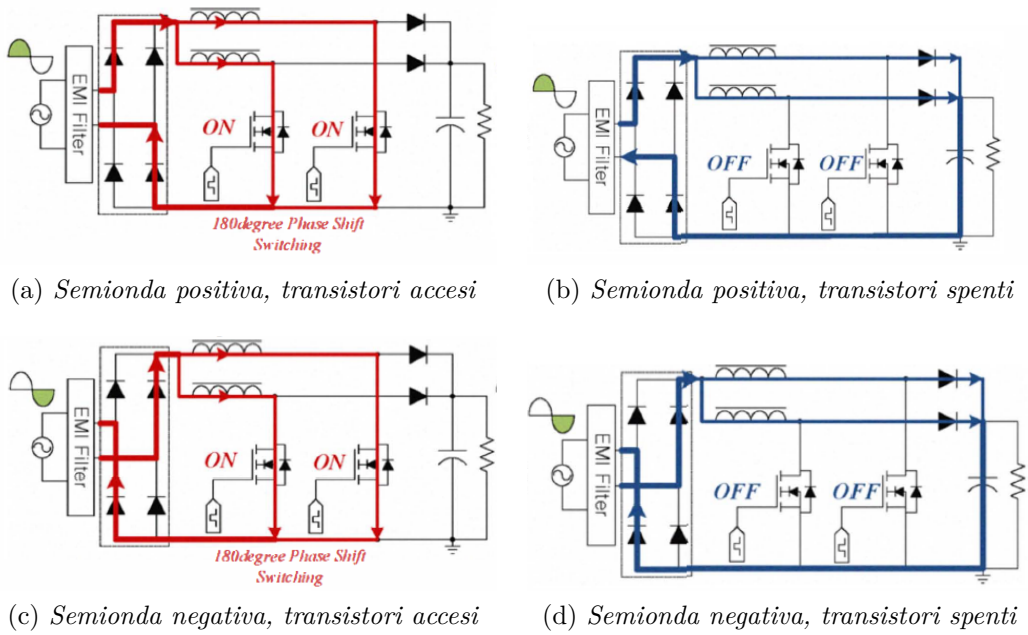
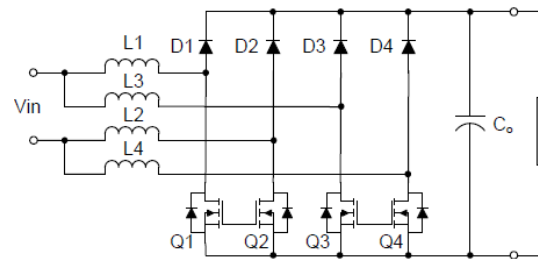
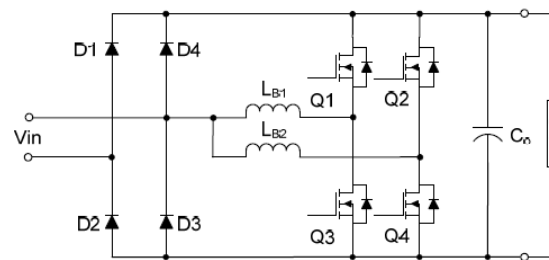


Figura 2.15: Fasi di funzionamento interleaved PFC[6]



(a) *Bridgeless interleaved PFC*



(b) *Resonant bridgeless interleaved PFC*

Figura 2.16: Configurazioni alternative interleaved PFC[7]

## 2.4.3 BTBBL PFC

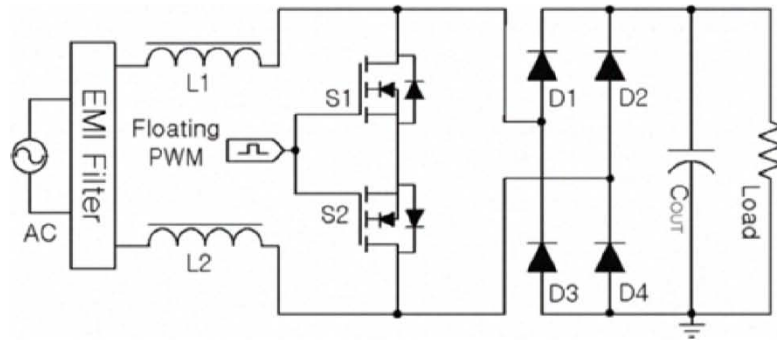


Figura 2.17: Schema Back to Back Bridgeless Boost PFC[6]

In questa configurazione vengono invertite le posizioni del ponte raddrizzatore in ingresso e degli induttori i quali vengono pilotati da un interruttore bidirezionale formato da s1 ed s2. In questo modo si riduce la potenza dissipata dai diodi, infatti la corrente in uscita è minore di quella in ingresso. Non essendoci connessioni tra il ground in ingresso, prima del ponte, e il ground in uscita dopo il ponte, viene generato molto rumore di modo comune, proprio per questo aspetto non è una configurazione adatta al progetto trattato in questa tesi. Similmente alle altre configurazioni si può notare, Fig. 2.18, che vi sono due fasi di funzionamento, carica e scarica degli induttori tramite l'azionamento degli interruttori s1 ed s2.

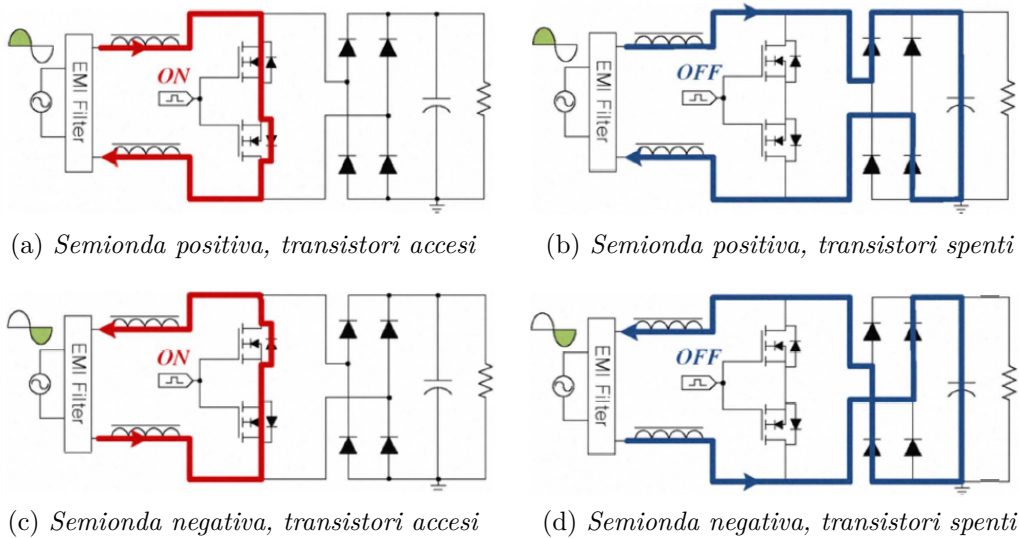


Figura 2.18: Fasi di funzionamento Back to Back Bridgeless Boost PFC[6]

## 2.5 Bridgeless PFC

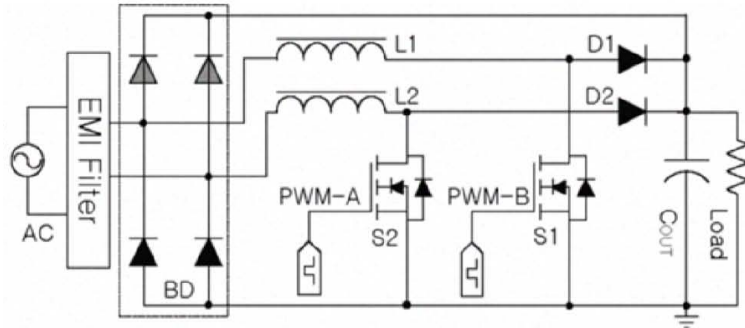
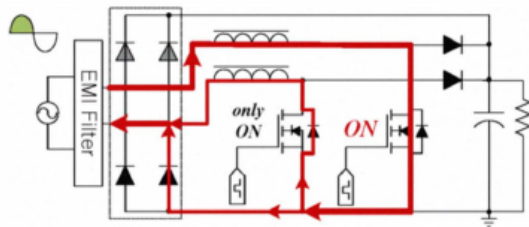
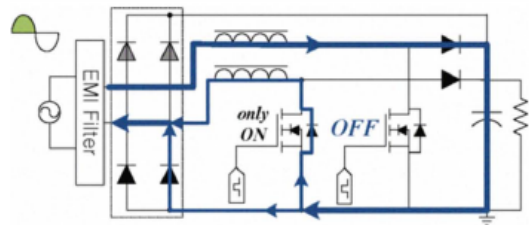


Figura 2.19: Schema Bridgeless Boost PFC[6]

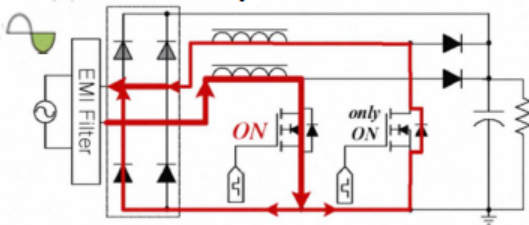
È la configurazione che verrà usata in questo progetto, Fig.2.19. Verrà implementata una variante dell'originale Bridgeless PFC, con 4 diodi aggiuntivi, una parte dei diodi viene usata per risolvere i problemi di modo comune, i restanti due diodi vengono usati come soluzione al problema della corrente di cortocircuito, anche detta inrush current. I cicli di funzionamento sono simili alle altre configurazioni, in questo caso si utilizza un induttore per la semionda positiva e l'altro per quella negativa. Durante la semionda positiva, mentre S1 è acceso, l'induttore L1 si carica,



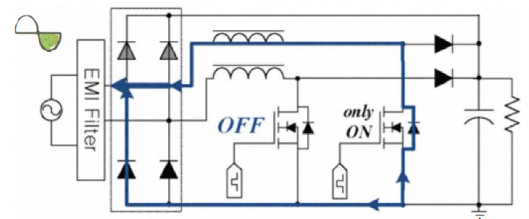
(a) Semionda positiva, transistorore S1 acceso ed S2 spento



(b) Semionda positiva, transistorore S1 spento ed S2 spento



(c) Semionda negativa, transistorore S2 acceso ed S1 spento



(d) Semionda negativa, transistorore S2 spento ed S1 spento

Figura 2.20: Fasi di funzionamento Bridgeless PFC[6]

la corrente di ritorno passa sia nel diodo d'ingresso che nel diodo di protezione di S2; durante la scarica di L1, S1 è spento ma nel diodo di protezione di S2 continua a scorrere corrente. La situazione speculare si presenta durante la semionda negativa della tensione di alimentazione, Fig.2.20.

Il problema dell'inrush current è in realtà lo stesso di una configurazione Boost normale, all'accensione del circuito, il condensatore di uscita è scarico e la tensione  $V_o$  è nulla; osservando il circuito dall'ingresso, se si tratta il diodo come un interruttore ideale e si trascura la resistenza parassita degli induttori L1 ed L2, si ricava che in uscita è presente un cortocircuito; di conseguenza la corrente iniziale, che servirebbe a caricare il condensatore, potrebbe danneggiare i componenti presenti sul suo cammino, inoltre la serie LC, nelle condizioni iniziali può esser vista come un circuito risonante che se eccitato potrebbe innescare delle fastidiose oscillazioni con tempi di smorzamento troppo lunghi. Esistono diverse soluzioni per questo problema, ad esempio si utilizzano i restanti diodi del finto ponte d'ingresso come bypass del filtro LC, in questo modo si proteggono anche i componenti interessati dalla corrente di cortocircuito; i diodi rimarranno accesi fino a quando la tensione in uscita non sarà superiore alla tensione in ingresso.

Inizialmente la sua versione più classica, senza i diodi in ingresso, aveva un problema fondamentale, l'aumento dell'EMI. Il BPFC ha la tensione di uscita con il ground flottante rispetto all'ingresso AC, in questo modo tutte le capacità parassite presenti nel circuito contribuiscono ad aumentare il rumore di modo comune; per ottenere gli stessi livelli EMI di una configurazione classica è necessario quindi un filtro d'ingresso più grande e più costoso[8]; per risolvere tale problema sono state sviluppate diverse varianti:

- BPFC con diodi di clamp e induttori accoppiati, Fig.2.21.

Per aumentare la densità di potenza e ridurre i costi dei componenti magnetici vengono accoppiati gli induttori, tuttavia la parte di design è molto complicata, le prestazioni in termini di EMI sono paragonabili alla tipologia bridgeless appena analizzata.

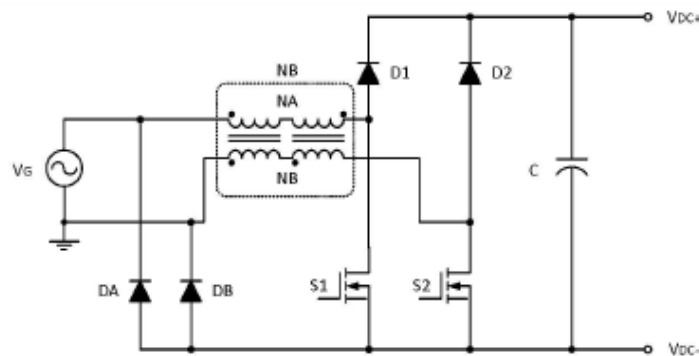


Figura 2.21: BPFC con diodi di clamp e induttori accoppiati[10]

- Totem-pole BPFC, Fig.2.22.

La posizione dei transistori è scambiata con quella dei diodi, in questi modo i componenti lavorano a coppia diodo-mos per ciclo. Le condizioni di stress elevato a cui sono sottoposti i diodi di protezione incrementano il consumo di potenza dei mos, diminuendo l'efficienza e mettendo a rischio l'affidabilità del componente.

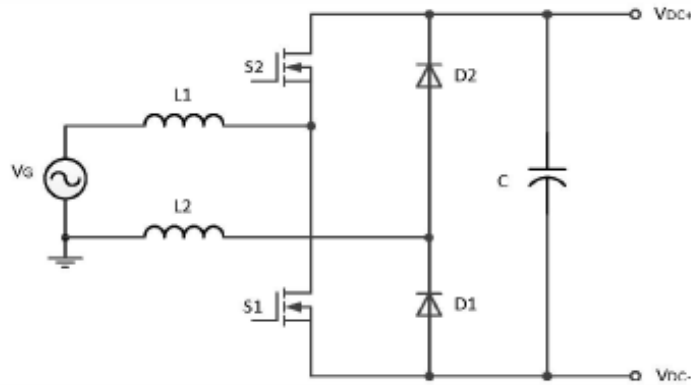


Figura 2.22: Totem-pole BPFC[10]

- BPFC con capacità di clamp, Fig.2.23.

I diodi per l'eliminazione del rumore di modo comune vengono sostituiti da dei condensatori, il costo rispetto all'utilizzo dei diodi è minore ma la corrente di ripple dell'induttore viene duplicata.

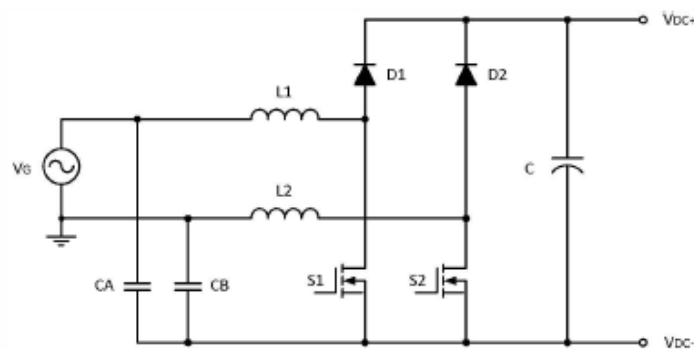


Figura 2.23: BPFC con capacità di clamp[10]

- BPFC con ground virtuale attivo, Fig.2.24.

Una delle più recenti configurazioni proposte, al posto dei diodi si inseriscono due transistori bidirezionali e si aggiunge un condensatore, si crea un filtro LCL per filtrare le componenti di rumore create dalla frequenza di switching

nel loop principale di corrente. Il rumore di modo comune viene minimizzato.

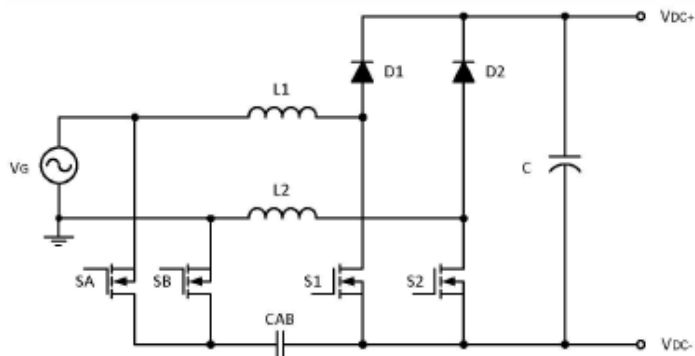


Figura 2.24: BPFC con ground virtuale attivo[10]

## 2.6 Ripple sulla tensione d'uscita

In un PFC si hanno due tipi di ripple, a bassa e alta frequenza. Il ripple di bassa frequenza dipende dalla potenza erogata all'uscita e perciò dalla corrente di uscita  $I_{out}$ , la scelta della capacità di uscita  $C_o$  è legata alla potenza che si vorrà pilotare, eq.(2.13), prendendo come esempio l'ACM PFC tale ripple avrà due volte la frequenza dell'alimentazione.

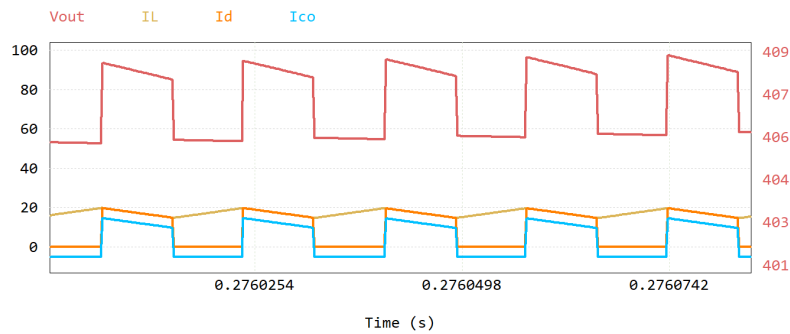
$$\Delta V_{oLf} = \frac{I_{out}}{2 \cdot \pi \cdot f_{alim} \cdot C_{out}} \quad (2.13)$$

Il ripple di alta frequenza è dato dalle cariche e scariche del condensatore alla frequenza di azionamento del transistore. Per un condensatore elettrolitico, adatto ad elevate potenze, il ripple dipenderà dalla resistenza ESR del condensatore e dal valore massimo di  $I_d$ , uguale al limite superiore della corrente che scorre nell'induttore, eq.(2.14).

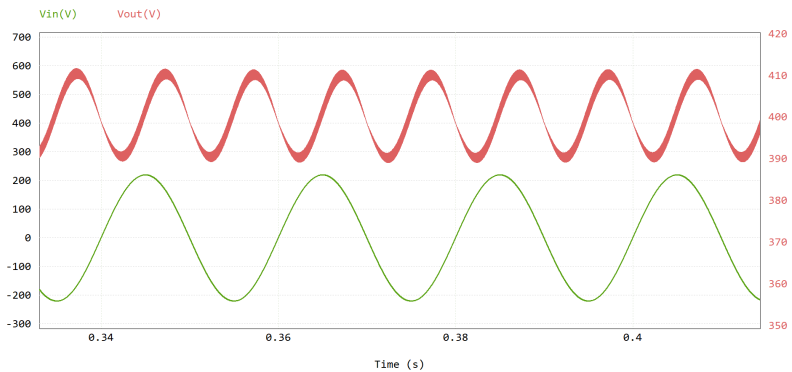
$$\Delta V_{oHF} = I_{Lmax} \cdot ESR \quad (2.14)$$

Il ripple di bassa frequenza avrà la forma della tensione di alimentazione mentre il ripple di alta frequenza seguirà la forma della corrente del diodo, Fig.2.25.

Il ripple non è un effetto circoscritto alla configurazione dell'ACM PFC, è presente in tutte le configurazioni PFC in ampiezza e frequenza differente, alcune saranno progettate per mitigarne gli effetti, mentre altre no.



(a) *Ripple di alta frequenza*



(b) *Ripple di bassa frequenza*

Figura 2.25: Ripple di alta e bassa frequenza in un ACM PFC, l'ampiezza dei ripple è stata amplificata per una maggiore chiarezza

## 2.7 Switching averaging method

Prima di passare alla progettazione del circuito di potenza è doveroso fare un accenno alla tecnica che verrà usata per ricavare la funzione di trasferimento del bridgeless PFC, il suo modello verrà utilizzato nel capitolo 5 dedicato al progetto del controllo.

La tecnica dello switching averaging method ha l'obiettivo di ottenere delle funzioni di trasferimento con certe caratteristiche, ad esempio partendo da  $d(t)$ , segnale con cui si può controllare lo stato degli interruttori, e  $V_o(t)$ , tensione di uscita, si vuole ricostruire la risposta nel tempo del convertitore. Siccome il circuito da modellizzare è un sistema non-lineare e tempo variante, per estrarre un modello lineare a tempo variante è necessario seguire diversi passaggi: applicare una media alle forme d'onda, in questo modo si rimuovono le armoniche superiori alla frequenza di switching ottenendo un sistema tempo invariante, linearizzare, ad esempio tramite la serie di Taylor, per ottenere un sistema lineare, Fig.2.26.

Essendo il BPFC una configurazione derivata dal boost, in particolare si avranno



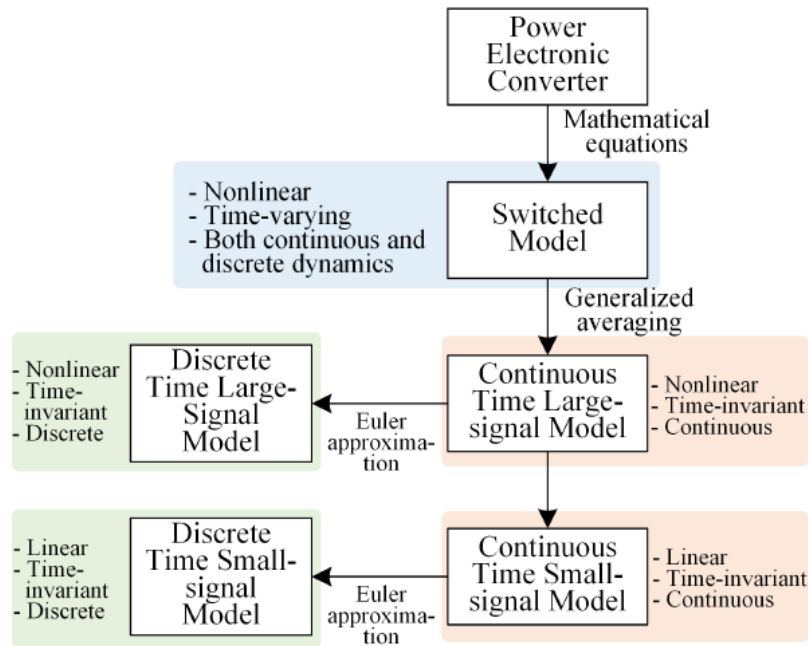


Figura 2.26: Procedimento per ottenere un modello lineare e tempo invariante[9]

due boost che lavorano su fasi opposte, i poli e gli zeri di cui sarà composta la sua f.d.t calcolata tra  $d(t)$  e  $V_o(t)$  saranno i medesimi della configurazione boost base. Per arrivare ad estrarre il modello del convertitore sopracitato i passaggi sono i seguenti: lo switching network, diodi e transistori, vengono rimpiazzati da un circuito equivalente che contiene la componente continua e il modello piccolo segnale degli interruttori; il circuito equivalente viene posto all'interno della configurazione da modellizzare; dopo aver estrapolato le equazioni di funzionamento i segnali possono essere mediati, infine gli elementi mediati possono essere perturbati e linearizzati per estrarre il modello di piccolo segnale. Per la configurazione boost lo switching network è rappresentato dal diodo e dal transistore collegati al nodo C, Fig.2.27.

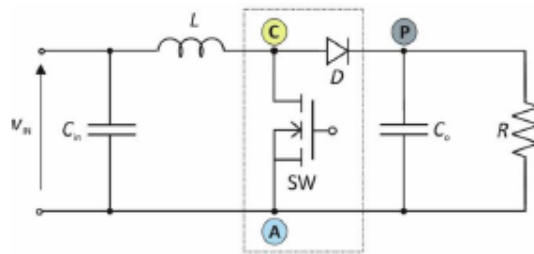
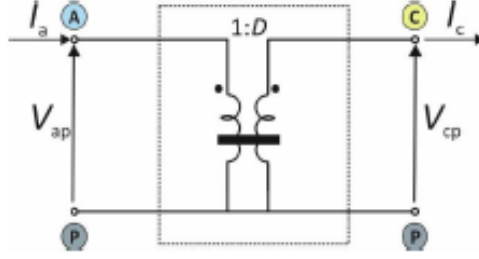


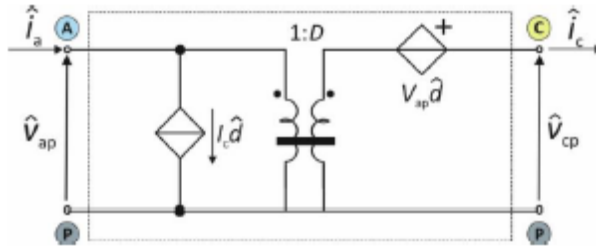
Figura 2.27: Nodi switching network del boost[4]

Esso può essere rimpiazzato da due configurazioni per estrarre la funzione di

trasferimento in DC e in AC, Fig.2.28



(a) Circuito equivalente per il modello DC



(b) Circuito equivalente per il modello AC

Figura 2.28: Circuiti equivalenti switching network[4]

Per il modello DC partendo dal sistema descritto in eq.(2.15) si estrae l'equazione che descrive il comportamento del boost in DC, eq.(2.16).

$$\begin{cases} I_a = I_c D \\ V_{cp} = V_{ap} D \end{cases} \quad (2.15)$$

$$G_{DC} = \frac{V_{IN}}{(1-D)} \quad (2.16)$$

Per il modello AC invece si parte dal sistema descritto in eq.(2.17) , si estrae il comportamento in AC del boost ponendo la variazione di  $V_{IN}(t)$  nulla e ricavando il rapporto tra  $V_o(t)$  ed  $i(t)$ , eq.(2.18).

$$\begin{cases} \hat{i}_a = I_c \hat{d} + D \hat{i}_c \\ \hat{v}_{cp} = V_{ap} \hat{d} + D \hat{v}_{ap} \end{cases} \quad (2.17)$$

$$G_{vd}(s) = \left. \frac{\hat{v}_o(s)}{\hat{d}(s)} \right|_{\hat{v}_{IN}(s)=0} = \frac{\bar{V}_{IN}}{(1-D)^2} \frac{1 - \frac{sL}{R(1-D)^2}}{\frac{s^2 LC_o}{(1-D)^2} + \frac{sL}{R(1-D)^2} + 1} = G_{vdo} \frac{1 - \frac{s}{\omega_z}}{\left(\frac{s}{\omega_o}\right)^2 + \frac{s}{Q\omega_o} + 1} \quad (2.18)$$

Dove:

- $G_{vdo} = \frac{\bar{V}_{IN}}{(1-D)^2}$  è il guadagno DC di piccolo segnale.
- $f_z = \frac{(1-D)^2 R}{2\pi L}$  è la frequenza dello zero nel semipiano di destra, dipende dal carico e dal duty cycle.
- $f_o = \frac{1-D}{2\pi\sqrt{LC_o}}$  è la frequenza dei poli, dipende dal carico e dal duty cycle.
- $Q = (1-D)R\sqrt{\frac{C_o}{L}}$  è il fattore di qualità.

Procedendo con le stesse modalità è possibile ricavare il comportamento della corrente  $i_s(t)$  che scorre nell'induttore in relazione al segnale di controllo  $d(t)$ , utile per dimensionare il controllo in corrente del bridgeless PFC, eq.(2.19).

$$\left. \frac{\hat{i}_s(s)}{\hat{d}(s)} \right|_{\hat{v}_{IN}(s)=0} = \frac{\bar{V}_{IN}}{R(1-D)^3} \frac{(2 + RC_o s)}{\frac{LC_o}{(1-D)^2} s^2 + \frac{L}{R(1-D)^2} s + 1} \quad (2.19)$$

Altre equazioni possono essere ricavate seguendo lo stesso procedimento: sensibilità alle variazioni del segnale d'ingresso, eq.(2.20) [28], resistenza d'ingresso del convertitore eq.(2.21) [28].

$$\left. \frac{\hat{v}_o(s)}{\hat{v}_s(s)} \right|_{\hat{d}(s)=0} = \frac{1}{(1-D)} \frac{1}{\frac{LC}{(1-D)^2} s^2 + \frac{L}{R_L(1-D)^2} s + 1} \quad (2.20)$$

$$\left. \frac{\hat{i}_s(s)}{\hat{v}_s(s)} \right|_{\partial(s)=0} = \frac{1}{R_L(1-D)^2} \frac{1 + R_L C_s}{\frac{LC}{(1-D)^2} s^2 + \frac{L}{R_L(1-D)^2} s + 1} \quad (2.21)$$

## 2.8 Conclusioni

Vi sono diverse norme che regolano la distorsione armonica che è possibile produrre a seconda del livello di potenza del dispositivo, nel caso di un PFC di 4kW il valore di THD complessivo non può superare il 5%. Dal convertitore DC-DC Boost si possono derivare diverse tipologie di PFC. Tutte presentano aspetti negative comuni come il ripple sulla tensione di uscita, la presenza dello zero nel semipiano di destra e livelli di efficienza raggiungibili sopra l'90%. Altri aspetti variano a seconda della tipologia scelta, mettendo a confronto le varie configurazioni il Bridgeless PFC è la scelta più consona alle specifiche del progetto che si vuole realizzare in questa tesi, nel capitolo successivo si illustreranno le motivazioni di tale scelta. Infine per poter progettare e controllare il PFC scelto si deve conoscere la sua funzione di trasferimento rispetto ai segnali più importanti del circuito, ad esempio la tensione di uscita e il duty cycle, tali equazioni possono essere ricavate tramite la tecnica dello switching averaging method.



## Capitolo 3

# Progetto del PFC di tipo Bridgeless

Il PFC che si vuole progettare in questo capitolo è frutto di una scelta tra diverse configurazioni. I punti di forza del BPFC sono principalmente due, l'eliminazione del ponte diodi in ingresso e l'uso di due induttori, uno per fase. In questo modo lo stress dei componenti viene dimezzato e la dimensione degli induttori ridotta. Dovendo comparare il BPFC con gli altri PFC si può affermare che: rispetto all'interleaved versione con ponte raddrizzatore i vantaggi risultano evidenti, si eliminano i componenti più dissipativi del PFC e si aumenta l'efficienza; per l'interleaved versione Bridgeless la differenza sostanziale è data dai transistori che commutano la metà del tempo, il BPFC ha delle perdite di commutazione dimezzate, il vantaggio della dimensione ridotta degli induttori perde di significato nel momento in cui i componenti vengono duplicati rispetto a quelli BPFC; rispetto al BTBBL il rumore di modo comune prodotto sull'ingresso è molto minore e il maggiore stress dei due diodi d'ingresso è maggiormente ricompensato dall'utilizzo più efficiente dei transistori. In conclusione il Bridgeless PFC ha le caratteristiche migliori per sostituire l'ACM PFC.

La progettazione del PFC è articolata in due fasi principali. Nella prima fase, descritta in questo capitolo, si è provveduto alla progettazione del circuito PFC mentre nella seconda, descritta nel capitolo 5, sarà descritto il progetto del circuito di controllo.

Per il progetto del PFC sono stati dimensionati i componenti principali del bridgeless PFC ovvero,  $L_1, L_2, D_1, D_2, D_3, D_4, SW_1, SW_2, C_O$ , Fig.3.1. Si è proseguito poi con l'aggiunta di un filtro EMI in ingresso, in questo modo il rumore generato dalle commutazioni degli interruttori alle alte frequenze viene attenuato migliorando le prestazioni totali di compatibilità elettromagnetica. Successivamente sono stati dimensionati i circuiti secondari azionati dal controllo, è stata fatta un'analisi per la gestione termica e sono state valutate le potenze dissipate. Infine sono

stati dimensionati i circuiti di condizionamento per la lettura delle grandezze da monitorare, questi ultimi però verranno descritti nel capitolo 5.

### 3.1 Convertitore di potenza

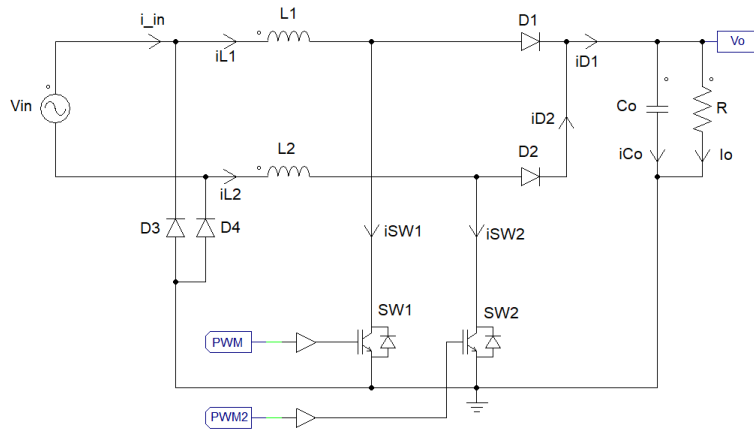


Figura 3.1: schema bridgeless PFC

In questa sezione, partendo dalle specifiche di progetto, si dimensioneranno gli induttori  $L_1$  ed  $L_2$  e il condensatore d'uscita,  $C_O$ . Per poter scegliere i componenti verranno poi stimati gli stress elettrici a cui sono sottoposti. Infine si confronteranno i risultati delle simulazioni con i calcoli effettuati.

Le specifiche di progetto sono le seguenti:

$$\begin{aligned} V_{IN} = 220V \pm 10\% \quad V_O = 400V \quad P_O = 4000W \\ f_{SW} = 60kHz \quad \Delta i_{LMAX} \leq 2A \quad \eta \geq 95\% \end{aligned} \quad (3.1)$$

L'obiettivo è quello di mantenere una potenza di 4kW in uscita solo se in ingresso vi sono i requisiti minimi, si possono accettare fino a 200 V di tensione RMS minima in ingresso, se questa condizione viene violata la potenza massima in uscita non sarà garantita o comunque verrà diminuita. Prima di dimensionare i componenti è necessario effettuare alcuni calcoli preliminari, eq.(3.2): la corrente massima assorbita dal carico  $I_O$ , la corrente RMS massima assorbita in ingresso  $I_{INRMS}$ , la percentuale di ripple accettabile sulla corrente degli induttori  $\Delta I_L\%$ , la resistenza minima d'uscita  $R_{MIN}$  :

$$\begin{aligned}
 I_O = \frac{P_O}{V_O} = \frac{4000W}{400V} = 10A \quad I_{INRMS} = \frac{P_O}{V_{INMIN} \cdot \eta} = \frac{4000W}{200V \cdot 0.95} = 21A \\
 \Delta I_L \% = \frac{\Delta I_{LMAX}}{I_{INRMS}} \cdot 100 = 10\% \quad R_{MIN} = \frac{V_O}{I_O} = \frac{400V}{10A} = 40\Omega
 \end{aligned}
 \tag{3.2}$$

I dati per ottenere il valore delle induttanze e della capacità d'uscita sono ora disponibili, di seguito si procede con il calcolo. eq.(3.3) [12] ed eq.(3.4[12]):

$$\begin{aligned}
 L_1 = L_2 = L = \frac{V_{INMIN}^2}{\Delta I_L \% \cdot P_O \cdot 2} \cdot \left(1 - \frac{V_{INMIN}}{V_O}\right) \cdot \frac{1}{f_{SW}} \\
 = \frac{200^2 V^2}{0.1 \cdot 4000W \cdot 2} \cdot \left(1 - \frac{200V}{400V}\right) \cdot \frac{1}{60kHz} = 417\mu H
 \end{aligned}
 \tag{3.3}$$

Il valore d'induttanza da scegliere nella serie E12 è quello immediatamente superiore, così da mantenere le prestazioni con un certo margine affidabilità, il valore scelto sarà quindi  $L = 470\mu H$ .

La scelta del condensatore è legata alle considerazioni fatte nella sezione 2.5 del capitolo precedente, dall'eq.(2.13) è possibile ricavare la capacità di  $C_O$ , eq.(3.4). Il ripple,  $\Delta V_O$ , che si può accettare in uscita è di 20V. Il valore normalizzato scelto per la capacità è quello superiore di 1.2mF, oltre ad assicurare un ripple più basso di quello richiesto la capacità superiore permetterà di mantenere la tensione d'uscita costante per maggior tempo nel caso l'alimentazione abbia dei cali improvvisi.

$$C_O = \frac{I_O}{4\pi f_{alim} \Delta V_O} = \frac{10A}{4\pi 50Hz 20V} = 796\mu F
 \tag{3.4}$$

Per scegliere correttamente i componenti è necessario stimare gli stress elettrici a cui verranno sottoposti, oltre che all'induttore e al condensatore si procederà con il calcolo delle correnti e delle tensioni a cui sono sottoposti i diodi D1, D2, D3, D4 e i transistori SW1, SW2. Per quanto riguarda le tensioni è sufficiente conoscere i valori massimi ai capi del componente mentre per le correnti sono richiesti il picco massimo (nelle formule indicato con la traduzione inglese PEAK), il valore medio (abbreviazione inglese AVE), il valore quadratico medio(acronimo inglese RMS), gli ultimi due vengono usati anche per stimare la potenza dissipata dai componenti. I segnali delle correnti non sono regolari e contengono diverse componenti armoniche, ad esempio in un boost PFC la corrente dell'induttore varia la sua ampiezza seguendo la forma della tensione d'ingresso ma oscillando tra due valori alla frequenza di switching come mostrato in Fig.3.2.

Uno dei modi per trovare i valori medi ed rms delle correnti è quello di eseguire due integrali consecutivamente, il primo nel dominio del tempo di switching e il

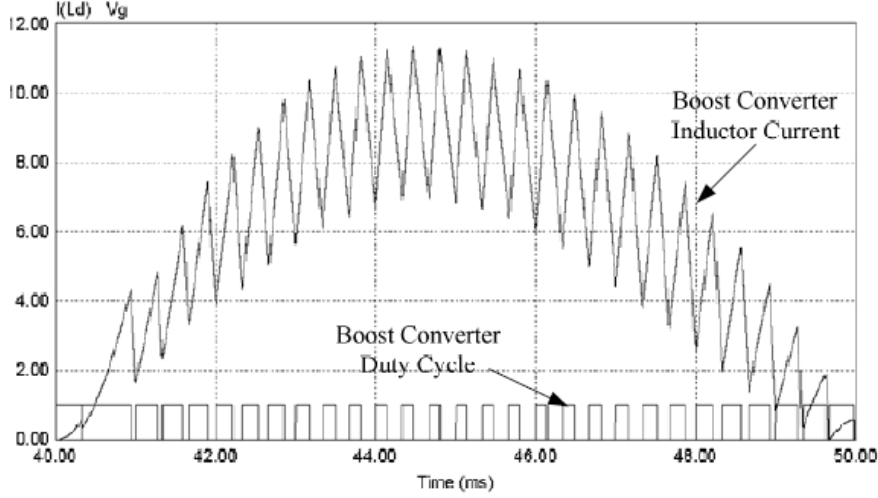


Figura 3.2: Esempio corrente induttore boost PFC[13]

secondo nel dominio della frequenza di linea, ad esempio per stimare il valore rms della corrente degli interruttori si può scrivere l'eq.(3.5)[5].

$$I_{SW_{RMS}} = \sqrt{\frac{T_S}{T_{AC}} \cdot \sum_{n=1}^{T_{AC}/T_S} \left( \frac{1}{T_S} \int_{(n-1)T_S}^{nT_S} i_{SW}^2(t) \cdot dt \right)} \quad (3.5)$$

Procedendo con il calcolo degli integrali si ricavano le equazioni per determinare le correnti di ogni componente. Le eq.(3.6) sono state derivate da quelle per il boost PFC[5], la differenza risiede nel tempo di utilizzo dei componenti, Nel bridgeless ogni ramo funziona solo durante una fase perciò la corrente quadratica e quella media differiranno rispettivamente di un fattore  $\sqrt{2}$  e 2 dal boost che invece utilizza i componenti in entrambe le fasi raddrizzate. Per i diodi D3 e D4 le correnti efficaci e medie sono uguali alla corrente d'ingresso presente solo una fase, in prima approssimazione quindi uguali alle correnti degli induttori.

$$\begin{aligned} \text{RMS : } I_L &= \frac{I_{IN_{RMS}}}{\sqrt{2}} & I_{SW} &= \frac{I_{IN_{RMS}}}{\sqrt{2}} \cdot \sqrt{1 - \frac{8V_{IN}}{3\pi V_O}} & I_D &= \frac{I_{DC}}{\sqrt{2}} \sqrt{\frac{16V_O}{3\pi V_{IN}}} \\ \text{AVE : } I_L &= \frac{2\sqrt{2}I_{IN_{RMS}}}{2\pi} & I_{SW} &= \frac{2I_{IN_{RMS}}}{2\pi} \left( 1 - \frac{\pi V_{IN}}{8V_O} \right) & I_D &= \frac{I_{DC}}{2} \\ \text{PEAK : } I_L &= I_{IN_{RMS}} \sqrt{2} & I_{SW} &= I_{IN_{RMS}} \sqrt{2} & I_D &= \frac{2I_{DC}V_O}{V_{IN}} \end{aligned} \quad (3.6)$$

Gli stress elettrici calcolati sono elencati in tab.3.1. La corrente efficace d'ingresso è stata calcolata supponendo di avere un'efficienza del 98%,  $I_{IN_{RMS}} = \frac{P_o}{V_{IN} \cdot \eta} = \frac{4000}{220 \cdot 0.98} = 18.55A$ , mentre  $I_{DC} = \frac{I_{IN_{RMS}} \cdot V_{IN}}{\sqrt{2} \cdot V_O} = 7.2A$ .



–	$I_{RMS}[A]$	$I_{AVE}[A]$	$I_{PEAK}[A]$	$V_{MAX}[V]$
$L_1, L_2$	13.1	8.3	26.2	$V_{INMAX}$
$C_O$	10	0	16.2	$V_{O_{MAX}}$
$SW_1, SW_2$	9.5	4.6	26.2	$V_{O_{MAX}}$
$D_1, D_2$	9	3.6	26.2	$V_{O_{MAX}}$
$D_3, D_4$	13.1	8.3	26.2	$V_{INMAX}$

I valori calcolati non sono identici a quelli delle simulazioni ma sono comunque stime affidabili da cui è possibile dimensionare i componenti in modo corretto. In Fig.3.4 vengono riportati i risultati delle simulazioni effettuate tramite PSIM[14] sul circuito mostrato in Fig.3.3. L'analisi è stata eseguita nel dominio del tempo nell'intervallo [0-0.2]s. In Fig.3.4 si riporta il comportamento a regime del circuito tralasciando il transitorio iniziale; a fianco delle forme d'onda si riportano le misure del valore medio e efficace delle curve. Le simulazioni dei diodi D3 e D4 non sono presenti poichè sono molto simili a quelle degli induttori. Le unità di misura dei valori all'interno delle tabelle sono ampere per le correnti e volt per le tensioni.

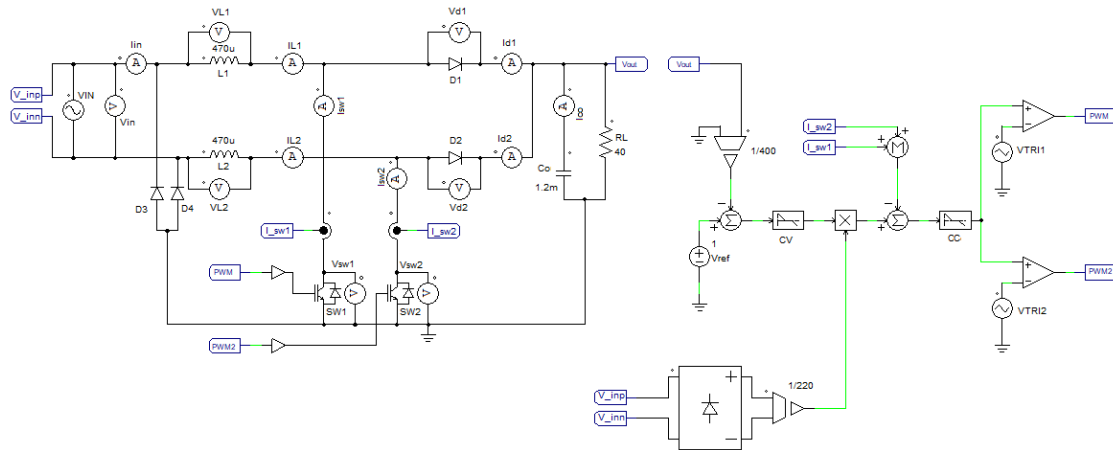
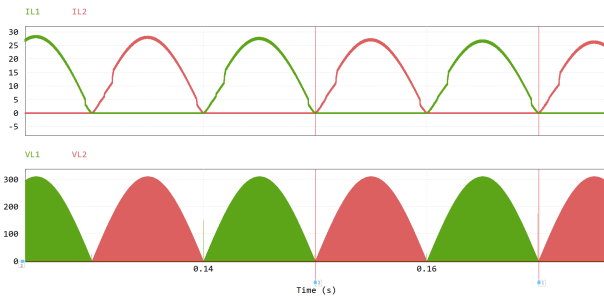


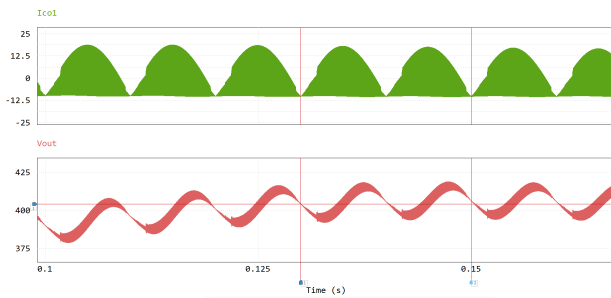
Figura 3.3: Schematico per la simulazione del Bridgeless PFC



(a) Curve correnti e tensioni di L1 e L2

	Average	RMS
IL1	8.17588e+00	1.31255e+01
IL2	8.31473e+00	1.33483e+01
VL1	1.14769e+01	1.45018e+02
VL2	1.13629e+01	1.45193e+02

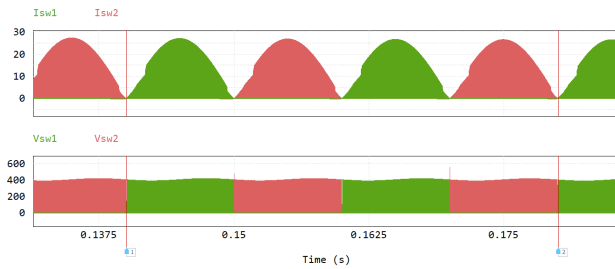
(b) Tabella stress induttori



(c) Curve corrente e tensione CO

	Average	RMS
Ico1	-1.84564e+00	1.09032e+01
Vout	4.05785e+02	4.05853e+02

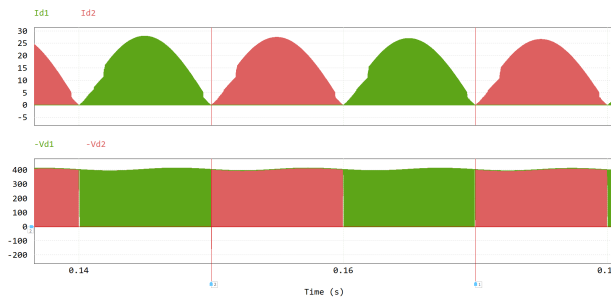
(d) Tabella stress CO



(e) Curve correnti e tensioni di SW1 e SW2

	Average	RMS
Time		
Isw1	4.18071e+00	9.27708e+00
Isw2	4.15362e+00	9.21666e+00
Vsw1	8.68886e+01	1.87422e+02
Vsw2	8.70002e+01	1.87424e+02

(f) Tabella stress SW1 ed SW2



(g) Curve correnti e tensioni di D1 e D2

	Average	RMS
Id1	3.97447e+00	9.24190e+00
Id2	4.04143e+00	9.39816e+00
-Vd1	3.18694e+02	3.59808e+02
-Vd2	3.18579e+02	3.59682e+02

(h) Tabella stress diodi D1 e D2

Figura 3.4: Grafici e tabelle forme d'onda componenti principali del bridgeless PFC

### 3.1.1 Scelta dei componenti

La scelta del componente deve anche tenere conto della disponibilità del prodotto sul mercato e del costo. I transistori, due NMOS di potenza pilotati in configurazione low side, sono stati scelti dal catalogo della Vishay. Il parametro principale su cui si è basata la scelta è la resistenza tra il drain e il source del MOS in conduzione, di seguito abbreviata con  $R_{ON}$ , eq.(3.7[4]). Tipicamente nei datasheet viene riportata l' $R_{ON}$  misurata a basse temperature, il valore finale da ricercare sarà:  $R_{ON}|_{cold} = \frac{R_{ON}}{2} = 0.075\Omega$ . Il secondo parametro da controllare è la tensione di breakdown, in questo caso è stata scelta una  $BV_{DSS}$  pari a 600V. Tra le varie possibilità è stato scelto NMOS con il compromesso  $R_{ON}$  e velocità di commutazione migliore ovvero l'SiHF068N60EF[15].

$$R_{ON} = \frac{1\%V_O}{I_{SW_{MAX}}} = \frac{400V \cdot 0.01}{26.2A} = 0.15\Omega \quad (3.7)$$

Per i diodi è stato scelto il VS-E5TX3006THN3[16]. I requisiti su cui si è basata la scelta sono stati: tensione di breakdown pari o superiore a 600V e corrente di picco oltre i 25A.

Il condensatore  $C_O$  è stato scelto in base alla variazione massima della tensione di uscita ammessa, siccome la capacità richiesta è elevata, più di 1mF, la tecnologia impiegata sarà di tipo elettrolitico. La variazione della tensione di uscita sarà:

$$\Delta V_O = \Delta I_{CO} \cdot ESR \quad (3.8)$$

dove  $\Delta I_{CO}$  massima è equivalente alla sottrazione tra la corrente di picco del diodo e la corrente di uscita:  $\Delta I_{CO} = 25 - 10 = 15A$ . Imponendo una variazione della tensione d'uscita di massimo 5% la resistenza ESR del condensatore risulta:  $ESR = \frac{20V}{15A} = 1.33\Omega$ . Il condensatore scelto ha una tensione massima di funzionamento pari a 450V e una corrente RMS massima di 9A, in particolare sarà composto da quattro condensatori in parallelo in modo da poter supportare l'elevata corrente efficace per un valore finale di 1.8mF.  $C_O$  non è l'unico condensatore presente in uscita, un altro di tipo ceramico viene posto in parallelo con lo scopo di assorbire le variazioni di corrente alle alte frequenze, in particolare a quella di switching. La corrente efficace sarà quindi ripartita tra  $C_O$  e il condensatore ceramico, di conseguenza la corrente RMS in  $C_O$  sarà minore di 10A RMS.

Infine gli induttori sono stati scelti in base ai valori di corrente efficace e corrente di saturazione sopportati. In questo caso sono stati posizionati 3 induttori da 180uH in serie per fase poichè la corrente di saturazione dei modelli con un valore nominale maggiore era troppo bassa, l'induttanza totale diventa di 540uH.

### 3.2 Filtro d'ingresso

Il filtro d'ingresso è stato inserito in modo da rispettare le norme sulla compatibilità elettromagnetica citate nell'introduzione e nel primo capitolo. Solitamente viene progettato dopo aver terminato il progetto completo del PFC, convertitore e controllore. Essendo parte della scheda di potenza e non avendo collegamenti con il progetto del controllo, il suo progetto verrà descritto in questo capitolo.

Se da un lato il filtro d'ingresso riduce il rumore elettromagnetico prodotto dal PFC, dall'altro cambia la dinamica del convertitore a volte rendendolo instabile. Per evitare questo inconveniente bisogna smorzare l'impedenza di uscita del filtro d'ingresso in modo che l'impedenza d'ingresso del PFC sia sempre molto maggiore, tale condizione è sempre rispettata se le seguenti equazioni sono verificate per ciascuna frequenza di funzionamento fino al crossover:

$$|Z_o| \ll |Z_N| \quad |Z_o| \ll |Z_D| \quad (3.9)$$

$Z_N(s)$  rappresenta l'impedenza d'ingresso del Bridgeless PFC in condizioni di normale funzionamento, eq.(3.11) [5], mentre  $Z_D(s)$  è equivalente all'impedenza d'ingresso quando il segnale di controllo è nullo, eq.(3.12) [5]. Se l'impedenza d'uscita del filtro EMI viene sufficientemente smorzata la funzione di trasferimento iniziale del PFC verrà modificata in modo accettabile nel range di frequenza che interessano il PFC, eq.(3.10) [5], di seguito uno schema del sistema che si vuole prendere in considerazione.

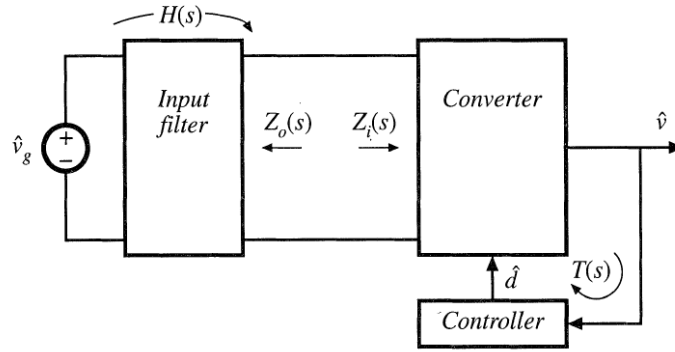


Figura 3.5: Schema a blocchi convertitore e filtro d'ingresso[5]

$$G_{vd}(s) = \left( G_{vd}(s) \Big|_{Z_o(s)=0} \right) \cdot \frac{\left( 1 + \frac{Z_o(s)}{Z_N(s)} \right)}{\left( 1 + \frac{Z_o(s)}{Z_D(s)} \right)} \quad (3.10)$$

$$Z_N = -D'^2 R \left( 1 - \frac{sL}{D'^2 R} \right) \quad \text{dove} \quad D' = 1 - D \quad (3.11)$$

$$Z_D = D'^2 R \frac{\left( 1 - \frac{sL}{D'^2 R} + \frac{s^2 LC}{D'^2} \right)}{(1 + sRC)} \quad \text{dove} \quad D' = 1 - D \quad (3.12)$$

Lo schema del filtro d'ingresso di modo differenziale, senza circuito di smorzamento è il seguente:

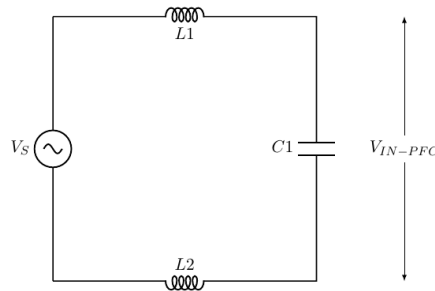


Figura 3.6: Filtro d'ingresso di modo differenziale senza smorzamento

Ponendo  $L_1=L_2=L$  si deriva l'impedenza di uscita  $Z_o$ , eq.(3.13), essa presenta le caratteristiche di un filtro di secondo ordine, la sua frequenza di risonanza verrà posta a circa una decade prima della frequenza di switching, in questo modo si avrà un buon compromesso tra attenuazione del rumore e dimensione del filtro.

$$Z_o = 2sL // \frac{1}{sC} = \frac{2sL}{2s^2LC + 1} \quad \text{da cui} \quad f_o = \frac{1}{2\pi\sqrt{2LC}} \quad (3.13)$$

L'impedenza di uscita alla frequenza di risonanza ( $R_{OF}$ ) è pari a infinito, nel caso contrario, con un fattore Q nullo,  $R_{OF} = \sqrt{\frac{L}{C}}$ [5]. Dovendo necessariamente ridurre il fattore Q del filtro si è deciso di implementare la configurazione di Fig.3.7.

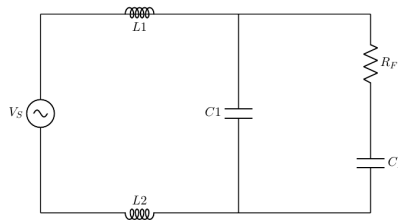


Figura 3.7: Filtro d'ingresso di modo differenziale con smorzamento

Le equazioni che permettono di dimensionare il circuito di smorzamento sono le seguenti[5]:

$$N = \frac{C_B}{C_1} \quad f_M = f_O \cdot \sqrt{\frac{N}{2+N}} \quad R_F = R_{OF} \cdot \frac{\sqrt{2(2+N)}}{2+N} \quad Q = \frac{R_F}{R_{OF}} = \sqrt{\frac{(2+N)(4+3N)}{2N^2(4+N)}}$$

Per ottenere una  $f_M$  (ovvero la frequenza di risonanza ricalcolata con il circuito di smorzamento) di circa  $10kHz$  e allo stesso tempo mantenere il valore della resistenza di dump basso si sono scelti i seguenti valori:  $L_1 = L_2 = 10\mu H$  e  $C_1 = 4.7\mu F$ . Imponendo  $N=2$  si ottiene un fattore di qualità pari a 0.91, di conseguenza  $C_B = 10\mu F$ ,  $f_M = 16kHz \cdot \sqrt{\frac{1}{2}} = 11kHz$ ,  $R_f = 1.5 \cdot \frac{\sqrt{8}}{4} = 2\Omega$ , impostato poi al valore normalizzato di  $2.2\Omega$ .

La differenza tra il filtro d'ingresso smorzato e non smorzato è riportata in Fig.3.8, nella versione smorzata l'impedenza del filtro non supera mai  $Z_D$  e  $Z_N$  garantendo la stabilità del sistema.

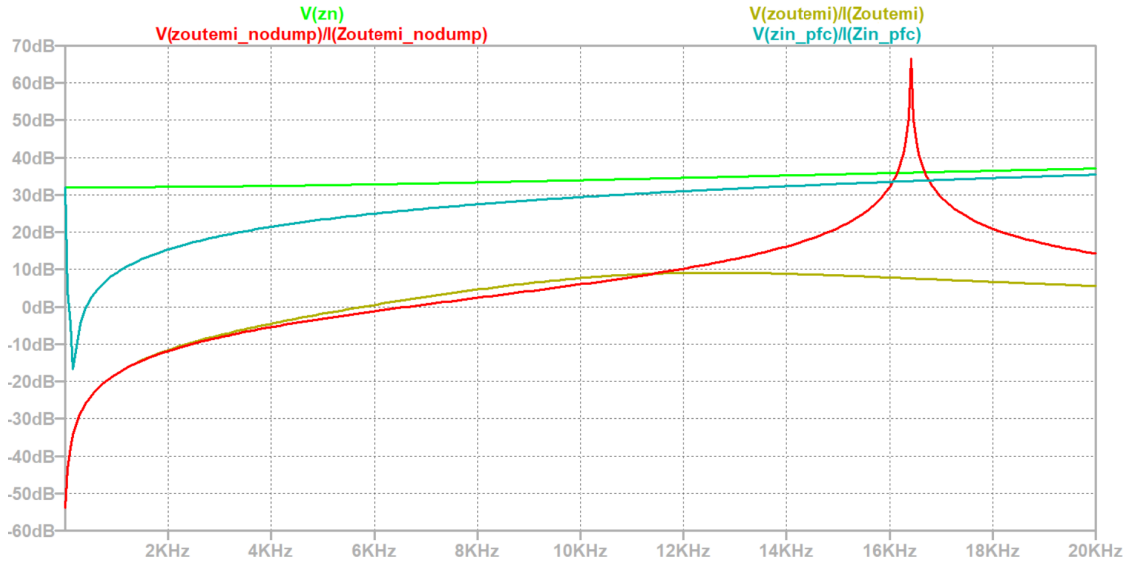


Figura 3.8: Impedenze PFC e filtro d'ingresso: in verde  $Z_N$ , celeste  $Z_D$ , giallo  $Z_{OUT}$  filtro d'ingresso con circuito di smorzamento, rosso senza circuito di smorzamento.

Sono state effettuate le simulazioni tramite PSIM[14] del filtro d'ingresso applicato al Bridgeless PFC tramite il circuito mostrato in Fig.3.9, per comparare i risultati del filtraggio sono state messe in relazione  $I_{IN}$  e  $I_{IN_{EMI}}$ , rispettivamente la corrente d'ingresso non ancora filtrata con la stessa filtrata.

Dalla Fig.3.10 si può notare che il rumore alle alte frequenze viene attenuato mantenendo una risposta molto simile sia nel dominio del tempo che nel dominio della frequenza. In particolare a  $60kHz$  si ha un picco dovuto alle commutazioni dei transistori. La Fig.3.10(a) è stata ottenuta impostando l'intervallo di tempo di

simulazione pari a  $[0-0.2]$ s e selezionando poi solo pochi cicli di funzionamento in regime ciclostazionario, la Fig.3.10(b) è la trasformata FFT della (a).

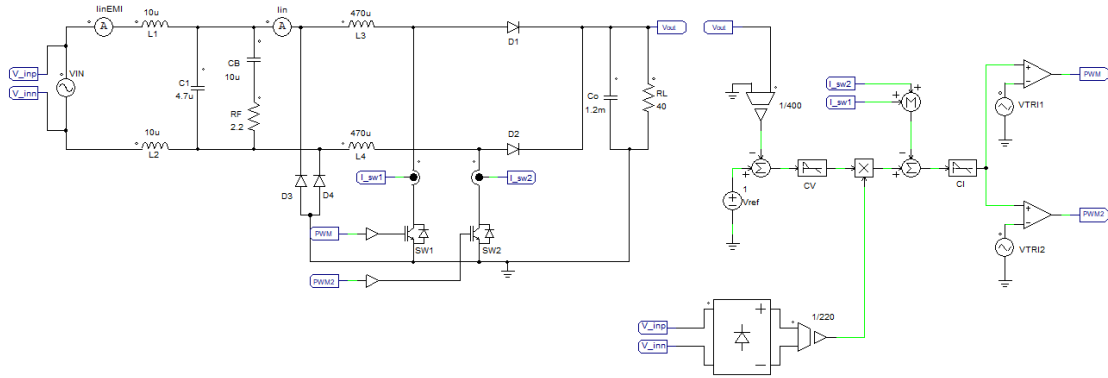
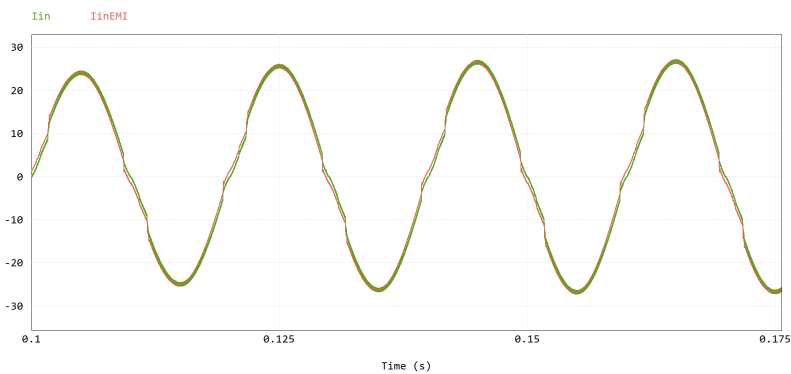
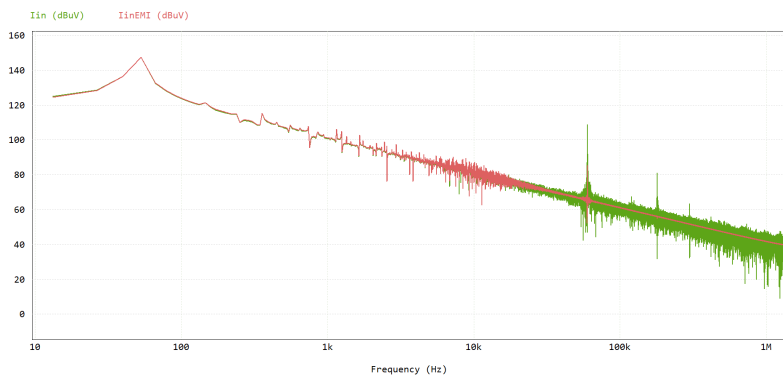


Figura 3.9: Circuito per la simulazione del filtro d'ingresso differenziale



(a) Correnti d'ingresso PFC nel dominio del tempo



(b) Correnti d'ingresso PFC nel dominio della frequenza

Figura 3.10: Grafici correnti d'ingresso PFC prima e dopo il filtro d'ingresso differenziale, rispettivamente verde e rosso

Per completare il filtro EMI del Bridgeless PFC è necessario inserire anche un filtro di modo comune, componente FL1 di Fig.3.11. Tale filtro viene realizzato tramite due induttori identici che vengono avvolti sullo stesso nucleo in modo simmetrico.

Il filtro di modo comune scelto non influenza significativamente le caratteristiche del filtro di modo differenziale, lo studio mostrato precedentemente rimane perciò invariato.

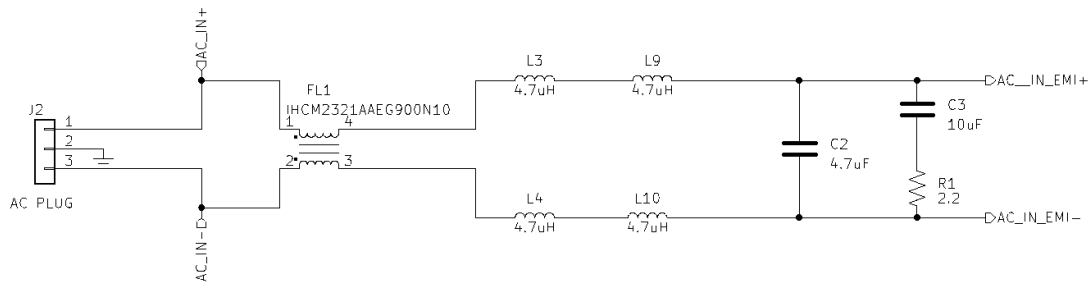


Figura 3.11: Schematico filtro EMI scheda di potenza

### 3.3 Circuito di startup

Come accennato nel capitolo 2, all'avvio del PFC  $C_O$  è scarico, di conseguenza viene condotta una corrente molto elevata che danneggerebbe  $L_1$ ,  $L_2$ ,  $D_1$  e  $D_2$ , per risolvere tale problema sono stati aggiunti i diodi  $D_5$ ,  $D_6$  e la resistenza  $R_5$  come mostrato in Fig.3.12. Il circuito di startup ha la funzione di limitare la corrente di carica di  $C_O$  tramite  $R_5$  e di proteggere i rami principali del bridgeless PFC caricando il condensatore tramite  $D_5$  e  $D_6$  fino a quando la tensione di uscita non raggiunge quella d'ingresso.

Sono stati scelti dei diodi che possano sopportare una corrente di spunto pari a 8A, essendo posti in parallelo è possibile applicare una corrente massima di 16A, e una tensione inversa superiore a 400V. La resistenza invece può essere sostituita da una termistore con coefficiente di temperatura positivo, in questo modo la corrente rimane limitata ad un valore massimo iniziale di  $I_{INRUSH} = \frac{V_{INMAX}}{R_5} = \frac{240 \cdot \sqrt{2}}{220} = 1.5A$ .

Per evitare che durante il normale funzionamento del PFC il termistore dissipi potenza e limiti la corrente di funzionamento sono stati aggiunti due SCR in antiparallelo ai suoi capi. il cui stato è controllato dal segnale denominato INRUSH fornito dal circuito di controllo.

La Fig.3.13 mostra lo schematico del circuito di pilotaggio degli SCR.

Sul primario di T4 è presente uno stadio totem-pole, Q6A e Q6B, attivato da un multivibratore astabile, le equazioni usate per dimensionare quest'ultimo sono state ottenute dal datasheet dell'integrato e elencate nell'eq.(3.14)[17]. L'onda



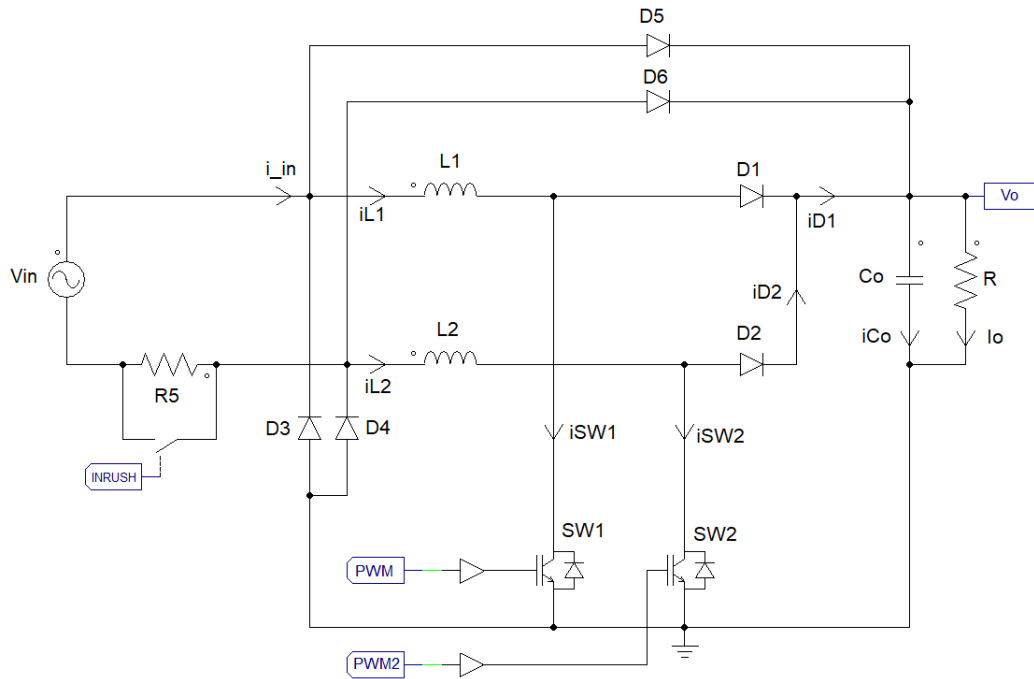


Figura 3.12: Bridgeless PFC con circuito di startup

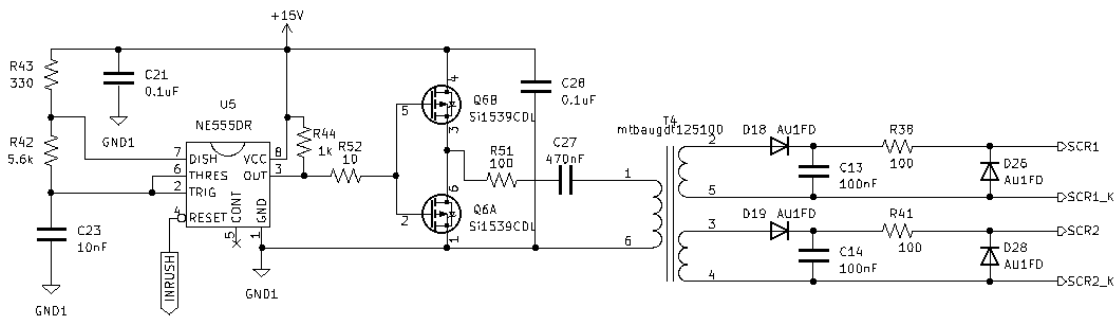


Figura 3.13: Circuito pilotaggio SCR

quadra generata dall'astabile è riferita al ground della scheda e ha un'ampiezza di 15V. Essa viene applicata ai gate degli SCR passando dagli induttori accoppiati che garantiscono l'isolamento tra il circuito di potenza e l'astabile. La frequenza dell'onda quadra è stata impostata a 125kHz per poter usare gli induttori accoppiati in modo corretto. I due SCR cortocircuitano a turno il termistore. Una volta attivati dal segnale di controllo non smettono di condurre fino a quando la corrente d'ingresso non cambia polarità. I due SCR quindi si attiveranno in modo alternato durante la semionda positiva e negativa della tensione d'ingresso, rispettivamente. La corrente di gate minima per attivare i componenti scelti è di 45 mA, il picco

di tensione presente sui gate è di 6.8V ovvero metà dell'onda quadra a valore non nullo meno la caduta di tensione del diodo, impostando il valore dei resistori  $R_{38}$  ed  $R_{41}$  pari a  $100 \Omega$  si ottiene una corrente sufficiente ad accendere i dispositivi.

$$C_1 = 1\text{nF} \quad C_2 = 100\text{nF} \quad I_{OUT} = 15\text{mA} \quad R_3 = \frac{V_{CC}}{I_{OUT}} = \frac{15\text{V}}{0.015\text{A}} = 1000\Omega$$

$$f = \frac{1}{0.693 \cdot C_1 \cdot (R_1 + 2R_2)} \quad \text{ponendo} \quad (R_1 + 2R_2) = 11.53\text{k}\Omega \quad f = 125\text{kHz}$$

$$D = \frac{R_2}{R_1 + 2R_2} \quad \text{ponendo} \quad R_1 = 330\Omega \quad \text{ed} \quad R_2 = 5.6\text{k}\Omega \quad D = 0.485$$
(3.14)

L'ordine di grandezza della quantità di carica e dei tempi di accensione di tali transistori è di due volte inferiore a quello dei MOSFET di potenza per cui la corrente necessaria a caricare e scaricare il gate può essere fornita dalla coppia N-P Si1539CDL[18], pilotabili dall'NE555.

### 3.4 Gate driver

Per il pilotaggio degli NMOSFET di potenza, SW1 ed SW2 in Fig.3.12, si è scelto di usare un driver optoisolato Fig.3.14[19], la cui corrente di picco è di 2.5A in erogazione ed in assorbimento, la tensione di alimentazione minima è pari a 15V e sopporta una corrente d'ingresso massima di 25mA. La scheda di controllo che viene utilizzata, sui pin PWM e PWM2 mostrati in Fig.3.12, eroga massimo 10 mA e circa 3V per lo stato attivo del segnale, le due porte sono quindi compatibili.

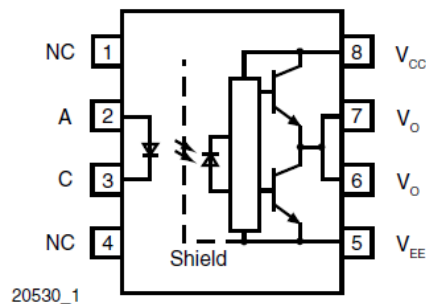


Figura 3.14: Driver optoisolato VO3120

Nel datasheet viene consigliato di aggiungere un condensatore in parallelo all'alimentazione del filtro, ne è stato posizionato uno da  $0.47\mu\text{F}$ , C22 in Fig.3.15,

per meglio sostenere agli assorbimenti impulsivi di corrente da parte del carico. Le resistenze R62 e R59 in Fig.3.15 formano un partitore con la tensione di alimentazione per polarizzare inversamente il diodo del driver quando il segnale del PWM è allo zero logico, in questo modo si evitano accensioni indesiderate del driver dovuto a possibili rumori raccolti sul PWM. Il circuito finale raffigurato in Fig.3.15 ha due rami in parallelo in ingresso al gate del MOSFET, il ramo di R36 viene usato nella fase di accensione mentre il ramo con R37 viene attivato solo nella fase di spegnimento grazie al diodo D25. Con questa implementazione si vuole accelerare la fase di spegnimento in modo da ridurre le perdite di potenza dovute ai tempi di commutazione.

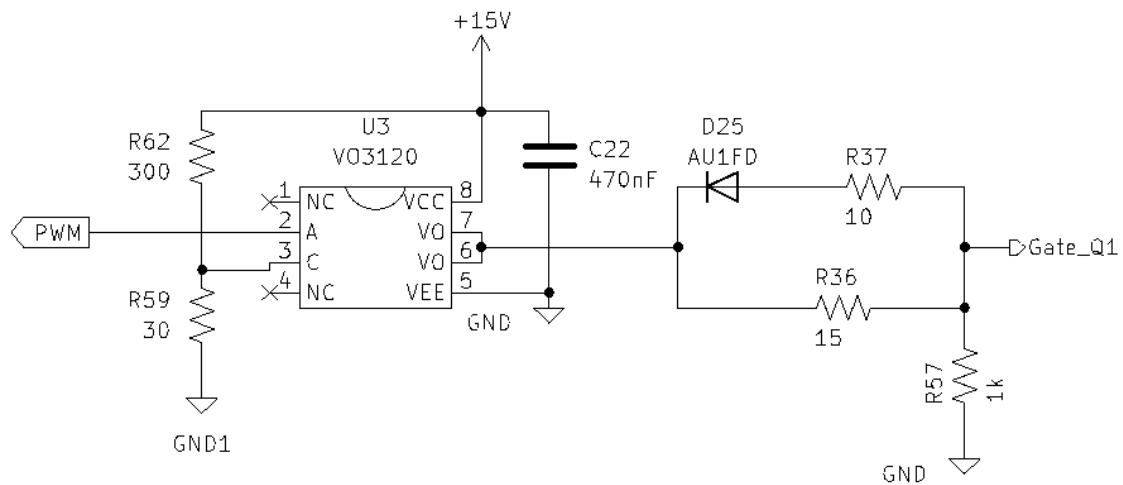


Figura 3.15: Circuito pilotaggio gate NMOS di potenza

Le resistenze di gate si possono calcolare tramite le formule dell'eq.(3.15)[20]. Si inizia con il calcolo della quantità di carica sul gate  $Q_{GATE}$  dove il valore massimo da datasheet è di  $70\text{nC}$ , successivamente si valuta la corrente media di carica e scarica del gate  $I_{GATE}$ , infine si calcola la resistenza di gate  $R_{GATE}$  per l'accensione e lo spegnimento.

$$\begin{aligned}
 Q_{GATE} &= V_{CC} \cdot C_{GATE} = 70\text{nC} \quad V_{CC} \rightarrow \text{tensione alimentazione driver} \\
 I_{GATE} &= \frac{Q_{GATE}}{T_{SW}} = \frac{70\text{nC}}{88\text{ns}} = 0.79\text{A} \\
 R_{GATE} &= \frac{V_{CC} - V_{OH} - V_{OL}}{I_{GATE}} = \frac{10.5}{0.79} = 13.2\Omega \rightarrow \text{valore normalizzato } 15\Omega
 \end{aligned}
 \tag{3.15}$$

Volendo ridurre la resistenza di gate nella fase di spegnimento senza superare i valori massimi del gate driver si può impostare R40 pari a  $10\Omega$ , di conseguenza  $R_{GATE} = 6\Omega$ , la corrente di scarica non supera i  $2.5\text{A}$ ,  $I_{GATEMAX} = \frac{14.5}{6} = 2.4\text{A}$ .

### 3.5 Alimentazione circuiti di controllo

All'interno della scheda di potenza i componenti che usano l'alimentazione di 15V sono principalmente i drivers degli NMOS e l'NE555, il comparatore per il rilevamento di fase e la scheda di controllo, gli ultimi due dispositivi hanno bisogno di una tensione minore che però viene adattata dai 15V tramite un LDO presente sulla scheda di controllo. Per stimare la potenza minima di uscita si sono sommati i contributi di tutti i circuiti di controllo, eq.(3.16).

$$P_{TOT} = P_{NE555} + 2 \cdot P_{VO3120} + P_{COMP} + P_{ADP1048} + P_{TOTEM-POLE} = (0.2 + 0.225)W + 2 \cdot 0.3W + 0.001W + 0.15W + 2.25W = 3.13W \quad (3.16)$$

Le potenze di tutti i dispositivi sono state desunte dai datasheet dei componenti. Il piedino OUT dell'NE555 mostrato in Fig.3.13, utilizza una resistenza di pull-up che porta ad un consumo di  $P_{PULL} = V_{CC} * I_{OUT} = 15V * 15mA = 0.225W$  il quale viene aggiunto al consumo dell'integrato stesso.

La soluzione circuitale scelta per fornire la potenza richiesta è un Flyback come mostrato in Fig.3.16, adatto ad erogare basse potenze garantisce anche l'isolamento con l'uscita del PFC da cui sarà presa la tensione d'ingresso del regolatore dc-dc. All'interno del datasheet del LNK606DG-TL viene descritto il circuito adatto a generare un'uscita di 12V che possa erogare una potenza massima di 5.5W[21]. Per adattare la tensione di uscita a 15V viene anche fornito dal costruttore un programma che permette di ricalcolare i valori dei componenti, PIXLs designer[22], viene quindi cambiato il duty cycle, il rapporto spire e il rapporto delle resistenze di feedback mantenendo il circuito riportato come esempio sul datasheet.

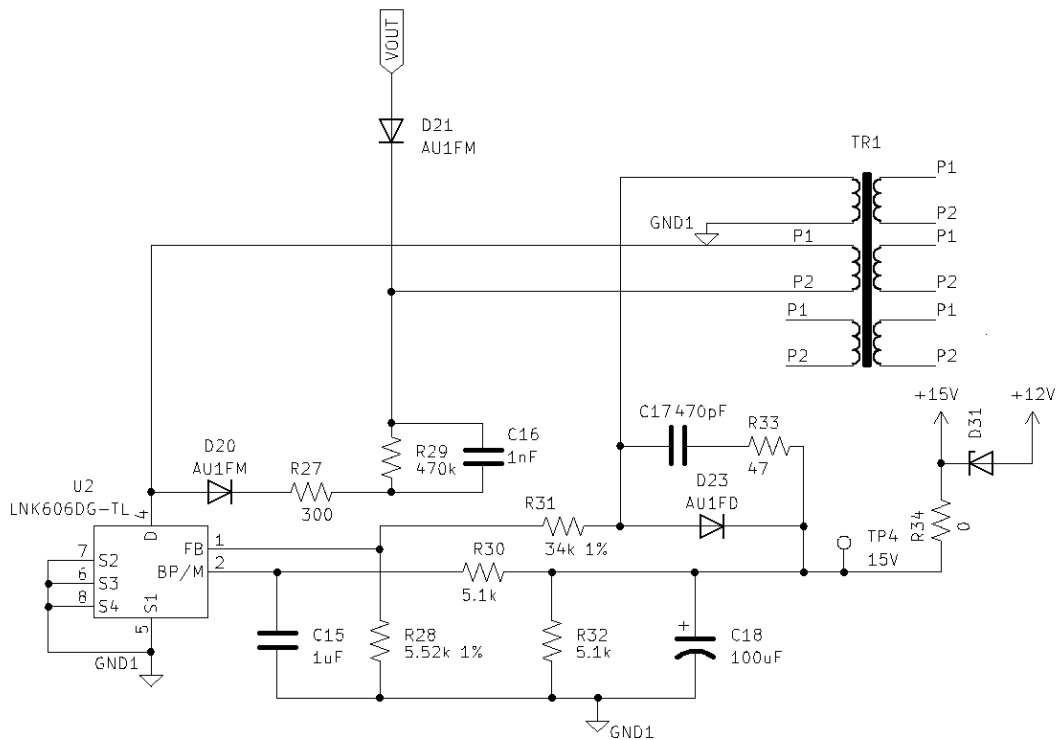


Figura 3.16: Flyback per alimentazione 15V

### 3.6 Stima dell'efficienza e gestione della temperatura

L'efficienza del circuito è stata stimata tenendo conto della potenza dissipata dai MOSFET, dai diodi, dall'alimentazione per i circuiti secondari, dagli induttori e dai condensatori di uscita.

Le perdite introdotte dai MOSFET sono date dalla somma della potenza di conduzione con quella di commutazione come mostrato nell'eq.(3.17). Durante il normale funzionamento ogni transistor viene usato per metà ciclo e nel tempo restante viene mantenuto acceso. Prendendo come esempio il transistor SW1 della Fig.3.12, durante la semionda negativa i diodi D3 e il diodo di protezione di SW1 vengono accesi, la corrente  $i_{in}$  diventa negativa e si divide tra D3 e il diodo di protezione del mosfet, quest'ultimo non ha le stesse caratteristiche di D3, a parità di corrente introduce delle perdite maggiori, per massimizzare l'efficienza è necessario accendere SW1 in modo da far passare il quantitativo maggiore di corrente in D3. Nel ciclo in cui uno dei diodi, D3 o D4, conduce, essendo caratterizzati da una resistenza di conduzione molto minore di quella dei transistori (il rapporto è maggiore di 1:10), la corrente passerà maggiormente sul ramo dei diodi rendendo

trascurabile le perdite di conduzione prodotte dal transistor in questo mezzo ciclo.

$$\begin{aligned} P_{\text{COND}} &= I_{\text{RMS}_{\text{SW}}}^2 \cdot R_{\text{ON}_{\text{HOT}}} \\ P_{\text{SW}} &= \frac{f_{\text{SW}}}{2} \cdot (T_{\text{ON}} \cdot V_{\text{O}} \cdot I_{\text{L}_{\text{MIN}}} + T_{\text{OFF}} \cdot V_{\text{O}} \cdot I_{\text{L}_{\text{MAX}}}) \end{aligned} \quad (3.17)$$

Per stimare correttamente le perdite di commutazione è stata eseguita una media della potenza dissipata in ogni commutazione sul ciclo della tensione d'ingresso come riportato nell'eq.(3.19). La corrente dell'induttore varia seguendo la forma della tensione d'ingresso, i valori  $I_{\text{L}_{\text{MIN}}}$  ed  $I_{\text{L}_{\text{MAX}}}$  cambiano puntualmente ad ogni commutazione, di conseguenza la potenza dissipata nella commutazione varia, mediando tali variazioni sul tempo di ciclo si trova la potenza media assorbita.

$$P_{\text{SW}_{\text{MED}}} = \frac{1}{N} \sum_{n=1}^N P_{\text{SW}}(n) \quad \text{dove} \quad N = \frac{f_{\text{sw}}}{f_{\text{line}}} \quad (3.18)$$

Sommando la potenza dissipata per ogni transistor si ottiene:

$$\begin{aligned} P_{\text{SW}_{\text{TOT}}} &= P_{\text{SW}_1} + P_{\text{SW}_2} = 2 \cdot P_{\text{COND}} + P_{\text{SW}_{\text{MED}}} = \\ &[(9.5^2 \cdot 1.5 \cdot 0.059) + 8\text{W}] = 2 \cdot (8\text{W} + 8\text{W}) = 32\text{W}. \end{aligned}$$

Per valutare le perdite dei diodi si applica l'eq.(3.19). Per i diodi D1 e D2 la potenza dissipata è pari a 5W mentre per i diodi D3 e D4 è di 8W, sommando si arriva a 26W.

$$P = V_{\text{D}} \cdot I_{\text{D}_{\text{AVE}}} \quad (3.19)$$

Passando a L1 ed L2, valutando solo la perdita prodotta dalla resistenza dell'induttore, si può usare la stessa formula  $P_{\text{COND}}$  usata per i transistori, dal datasheet è possibile risalire al valore di resistenza, 0.028  $\Omega$ , con una corrente RMS pari a 13A in totale si hanno  $4.73\text{W} \cdot 6 = 28.4\text{W}$  dissipati.

Infine, le perdite prodotte dei 4 condensatori elettrolitici in parallelo possono essere calcolate prendendo il valore della resistenza ESR e il valore efficace della corrente, rispettivamente  $\frac{0.134}{4}$  e 10A, in totale 1.34W.

Sommando tutte le perdite si ottiene:

$$P_{\text{DISS}_{\text{TOT}}} = P_{\text{SW}_{\text{TOT}}} + P_{\text{D}_{\text{TOT}}} + P_{\text{L}_{\text{TOT}}} + P_{\text{CO}_{\text{TOT}}} + P_{\text{AL}_{15\text{V}}} = 32 + 26 + 28 + 4.47 = 90.5\text{W} \quad (3.20)$$

L'efficienza si può stimare come:

$$\eta = \frac{P_{\text{OUT}}}{P_{\text{OUT}} + P_{\text{DISS}_{\text{TOT}}}} = \frac{4000\text{W}}{4000\text{W} + 90.5\text{W}} = 0.977 \quad (3.21)$$

che in percentuale diventa 97,7%, rimane un valore ideale poichè solo i componenti principali del bridgeless PFC sono stati presi in considerazione trascurando le perdite in AC dei componenti magnetici.

Per quanto riguarda la gestione delle temperature dopo aver stimato la potenza dissipata è necessario controllare la necessità di aggiungere o meno un dissipatore di calore per i componenti più stressati. L'innalzamento di temperatura è dato dalla potenza dissipata dal componente per la sua resistenza termica come mostrato nell'eq.(3.22).

$$\Delta T = R_{thJA} \cdot P_{diss} \quad (3.22)$$

La scelta di un dissipatore adeguato dipende dalla temperatura a cui si vuole far funzionare il dispositivo. Di seguito si raggruppano le resistenze termiche dei diodi, transistori ed SCR con le relative temperature raggiunte senza dissipatore:

- Per i transistori si ha:  $R_{thJA} = 65^\circ\text{C/W} \rightarrow T_{work} = T_{Amb} + \Delta T = 22 + 16 \cdot 65 = 1062^\circ\text{C}$
- Per i diodi D1 e D2 :  $R_{thJA} = 62^\circ\text{C/W} \rightarrow T_{work} = T_{Amb} + \Delta T = 22 + 5 \cdot 62 = 332^\circ\text{C}$
- Per i diodi D3 e D4 :  $R_{thJA} = 62^\circ\text{C/W} \rightarrow T_{work} = T_{Amb} + \Delta T = 22 + 8 \cdot 62 = 518^\circ\text{C}$
- Per gli SCR: Dal datasheet è possibile ricavare la potenza media dissipata dagli SCR conoscendo la corrente media che li percorre, fig3.17,  $I_{INAVE} = \frac{I_{INPEAK}}{2\pi} = \frac{26A}{2\pi} = 4.15A$  che corrisponde a  $P_{SCR_{TOT}}(4.13A) = 5W$ , perciò la temperatura di lavoro è la medesima dei diodi D1 e D2.

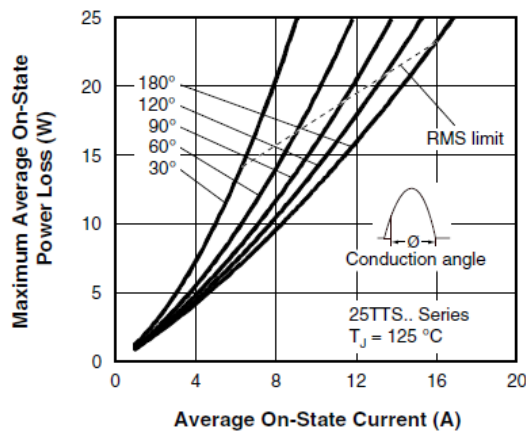


Figura 3.17: Potenza media dissipata all'aumentare della corrente media[23]

Per ottenere una temperatura di lavoro pari a 90-100 °C ma allo stesso tempo mantenere le dimensioni della scheda il più compatte possibile è stato scelto un dissipatore di 16x16 mm Fig.3.18. Il modello scelto ha delle prestazioni migliori del 15% rispetto alle curve mostrate in Fig.3.18. Per capire dove è necessario aggiungere un ventola che riduca la resistenza termica si può applicare l'eq.(3.23).

$$R_{thJADISS} = \frac{T_{workvoluta} - T_{Amb}}{P_{diss}} \quad (3.23)$$

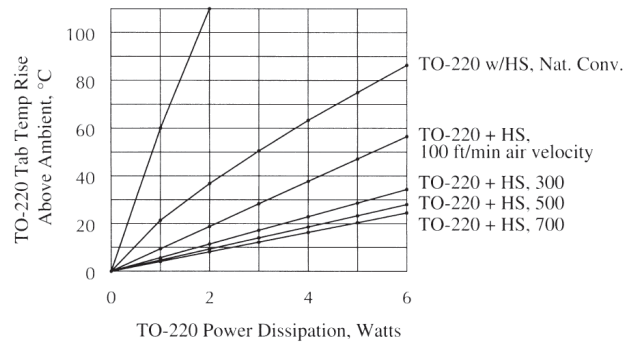


Figura 3.18: Resistenza termica dissipatore[24]

- Transistor:  $R_{thJA_{DISS}} = \frac{90-22}{16} = 4.25^{\circ}C/W$
- Diodi D1 e D2 :  $R_{thJA_{DISS}} = \frac{90-22}{5} = 13.6^{\circ}C/W$
- Diodi D3 e D4 :  $R_{thJA_{DISS}} = \frac{90-22}{8} = 8.5^{\circ}C/W$

Ai transistori e ai diodi D3,D4 verranno quindi aggiunte delle ventole che generano il flusso d'aria richiesto in Fig.3.18, a questo scopo si è lasciato uno spazio di 11 mm tra i trasformatori di corrente e i dissipatori dei transistori.



## Capitolo 4

# Dal controllo analogico al digitale

Il controllo digitale è perfetto per integrare complesse funzioni di controllo in modo compatto, esso presenta un'elevata immunità ai disturbi e inoltre permette di implementare in modo efficace modalità di interfaccia uomo-macchina con l'utilizzatore (Man-to\_Machine Interface, MMI)[25].

In questa tesi si proporrà un controllo digitale derivato da un equivalente analogico tramite appropriate tecniche di discretizzazione. Generalmente questo metodo di progettazione offre degli ottimi risultati e il controllo digitale che si ottiene è molto simile all'analogico da cui si è partiti. La discretizzazione non è l'unica strada che si può seguire per sviluppare un controllo digitale, esiste la possibilità di crearne uno senza passare dall'analogico, in questo caso vengono usate tecniche come il posizionamento dei poli (*pole placement technique* in inglese). Nel seguito, partendo dalla descrizione del controllo analogico si proseguirà con le tecniche di discretizzazione dei vari elementi del controllo e le loro criticità.

### 4.1 Controllo Analogico

Esistono diverse tipologie di controllo che vengono usate nei progetti dei PFC, le più frequenti sono le seguenti:

- Peak Current Mode
- Hysteresis Current Mode
- Borderline Current Mode
- Discontinuous Current Mode
- Average Current Mode

Solitamente sono composti da due anelli (in inglese *loop*), uno esterno di tensione e uno interno di corrente come mostrato in Fig.4.1. Ogni loop viene dimensionato separatamente e solo dopo aver ricavato la funzione di trasferimento del convertitore di potenza.

In generale il loop esterno ha la funzione di mantenere la tensione di uscita ad un determinato valore e fornire un riferimento al loop interno di corrente. La sua configurazione può variare a seconda del tipo di loop interno scelto.

Il loop di corrente misura la corrente dell'induttore e la confronta con un riferimento fornito dal loop esterno di tensione per regolare il valore del duty-cycle  $d(t)$ , unica variabile su cui è possibile agire per mantenere la tensione in uscita costante. Le correzioni imposte dalla variazione del duty-cycle vengono recepite dal convertitore all'interno dello stesso periodo di commutazione nel quale avvengono.

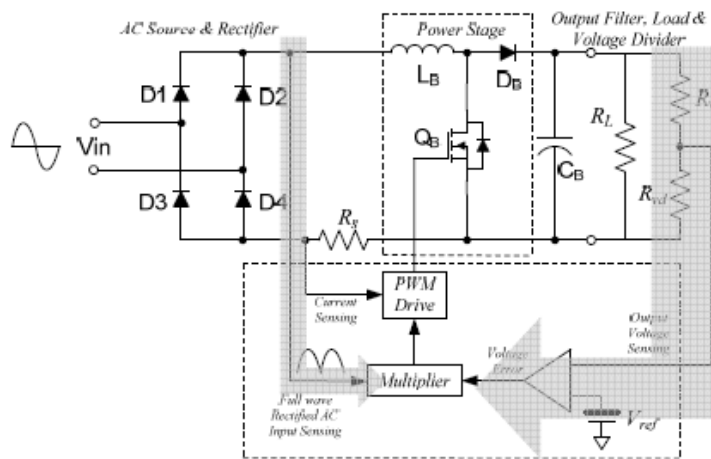


Figura 4.1: Schema di principio controllo analogico su PFC[7]

Il controllo che verrà utilizzato nel progetto di tesi è l'Average Current Mode, prima di passare alla sua descrizione si illustrano brevemente i vantaggi e gli svantaggi delle altre tecniche.

#### 4.1.1 Peak Current Mode

Il transistor usato per la carica e la scarica dell'induttore viene acceso quando una certa soglia di corrente nell'induttore viene oltrepassata. Tale soglia viene generata usando il segnale della tensione d'ingresso rettificato e scalato.

I vantaggi di questa tecnica sono: possibilità di avere una frequenza di switching costante, eliminazione dell'amplificatore per la compensazione del loop di corrente, possibilità di leggere solo la corrente del transistor.

Gli svantaggi invece sono: bisogno di una rampa di compensazione, distorsione della corrente d'ingresso, sensibilità al rumore di commutazione.[26]

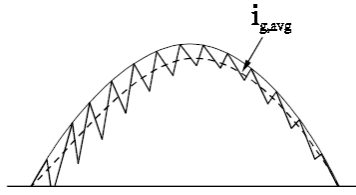


Figura 4.2: Corrente d'ingresso tipica e corrente dell'induttore nel Peak current mode[26]

### 4.1.2 Hysteresis Current Mode

In questa modalità vengono usati due riferimenti di corrente sinusoidali in modo da limitare la corrente dell'induttore tra un massimo e un minimo.

I vantaggi di questa tecnica sono: la rampa di compensazione non è necessaria, la corrente d'ingresso ha una bassa distorsione.

Gli svantaggi invece sono: è necessario avere una frequenza di switching variabile, la corrente deve essere prelevata dall'induttore, il controllo è sensibile al rumore generato dalle commutazioni.[26]

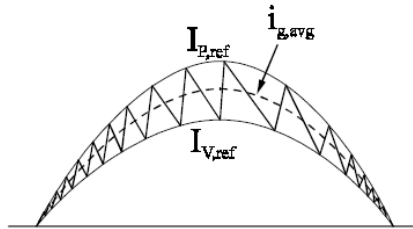


Figura 4.3: Corrente d'ingresso tipica e corrente dell'induttore nel Hysteresis current mode[26]

### 4.1.3 Borderline Current Mode

In questa modalità il transistor viene acceso solo quando la corrente dell'induttore raggiunge lo zero, in questo modo il PFC lavora tra la modalità di conduzione continua e discontinua, anche chiamata modalità di conduzione critica. L'obiettivo è quello di ridurre le perdite di commutazione a discapito dei picchi di corrente massimi.

I vantaggi di questa tecnica sono: nessuna necessità di compensazione nel loop di corrente e della rampa di compensazione, possibilità di introdurre una limitazione alla corrente massima di conduzione.

Gli svantaggi invece sono: frequenza di switching variabile, è necessario leggere la corrente dell'induttore per capire quando si annulla, stress dei componenti maggiore.[26]

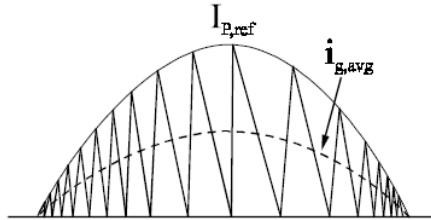


Figura 4.4: Corrente d'ingresso tipica e corrente dell'induttore nel border-line current mode[26]

#### 4.1.4 Discontinuous Current Mode

In questa modalità il loop di corrente interno viene eliminato, in questo modo il transistore può lavorare a frequenza costante, in particolari condizioni questa modalità porta a raggiungere un fattore di potenza anche pari all'unità ma con PFC basati sulla configurazioni boost vengono generate delle distorsioni armoniche non trascurabili.

I vantaggi di questa tecnica sono: frequenza di switching costante, nessuna necessità di monitorare la corrente dell'induttore.

Gli svantaggi invece sono: stress dei componenti maggiori.[26]

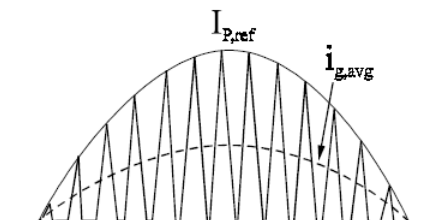


Figura 4.5: Corrente d'ingresso tipica e corrente dell'induttore nel Discontinuous current mode[26]

## 4.2 Average Current Mode

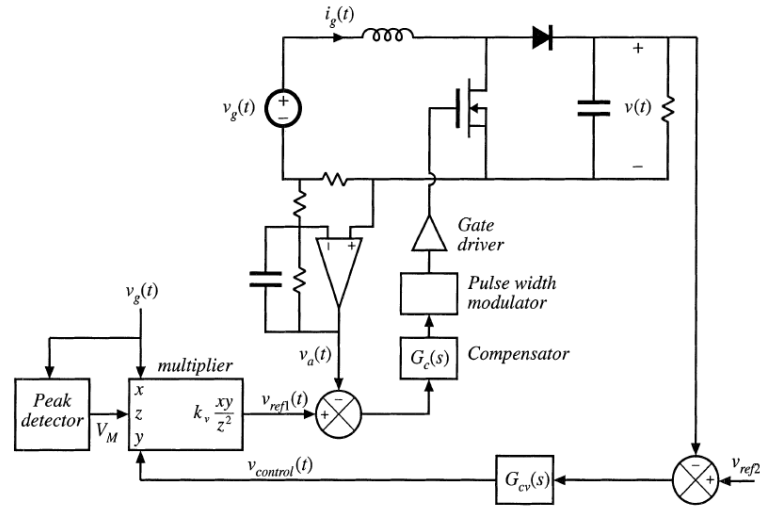


Figura 4.6: Schema di principio average current mode su PFC[7]

L'average current mode control applicato su un PFC classico è composto da due loop di controllo, quello esterno di tensione e quello interno di corrente come mostrato in Fig.4.6. Con riferimento alla Fig.4.6, gli ingressi del loop esterno di tensione sono: la tensione di riferimento  $V_{ref}$ , la tensione d'uscita  $V$  e la tensione istantanea raddrizzata; quest'ultima,  $V_g$ , viene divisa per una certa costante, ovvero il suo valore RMS elevato alla seconda. Tramite il compensatore, in figura chiamato  $G_{cv}(s)$ , viene calcolato l'errore tra la tensione d'uscita e la tensione di riferimento. Per eliminare il rumore provocato dal ripple sulla tensione d'uscita, si cerca di progettare un compensatore con una banda stretta. Il segnale d'errore e  $\frac{V_g}{K}$  vengono moltiplicati e diventano il riferimento del loop interno di corrente.

Il loop interno riceve quindi in input la corrente dell'induttore e il riferimento del loop esterno, l'obiettivo è quello di seguire la forma della tensione d'ingresso scaricando e caricando l'induttore come mostrato in Fig.4.7. Il segnale d'errore del compensatore di corrente regolerà il duty cycle tramite il modulatore PWM.

I punti di forza di questo controllo sono la possibilità di avere una frequenza fissa di commutazione, l'eliminazione dell'instabilità subarmonica presente nel peak current mode, una maggiore robustezza sul rumore di commutazione e una forma della corrente fedele a quella della tensione (si veda la linea tratteggiata in Fig.4.7). Sebbene il controllo sia più robusto, il compensatore è indispensabile per ottenere questa caratteristica ed è quindi un componente aggiuntivo da progettare. Ragionando sullo schema a blocchi del sistema è possibile ricavare le caratteristiche dei due compensatori (Fig.4.8), il cui dimensionamento dovrà seguire un certo ordine. Partendo dal loop di corrente si dimensiona il compensatore in relazione a  $G_i$

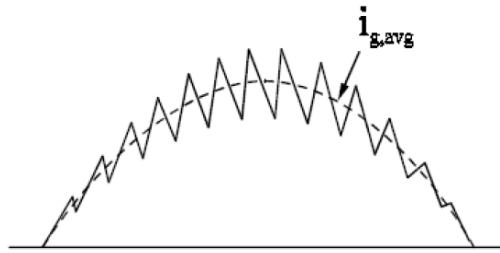


Figura 4.7: Corrente induttore ACM[7]

successivamente, dopo aver estratto la risposta del sistema convertitore più loop interno di corrente, si passa alla progettazione del loop esterno [27].

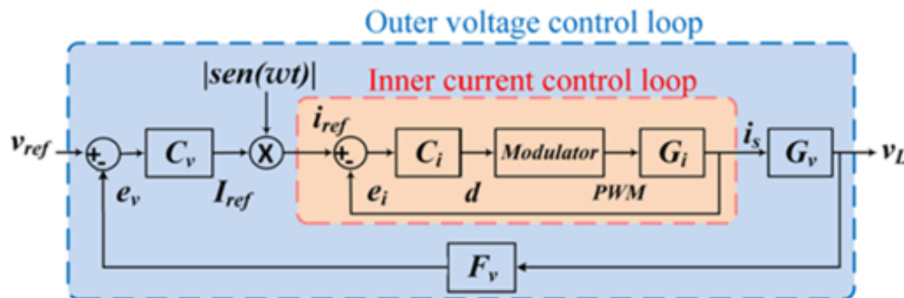


Figura 4.8: schema a blocchi controllo completo di un bridgeless PFC[28]

Dove:

- $C_i$  rappresenta il modello del compensatore di corrente.
- $G_i$  è il modello del convertitore descritto dall'equazione 2.19.
- $G_v$  è la funzione del convertitore ricavata tra la tensione di uscita e  $I_S$ .
- $F_v$  è la funzione del sensore della tensione d'uscita, tipicamente un rapporto.
- $C_v$  è il modello del compensatore di tensione.

Nella capitolo successivo verranno usate le formule elencate nelle sezioni seguenti e verrà fornito un riscontro visivo tramite diagrammi di Bode derivati dalla simulazione del sistema complessivo, convertitore e controllo.

### 4.2.1 Loop di controllo interno

Per seguire fedelmente l'andamento della tensione d'ingresso il loop deve avere una risposta veloce nel tempo. Il controllo deve essere progettato con una banda ampia

che rimane però al di sotto della frequenza di switching, in questo modo il rumore prodotto dalle commutazioni dei transistori viene filtrato.

Il compensatore che verrà utilizzato in questo progetto sarà di tipo 2, il suo modello contiene un polo nell'origine, uno zero e un polo a frequenza elevata, eq.(4.1).

$$C_i(s) = \frac{k_{Ci}}{s} \cdot \frac{1 + \frac{s}{w_z}}{1 + \frac{s}{w_p}} \quad (4.1)$$

Per garantire la stabilità del sistema si seguono le indicazioni generali fornite in diversi documenti di riferimento tra cui [30]. Il dimensionamento inizia dal guadagno  $k_{Ci}$ . Il suo valore non deve superare il minimo tra due condizioni:  $\left\{ \frac{V_{mod} \cdot L}{V_o R_{sense} T_{sw}}, \frac{2L \cdot V_{mod}}{T_{sw} V_g R_{sense}} \right\}$  dove  $T_{sw}$  è l'inverso della frequenza di switching, garantendo questa condizione il modulatore può sfruttare tutta la sua dinamica senza saturare inoltre, si eliminano possibili situazioni di instabilità del sistema. La pulsazione del polo  $w_p$  viene impostata ad  $\frac{1}{2} f_{sw}$  in modo da attenuare il rumore alle alte frequenze, la pulsazione dello zero viene impostata uguale a  $f_c$ , ovvero la frequenza di taglio, quest'ultima si cerca di impostarla ad  $\frac{1}{[10-6]} f_{sw}$  per non uscire dal range di frequenze in cui il modello del convertitore è valido, essa comunque dipenderà dal guadagno e dallo zero impostato.

Come ultimo passaggio è necessario calcolare il margine di fase del sistema ad anello aperto così da controllare la stabilità del sistema, a partire dalla Fig. 4.8 si ricava l'eq.(4.2).

$$T_{co}(s) = C_i(s) \cdot modulator(s) \cdot G_i(s) \quad (4.2)$$

### 4.2.2 Loop di controllo esterno

Ricavata la risposta del sistema  $G_v(s)$ , espressa dall'eq.(4.3) [28] è possibile passare al dimensionamento del compensatore  $C_v$ .

$$G_v(s) = \frac{V_{in}}{2V_o} \cdot \frac{R}{1 + \frac{RC_o}{2} \cdot s} \quad (4.3)$$

Dove:

- $k$  è il rapporto di riduzione della corrente che dal convertitore viene riportata nel controllo.
- $R$  è la resistenza del carico.
- $C_o$  è la capacità del condensatore d'uscita.

Grazie al controllo interno di corrente la funzione di trasferimento si semplifica notevolmente, ai fini della progettazione del compensatore  $G_v$  può essere approssimata ad un filtro passa basso. Il modello non approssimato presenta altri poli e zeri

a frequenze più elevate tra cui lo zero del semipiano destro. Per assicurare la stabilità del sistema la frequenza di crossover viene impostata a frequenze molto minori dello zero, eq.(4.4), inoltre per filtrare il ripple presente sulla tensione d'uscita il guadagno del loop chiuso intorno a  $2f_{alim}$ , dovrà essere il più basso possibile.

$$f_{zhp} = \frac{(1 - D)^2 \cdot R}{L} \quad (4.4)$$

Il modello del compensatore è uguale a quello di corrente (si veda l'eq.(4.5)). Il guadagno  $K_{Cv}$  deve garantire un guadagno del sistema ad anello aperto abbastanza grande da ottenere un errore del segnale in continua molto piccolo, in questo modo possiamo garantire una lettura corretta del segnale d'uscita, allo stesso tempo però non deve spostare la frequenza di crossover  $f_c$  troppo vicino a  $2f_{alim}$ . La pulsazione dello zero può essere impostata ad  $\frac{1}{10}w_p$ , la pulsazione del polo sarà equivalente al doppio della frequenza di alimentazione così da filtrare i rumori alle frequenze superiori.

$$C_v(s) = \frac{k_{Cv}}{s} \cdot \frac{1 + \frac{s}{w_z}}{1 + \frac{s}{w_p}} \quad (4.5)$$

### 4.3 Controllo digitale

Per passare dal controllo analogico al digitale si sostituiscono tutti i componenti analogici con l'algoritmo di controllo, il PWM digitale e i convertitori analogico-digitali. L'unica interfaccia analogica che rimane è il condizionamento del segnale, essenziale per poter riscaldare il segnale d'ingresso nei limiti richiesti dall'integrato digitale. È possibile schematizzare il nuovo controllo come in Fig.4.9.



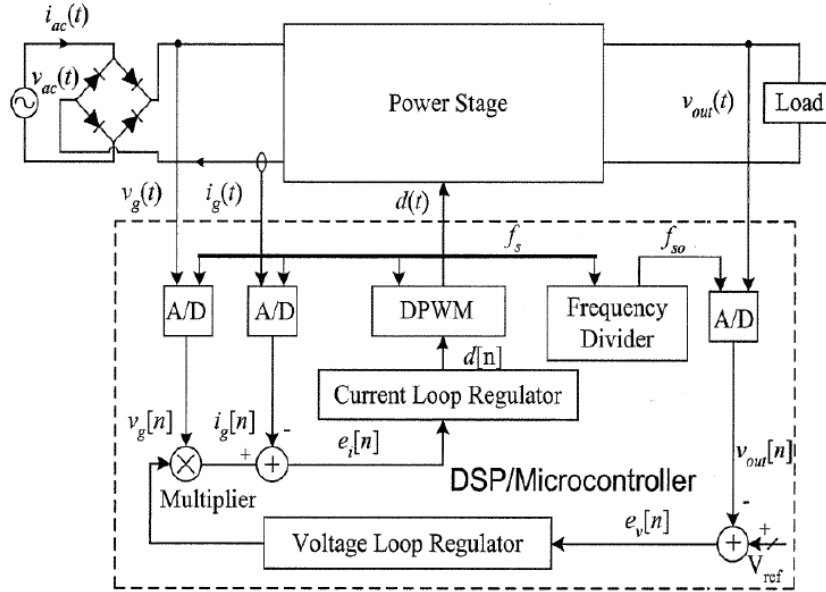


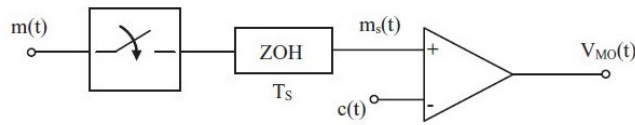
Figura 4.9: schema a blocchi controllo digitale[29]

### 4.3.1 Digital PWM

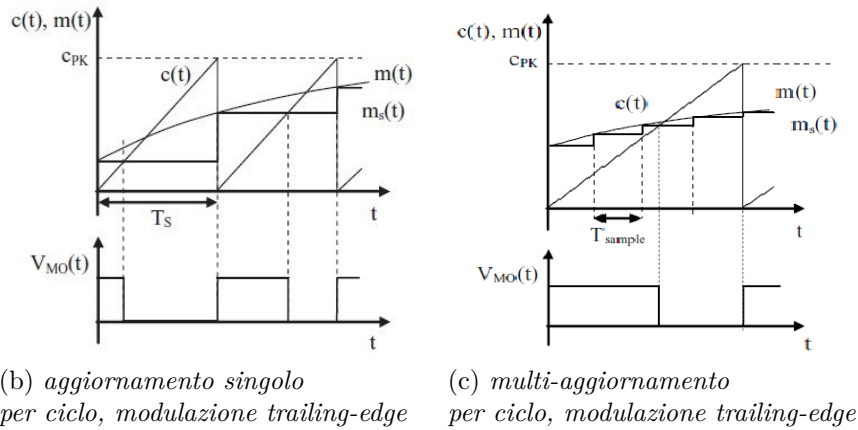
Il Digital PWM, Fig.4.10, ha lo stesso ruolo del PWM analogico, in questo caso però tutto viene generato digitalmente con una risoluzione finita. Come per l'analogico la creazione del segnale PWM può avvenire attraverso diversi tipi di modulazione, in questo progetto si userà quella di tipo trailing-edge dove è presente una singola rampa crescente per ogni intervallo  $T_{sw}$ , le altre possibili modulazioni sono leading-edge e triangular carrier. Il DPWM introduce un delay che è possibile calcolare mettendo in relazione il tempo di hold del ZOH, il tempo di ciclo o switching,  $T_s$ , il duty cycle  $D$  e il rapporto tra il tempo di sampling e il tempo di ciclo  $N$ , come indicato nell'eq.4.6. *Intuitivamente il Delay introdotto dal PWM è la distanza tra il l'istante di campionamento del segnale di modulazione e la determinazione dell'impulso d'uscita*[25]. Aumentando  $N$  è necessario aggiungere un filtro per eliminare il rumore di switching che invece veniva risolto automaticamente con il singolo o il doppio aggiornamento.

$$t_d = DT_s - \frac{\text{floor}(ND)}{N}T_s \quad (4.6)$$

A seconda della modulazione la funzione di trasferimento del DPWM può variare, nel caso del trailing-edge con singolo aggiornamento per ciclo, la cui equazione caratteristica è la 4.7[25],  $V_{MO}(s)$  e  $M(s)$  sono le trasformate di Laplace dei segnali  $V_{MO}(t)$  e  $M(t)$ ,4.10.



(a) modello DPWM



(b) aggiornamento singolo per ciclo, modulazione trailing-edge

(c) multi-aggiornamento per ciclo, modulazione trailing-edge

Figura 4.10: Digital PWM [25]

$$PWM(s) = \frac{V_{MO}(s)}{M(s)} = \frac{e^{-sDT_s}}{c_{PK}} \quad (4.7)$$

### 4.3.2 Modellizzazione del Compensatore

Applicando quella che viene definita *control discretization* è possibile riscrivere la funzione di trasferimento di un generico compensatore nel dominio del tempo discreto. Vi sono due principali metodi per discretizzare una funzione di trasferimento, il metodo d'integrazione di Eulero e il metodo d'integrazione trapezoidale. Il secondo metodo porta a un'approssimazione detta di Tustin, più precisa e con meno distorsione rispetto ad Eulero, generalmente è la più usata (Fig.4.11).

Eseguendo una trasformata  $z$  della funzione di trasferimento nel dominio di Laplace si ricava il modello discretizzato del compensatore. Operativamente si applica una sostituzione della variabile  $s$  con  $s = \frac{2(z-1)}{T_s(z+1)}$ . Per mantenere un livello di distorsione minore del 3% ad una data frequenza  $f$ , il rapporto tra  $f$  e la frequenza di campionamento deve avere un fattore minimo di 10. Nel capitolo relativo al progetto verrà usato un tool già fornito dal produttore del controllore digitale per dimensionare i compensatori del controllo.

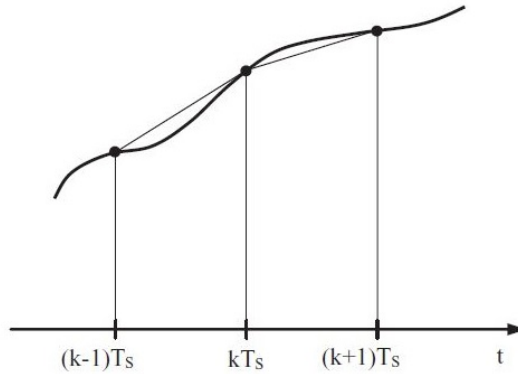


Figura 4.11: Metodo d'integrazione trapezoidale[25]

### 4.3.3 Gestione delle criticità

Le prime criticità del controllo digitale si incontrano già partendo dalla catena di acquisizione del segnale. La dinamica d'ingresso dell'ADC deve essere sfruttata appieno e il segnale deve essere filtrato per evitare il problema dell'aliasing. Un dimensionamento errato del circuito di condizionamento potrebbe portare ad una maggiore instabilità del sistema e ridurre la qualità della regolazione. Per controllare le prestazioni della conversione si usa il numero effettivo di bit definito nell'eq.(4.8). Se il segnale da acquisire è negativo è meglio applicare un offset per renderlo positivo poichè solitamente le dinamiche d'ingresso degli ADC sono positive.

$$N_e = n - \text{floor} \left( \frac{\log_{10} \frac{FSR}{S_{pp}}}{\log_{10} 2} \right) \quad (4.8)$$

Dove FSR (Full Scale Range) è l'ampiezza della dinamica di tensione all'ingresso del convertitore ADC,  $S_{pp}$  è l'ampiezza del segnale picco-picco applicato all'ingresso del convertitore ADC, il valore massimo dei bit effettivi è raggiungibile avendo  $FSR=S_{pp}$ . Generalmente per il campionamento del segnale si sceglie un convertitore uniforme come mostrato in Fig.4.12. L'errore di quantizzazione  $e_q$  è una perdita d'informazione inevitabile dovuta alla conversione A-D, il tempo di conversione dell'ADC può essere trascurato poichè il delay maggiore lo si ha nella conversione digitale analogico attuata dal Digital PWM.

Il problema dell'aliasing è in realtà un impedimento fittizio, viene sfruttato per estrarre il valore medio del segnale che stiamo misurando (Fig.4.13), tale valore è infatti quello si vuole controllare tramite gli anelli di retroazione. È possibile ottenere la media sincronizzando la lettura del campione con la frequenza di switching. Aggiornando il valore letto due volte per ciclo si diminuisce il ritardo di conversione del DPWM, il sistema risulta più reattivo, quindi la banda viene estesa e il sistema complessivo diventa più stabile. Esasperando l'aggiornamento del segnale ad una

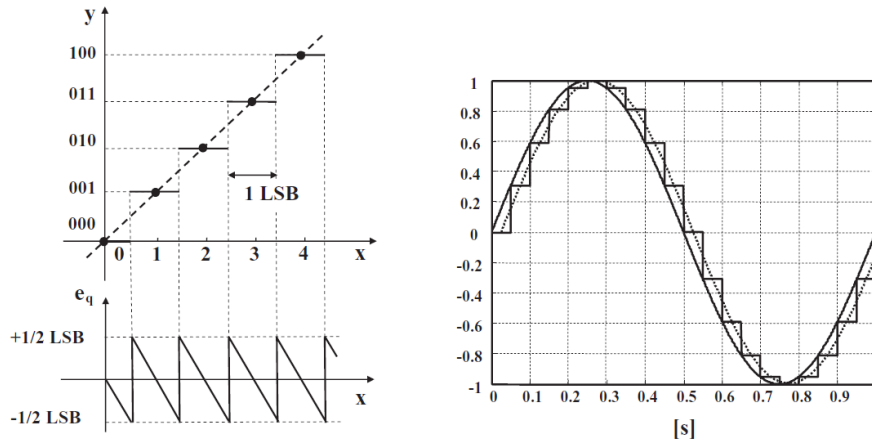


Figura 4.12: A sinistra la transcaratteristica del convertitore uniforme, a destra il delay provocato dal sample and hold [25]

frequenza molto superiore a quella di switching si arriverebbe ad ottenere un PWM analogico.

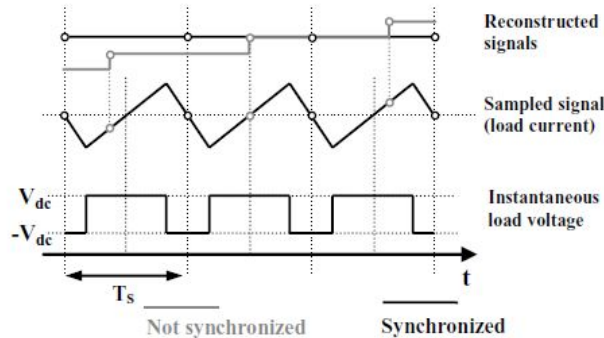


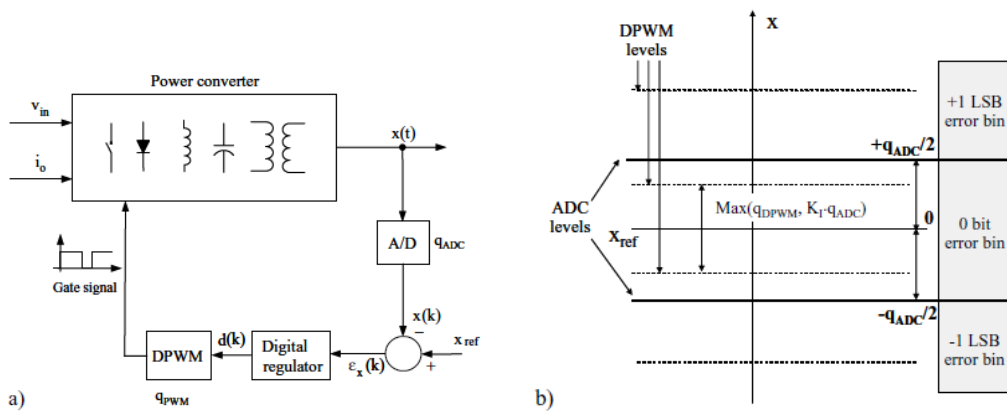
Figura 4.13: Aliasing e media del segnale[25]

L'ultimo problema del controllo digitale è dato dalla precisione aritmetica finita dell'ADC e dal rumore di quantizzazione. La quantità più piccola leggibile dal convertitore è definita come  $Q = \frac{FSR}{2^n} = LSB$ , variazioni minori di 1LSB non vengono apprezzate, l'informazione viene quindi persa. Si può tenere conto di tale limite stimando il rumore di quantizzazione, prendendo il caso semplice di una distribuzione uniforme della densità di probabilità e di una distribuzione della potenza pari a  $\sigma_q^2 = \frac{LSN^2}{12}$  si deriva il rapporto segnale-rumore dell'ADC in relazione al suo numero di bit definito dalla eq.(4.9).

Un problema legato alla precisione aritmetica limitata è l'oscillazione dell'output tra due combinazioni adiacenti, viene chiamato LCO, limit cycle oscillation,

Fig.4.16. Numerosi studi sono stati fatti per eliminare il problema e si sono individuate delle condizioni necessarie ma non sufficienti per eliminare questa instabilità:

1. In condizioni di transitorio terminato (steady state) la variazione di 1LSB del DPWM non genera in uscita una variazione della variabile controllata, in questo caso  $x(t)$  mostrata in Fig.4.14(a), maggiore di 1LSB dell'uscita, dove  $q=LSB$  e  $G_{dc}$  è la funzione di trasferimento tra  $d$  e  $x(t)$  in steady state  $q_{DPWM} \cdot G_{dc} < q_{ADC}$  condizione visualizzabile in Fig.4.14(b).
2. È necessario un comportamento integrativo del controllore.  $G_{dc}$  è generalmente elevato perciò avremo bisogno di una  $K_I$  (guadagno del termine integrativo in Fig.4.15) che equilibri  $G_{dc}$ , un integratore è adatto a questa funzione ma spesso non basta e quindi è necessario introdurre una  $K_I \ll K_p$  (guadagno del termine proporzionale in Fig.4.15) che riduca l'errore di quantizzazione su  $x(t)$  Così da ottenere  $K_I \cdot G_{dc} < 1$ .
3. Il sistema deve essere stabile ad anello chiuso.
4. Infine per evitare di oscillazioni indesiderate bisogna avere una risoluzione accettabile del duty cycle, per calcolarla si può usare l'eq.(4.10)



(a) Convertitore di potenza con controllo digitale [25]

(b) Quantizzazione della variabile  $x(t)$  [25]

Figura 4.14

$$SNR = 6.02 \cdot n + 1.76(dB) \quad (4.9)$$

$$N_e = \log_2 \cdot \frac{F_{clk}}{F_{sw}} [bits] \quad (4.10)$$

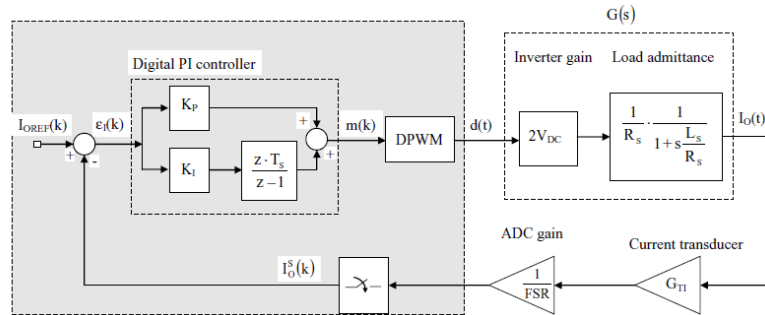


Figura 4.15: Schema a blocchi dell'anello di controllo digitale con regolatore proporzionale-integrativo[25]

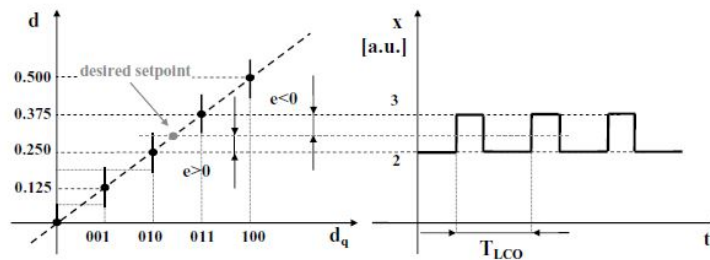


Figura 4.16: Limit cycle oscillation, LCO[25]

E' possibile che queste condizioni non siano sufficienti perché lavorando con un circuito reale e avendo fatto delle approssimazioni per ricavarne il modello in alcuni casi LCO persista lo stesso ma a livelli accettabili.

## 4.4 Conclusioni

Il controllo analogico che offre le prestazioni più adatte al progetto che si vuole realizzare è l'average current mode, grazie ad esso si potrà ottenere una forma della corrente d'ingresso molto simile a quella della tensione. Per implementare il controllo ACM è necessario progettare due compensatori di tipo 2, uno per l'anello di corrente e l'altro per l'anello di tensione. È possibile passare dal controllo analogico a quello digitale usando le tecniche di discretizzazione dei vari elementi che compongono il controllo, in particolare il compensatore digitale può essere derivato da quello analogico eseguendo una trasformata  $z$  sulla funzione di trasferimento scritta nel dominio di Laplace. L'ultimo passo per costruire un controllo digitale efficace è quello di verificare che le varie criticità siano tenute sotto controllo, ad esempio che le dinamiche d'ingresso degli ADC venga sfruttata a pieno o che le condizioni per evitare LCO siano soddisfatte.

## Capitolo 5

# Progetto del circuito di controllo

Effettuata la scelta della configurazione bridgeless è iniziata la ricerca di un controllore digitale che potesse ottenere un'alta efficienza, maggiore del 95%, e con la possibilità di poter dialogare con il mondo esterno tramite un protocollo universalmente riconosciuto, in questo caso l'I2C. È stato scelto un integrato prodotto dall'Analog Device, l'ADP1048. In questa seconda fase verranno descritti: il dimensionamento del controllo analogico, il controllo digitale implementato nell'ADP1048 e tutti quei circuiti che sono connessi al corretto funzionamento dell'integrato.

## 5.1 Controllo Analogico

Partendo dalle caratteristiche del bridgeless PFC dimensionato nel capitolo 3 è possibile calcolare la sua risposta in frequenza. Considerando l'eq.(2.19) si può ricostruire il suo diagramma di Bode individuando sul grafico i seguenti elementi, eq.(5.1):

$$G_{io} = \frac{2\bar{V}_{in}}{R(1-D)^3} = \frac{2 \cdot 311}{40 \cdot (1 - 0.22)^3} = 32.8V/\Omega \rightarrow 30.4dB$$

$$f_z = \frac{1}{\pi RC_o} = \frac{1}{\pi 40 \cdot 1.8 \cdot 10^{-3}} = 4.42Hz$$

$$f_p = \frac{1-D}{2\pi\sqrt{LC_o}} = \frac{1-0.22}{2\pi\sqrt{540 \cdot 10^{-6} \cdot 1.8 \cdot 10^{-3}}} = 125.9Hz$$

$$Q = (1-D) \cdot R \cdot \sqrt{\frac{C_o}{L}} = (1-0.22) \cdot 40 \cdot \sqrt{\frac{1.8 \cdot 10^{-3}}{540 \cdot 10^{-6}}} = 57V/\Omega \rightarrow 35.1dB$$
(5.1)

Supponendo il caso in cui la tensione di alimentazione sia compresa tra 282V e 340V e il carico sia massimo si avrà  $R = 40\Omega$  e  $D = 1 - \frac{\bar{V}_{in}}{\bar{V}_o} = 0.22$ . Come verifica sui calcoli effettuati si riporta il diagramma di boode in Fig.5.2 del circuito simulato in Fig.5.1. La simulazione è un analisi di piccolo segnale effettuata tramite il blocchetto AC sweep mostrato in Fig.5.1. All'interno sono stati impostati i seguenti parametri: intervallo di simulazione pari a [1-30000] Hz, picco massimo di variazione del segnale V\_AC pari a 0.03(circa 10 volte inferiore al valore di riferimento impostato da Vref in Fig.5.1), numero dei punti di simulazione pari a 19. L'ampiezza e la fase della funzione di trasferimento vengono ricavate dal comportamento della corrente degli induttori L1 ed L2, rilevata tramite il blocchetto AC mostrato in Fig.5.1, rispetto alle variazioni del duty cycle generate tramite V\_AC.



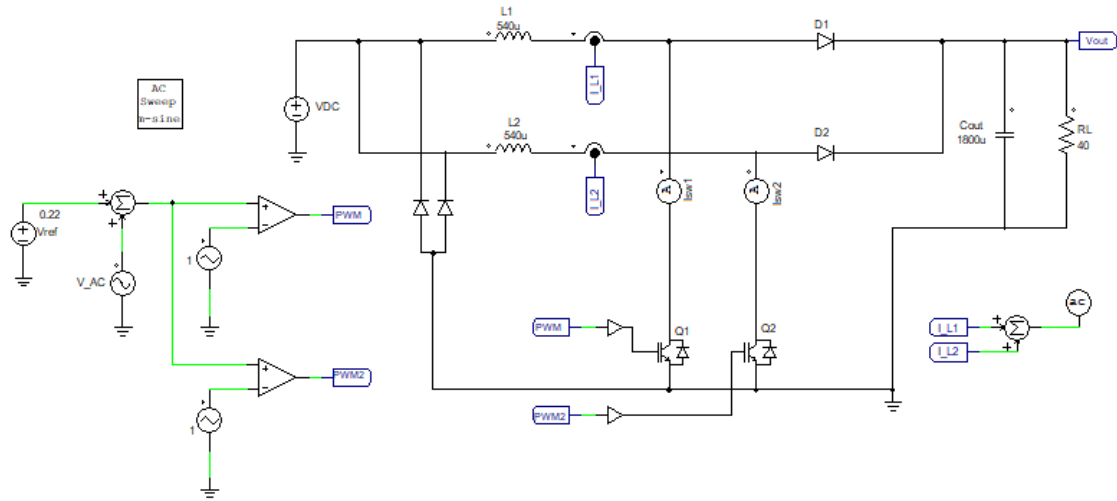


Figura 5.1: Schematico per simulare la funzione di trasferimento del Bridgeless PFC

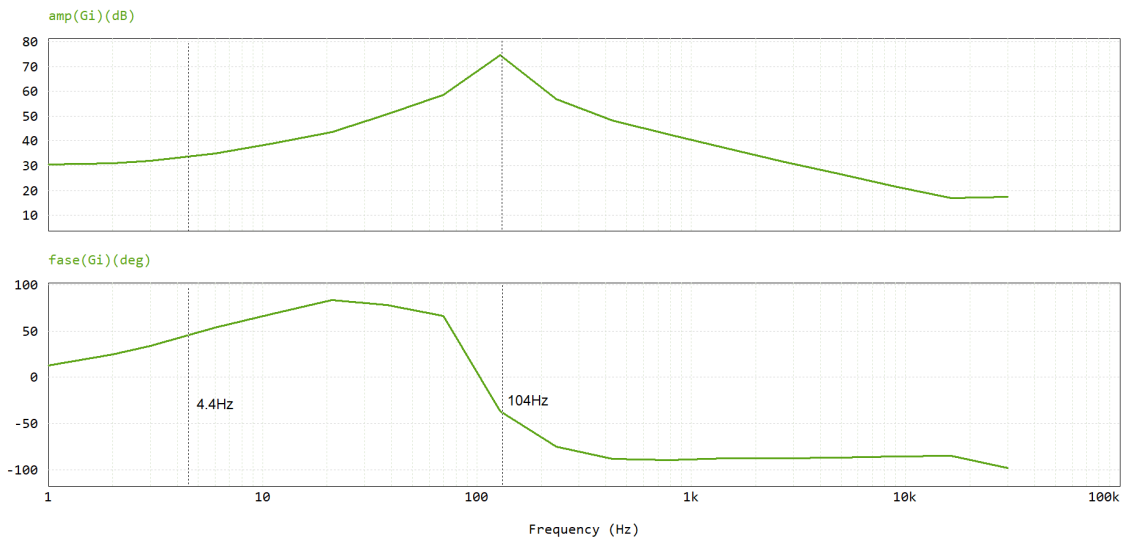


Figura 5.2: modulo e fase di  $G_i(s)$

### 5.1.1 Loop di corrente

Per monitorare la corrente dell'induttore è sufficiente misurare le correnti presenti sui rami dei transistori Q1 e Q2 del circuito mostrato in Fig.5.2, in quanto il valore di picco della corrente è il medesimo di quello della corrente che attraversa l'induttore. Prima di entrare nel compensatore la corrente verrà prelevata tramite un trasformatore di corrente con un resistore in parallelo al secondario. La tensione massima che può avere in ingresso l'ADC dell'ADP1048 è di 0.75V e la riduzione di

corrente apportata dal trasformatore è di 1:50. La resistenza di sense che si avrebbe senza impiegare il trasformatore di corrente è  $R_{sense} = \frac{1}{50} = 0.02\Omega$ , in questo modo la tensione ai capi della resistenza non supererebbe gli 0.6V. Supponendo di avere una tensione massima della rampa di modulazione pari alla tensione di uscita del PWM è possibile calcolare il limite del guadagno alla frequenza di switching,  $G_{max} = \frac{V_{mod} \cdot L}{V_o R_{sense} T_{sw}} = \frac{2.9V \cdot 540\mu H \cdot 60kHz}{400V \cdot 0.02\Omega} = 17 = 25dB$ .

Il guadagno a cui può arrivare il compensatore a frequenze minori è però più alto, ad esempio impostando le frequenze del polo e dello zero ai valori limite, ovvero 30kHz per il polo e 10kHz per lo zero, è possibile avere un guadagno di almeno 8 volte maggiore ad una frequenza di crossover del sistema di 2kHz. In questo progetto la frequenza dello zero verrà posta a  $f_z = \frac{f_{sw}}{30} = 2kHz$ , allo stesso valore viene impostata la frequenza crossover del sistema. Il guadagno del compensatore può essere aumentato a  $2 * G_{max}$ , il valore di  $k_{ci}$  alla frequenza dello zero è pari a  $34 \rightarrow 30dB$ .

### 5.1.2 Loop di tensione

Prima di passare al dimensionamento del compensatore di tensione si ricava la risposta del sistema  $G_v(s)$  mostrata in Fig.5.2, riportata già nel capitolo precedente nell'equazione 4.3.

$$G_{vo} = \frac{220 \cdot 40}{2 \cdot 400} = 11 \rightarrow 21dB \quad f_p = \frac{1}{\pi 40 \cdot 1.8 \cdot 10^{-3}} = 4.4Hz \quad (5.2)$$

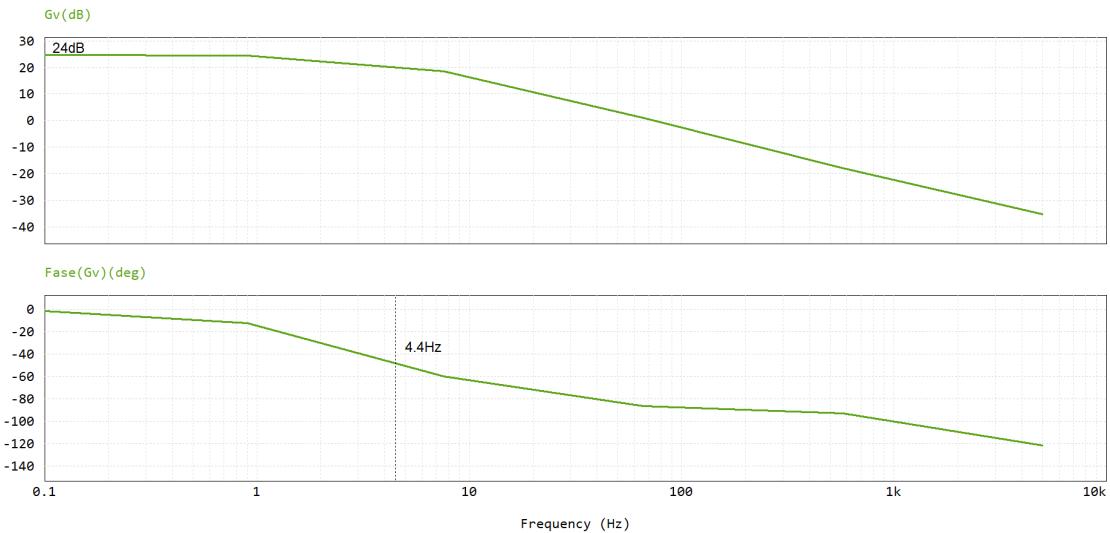


Figura 5.3: modulo e fase di  $G_v(s)$

Lo zero del semipiano di destra si veda eq.(4.4), si trova alla frequenza di  $f_{rhp} = \frac{(1-0.45)^2 40}{540 \cdot 10^{-6}} = 22.4 kHz$ , è necessario quindi tenersi ben al di sotto di questa frequenza. Per avere una risposta alle variazioni dell'uscita abbastanza veloce ed allo stesso tempo filtrare il ripple presente all'uscita si decide di impostare  $f_c$  a 10Hz, il guadagno del compensatore sarà perciò l'inverso di  $g_v(10Hz)$ , si ottiene  $k_{Cv} = \frac{1 + \frac{10}{f_p}}{G_{Vo}} = 0.29$ . La risposta complessiva del sistema con il controllo appena progettato è riportata nella Fig.5.5. Il circuito usato per simulare tale risposta è riportato in Fig.5.4. È stata effettuata la simulazione nel dominio del tempo nell'intervallo [0-0.3] s con incremento del tempo di simulazione pari a  $1.65e-7$  s.

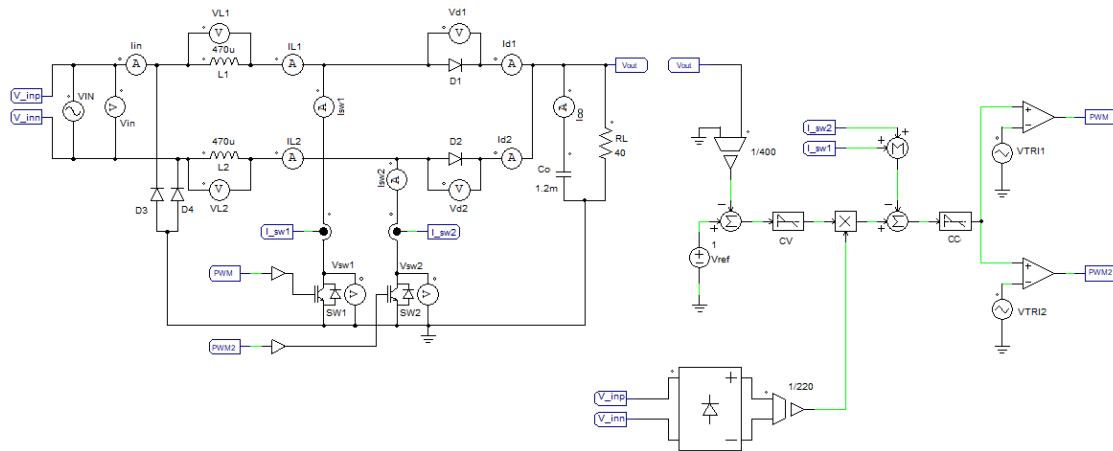


Figura 5.4: Schematico per la simulazione del Bridgeless PFC

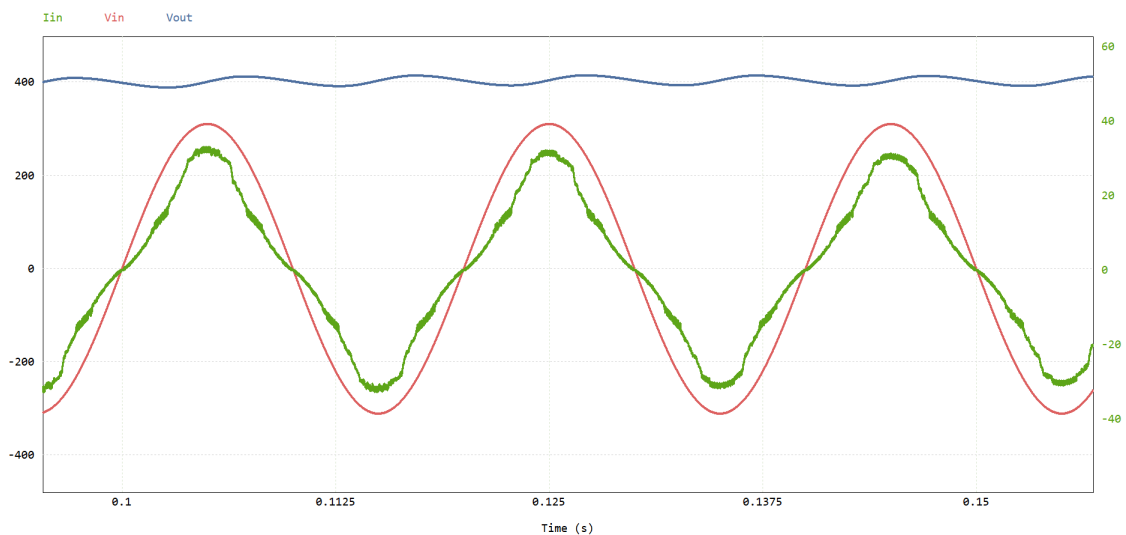


Figura 5.5: Simulazione del Bridgeless PFC con controllo analogico

È possibile ottenere risultati migliori impostando  $K_{Ci} = 235 \rightarrow 47dB$  con frequenza dello zero pari a  $2kHz$  e  $K_{Cv} = 0.3$  Fig.5.6, in questo modo il loop di corrente non supera il guadagno massimo ma sposta la frequenza di taglio del sistema a frequenze più elevate diventando più veloce ma anche più sensibile ai rumori, il margine di fase è comunque rispettato e perciò i valori possono essere applicati anche al design reale.

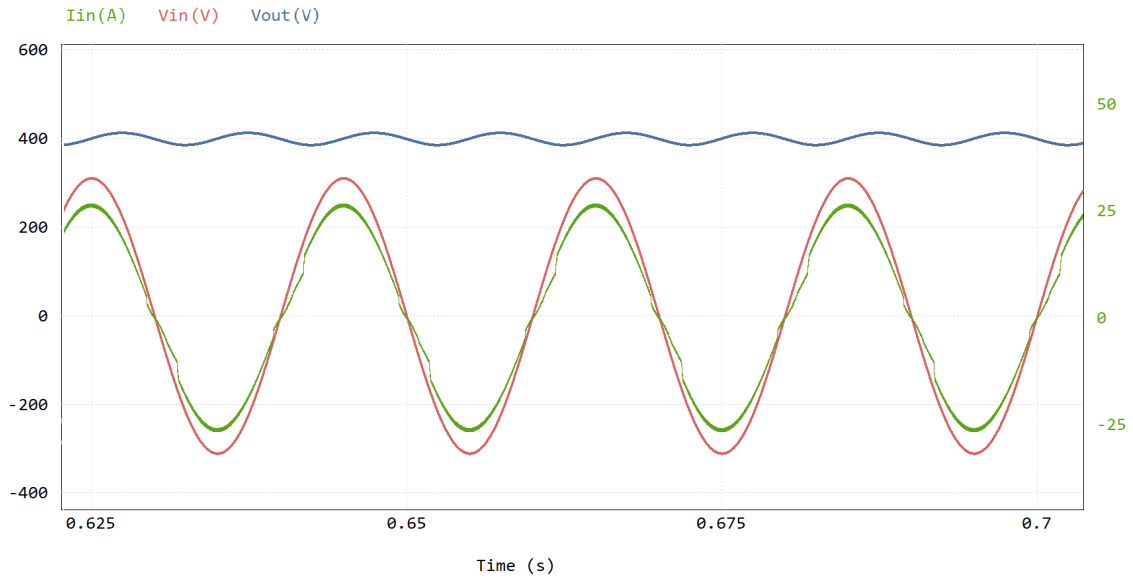
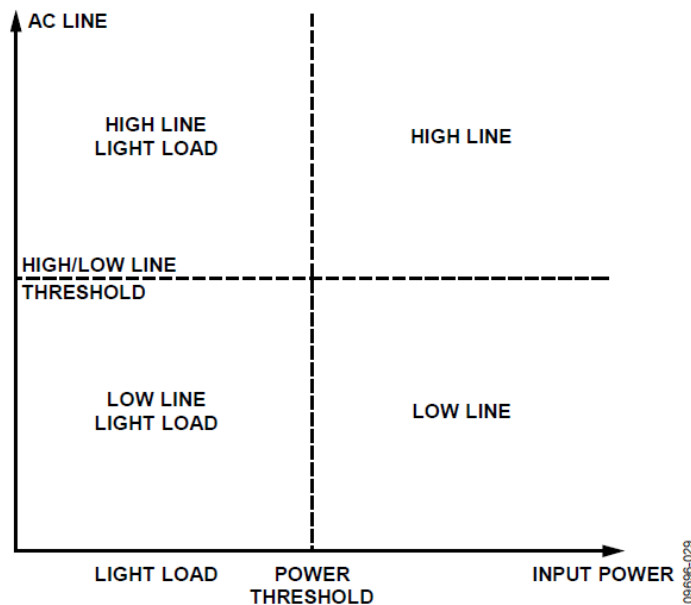


Figura 5.6: Simulazione del Bridgeless PFC con controllo analogico

## 5.2 Controllo Digitale

L'ADP1048 è un integrato progettato per controllare diverse configurazioni di PFC: configurazione tradizionale boost PFC, Interleaved PFC e Bridgeless PFC. Ha diverse funzionalità che mirano all'ottimizzazione del controllo tra cui 4 possibili combinazioni di funzioni di trasferimento per il loop di corrente, Fig.5.7(a) e due per il loop di tensione, Fig.5.7(b). Le diverse risposte del sistema sono preconfigurabili nel menù relativo ai filtri del loop di controllo, in questo modo l'efficienza del sistema viene ottimizzata rispetto alle condizioni in cui si trova il PFC.



(a) Modalità di funzionamento anello di corrente

Line Filter	Normal Compensation Filter	Fast Voltage Compensation Filter
High Line	High line current filter, normal voltage filter	High line current filter, fast voltage filter
Low Line	Low line current filter, normal voltage filter	Low line current filter, fast voltage filter

(b) Modalità di funzionamento anello di tensione e corrente

Figura 5.7: Possibili combinazioni dei loop di controllo[33]

All'interno dell'ADP1048 è implementato un average current mode control (si veda la Fig.5.8) cui funzionamento è il medesimo descritto nel capitolo precedente.  $H_{V(z)}$  rappresenta il compensatore dell'anello di tensione mentre  $H_{I(z)}$  il compensatore dell'anello di corrente. Entrambi i filtri di compensazione hanno la funzione di trasferimento dell'eq.(5.3)[33], è possibile inserire i valori di guadagno e frequenza dello zero tramite il software fornito dall'Analog device[34]. Sono disponibili due modalità di programmazione dell'integrato, interfaccia grafica o modifica dei registri.

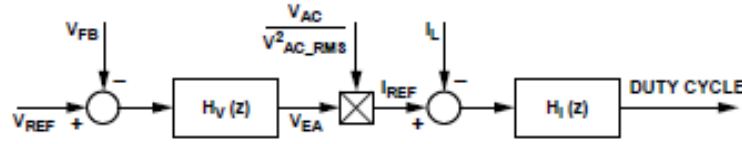


Figura 5.8: Schema controllo digitale ADP1048[33]

$$H(z) = k \cdot b \cdot \frac{\left(z - \frac{a}{256}\right)}{(z - 1)} \quad (5.3)$$

Dove:

- $k$  è una costante dipendente dalla frequenza di switching.
- $b$  è il guadagno del filtro.
- $a$  è lo zero del filtro.

### 5.2.1 Loop di corrente

Partendo dalla modalità di funzionamento *High Line*, è possibile impostare il loop tramite l'interfaccia grafica come mostrato in Fig.5.9. Inserendo i valori di guadagno e frequenza dello zero del controllo analogico si ottiene una  $F_C$  pari a 2kHz. Il guadagno del filtro cambia in base alla frequenza di switching tramite il parametro `textitk`, sull'interfaccia viene quindi visualizzata la somma tra `textitk` e il guadagno del filtro.

All'interno della Fig.5.9 la curva blu e quella verde indicano rispettivamente il guadagno e la fase del filtro digitale mentre quella nera e quella arancione sono il guadagno e la fase del loop compensato ad anello aperto. La curva violetta è il guadagno del convertitore senza loop di compensazione, come previsto dai calcoli il guadagno iniziale è di 36dB. Per la modalità *Low line* è stata prevista una tensione massima di 205V, per tensioni minori si può impostare un loop calcolato con una tensione di ingresso di 195V, leggermente inferiore al limite inferiore delle specifiche di progetto. La diminuzione della tensione d'ingresso provoca un aumento del guadagno di  $G_i$  del 24 %, da 66V a 82V, tale variazione viene però eliminata alle frequenze più elevate dove il comportamento risulta uguale al modello precedente come in Fig.5.10. Il filtro di corrente rimane quindi invariato in queste due situazioni.

In entrambe le modalità di funzionamento la fase del loop, traccia arancione, è superiore a  $45^\circ$ , il sistema si può quindi definire stabile con un margine di fase pari a  $40^\circ$ .

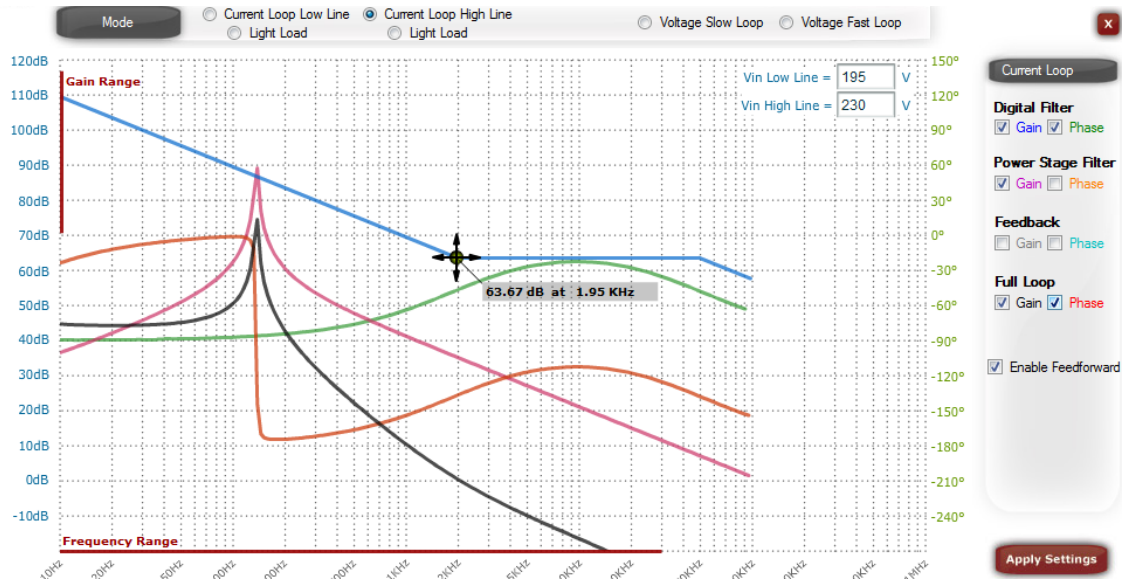


Figura 5.9: Diagramma di Bode fornito dal software dell'ADP1048 per impostare i parametri del controllo all'interno dell'anello di corrente in modalità *high line*

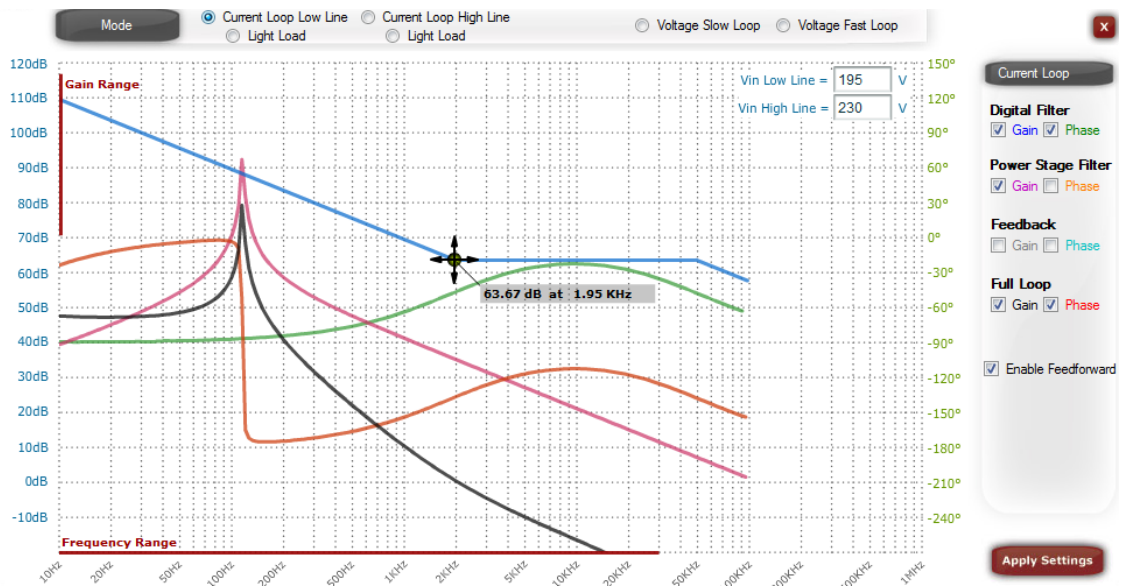


Figura 5.10: Diagramma di Bode fornito dal software dell'ADP1048 per impostare i parametri del controllo all'interno dell'anello di corrente in modalità *low line*

Andando a diminuire il carico del convertitore il guadagno diminuisce, i poli e gli zeri hanno frequenze minori, aumenta il fattore di merito, il sistema diventa meno efficiente poichè il guadagno del loop non è quello ottimale alla frequenza di 2kHz. Impostando una soglia ipotetica di 1.5kW per la condizione

*Light load* si può riprogettare un filtro che sia adeguato ad un carico di 1kW. Riprendendo le formule descritte nell'eq.(5.1) si ricalcola la risposta del sistema:  $G_{io} = 24\text{dB}$   $f_z = 1.1\text{Hz}$   $f_p = 80\text{Hz}$   $Q = 44\text{dB}$ . la frequenza del polo diminuisce perchè l'induttanza varia in funzione della corrente che scorre nell'induttore[35], in particolare diminuisce con l'aumentare della corrente. Il guadagno del filtro di corrente può essere diminuito proporzionalmente alla diminuzione del polo poichè il picco di guadagno alla frequenza del polo rimane invariato. In questo caso si è scelto di diminuire  $K_{ci}$  di 3dB sia nella modalità *High Line* che in *Low Line*.

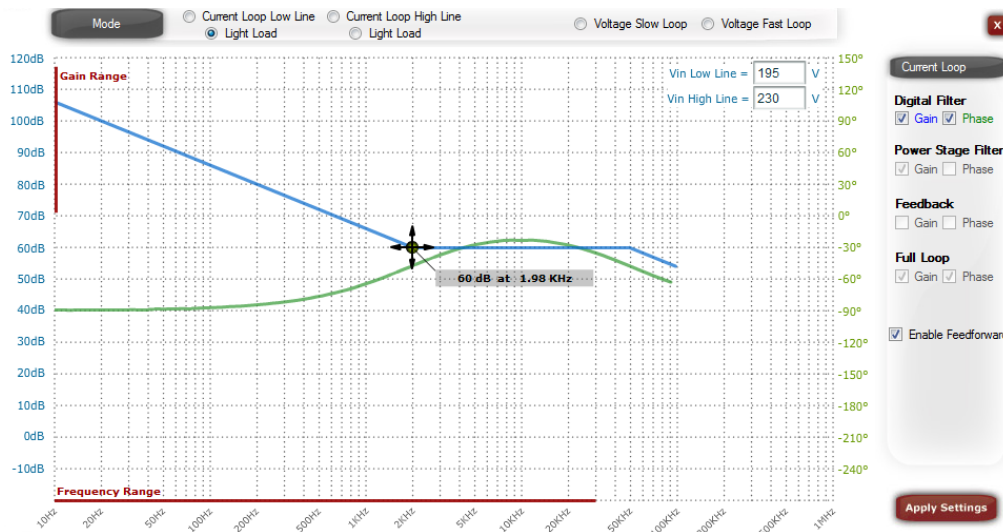


Figura 5.11: Diagramma di Bode fornito dal software dell'ADP1048 per impostare i parametri del controllo all'interno dell'anello di corrente in modalità *light load mode*

## 5.2.2 Loop di tensione

La prima modalità che è stata implementata è la *Normal mode*, dal nome è la risposta del filtro in condizioni di funzionamento normali. Riportando sul grafico i valori del loop analogico si avrà un guadagno totale dato dalla somma tra  $k$  e il guadagno del loop mostrato in Fig.5.12. La frequenza di crossover è di  $10\text{Hz}$  e il margine di fase, pari a  $40^\circ$ , è sufficientemente alto.

È possibile anche attivare la modalità di funzionamento chiamata *Phase Shedding*, quando la potenza d'uscita diminuisce troppo il segnale PWM viene disattivato fino a quando non vengono raggiunti livelli di potenza più elevati, in questo modo si aumenta l'efficienza del sistema poichè le perdite dei MOSFET vengono minimizzate.



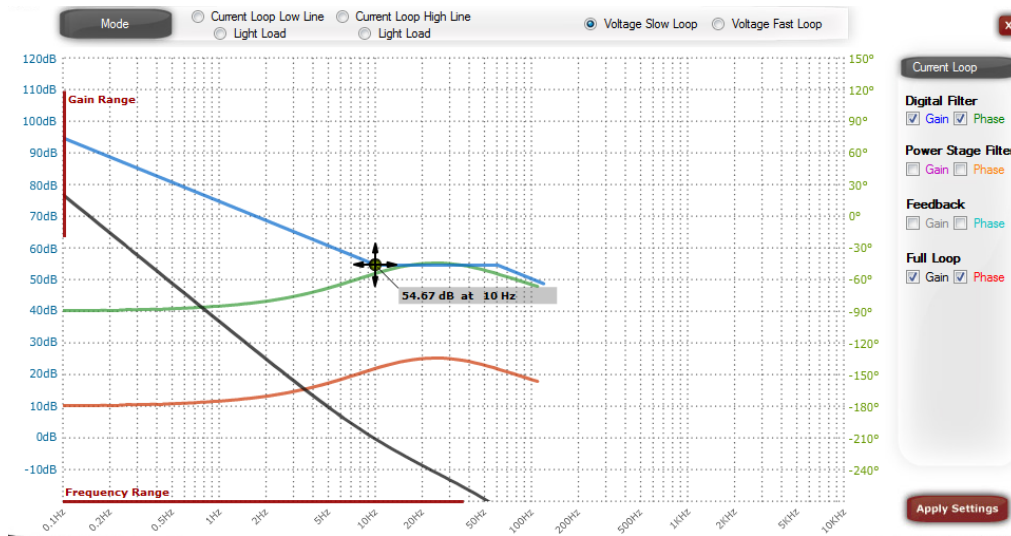


Figura 5.12: Diagramma di Bode fornito dal software dell'ADP1048 per impostare i parametri del controllo all'interno dell'anello di tensione in modalità *normal mode*

L'attivazione dell'anello di retroazione in modalità fast loop può avvenire ogni qualvolta la tensione di uscita scende sotto il limite inferiore concesso ed è necessario riportarla dolcemente e velocemente ai livelli richiesti (si veda la Fig.5.13). È possibile disattivare questa modalità di funzionamento, regolare la tolleranza sulla tensione di uscita e il tempo di attivazione tramite il registro 0xFE24 presente all'interno della memoria EEPROM dell'ADP1048. A differenza della modalità normale la frequenza di campionamento della tensione di uscita viene impostata a 1.5kHz rendendo la valutazione della tensione più definita come mostrato in fig(a).5.13.

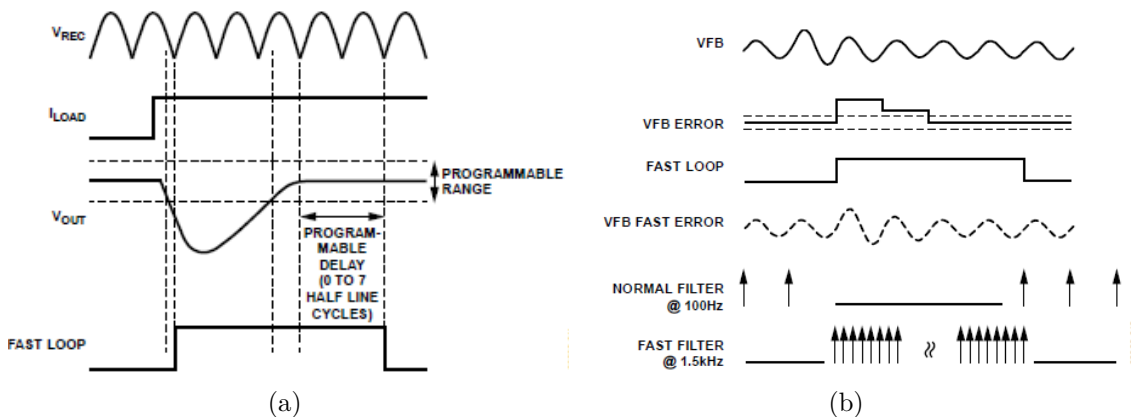


Figura 5.13: Funzionamento e caratteristiche *Fast loop mode*[33]

Questo loop è usato di default nella modalità di accensione del PFC per controllare al meglio eventuali oscillazioni dell'uscita.

## 5.3 Scheda di controllo

La scheda di controllo viene collegata a quella di potenza tramite un connettore a 16 pin e contiene diversi componenti: il controllore digitale, un regolatore di tensione lineare a bassa caduta di tensione, in inglese abbreviato in LDO (Low DropOut), varie protezioni per eventuali scariche elettrostatiche, in inglese abbreviato con ESD (Electrostatic Discharge), vari led di segnalazione e degli spazi predisposti per l'inserimento di filtri da applicare a eventuali segnali rumorosi provenienti dalla scheda di potenza.

Nelle seguenti sottosezioni verrà descritto il funzionamento dei vari componenti utilizzati. Per il controllore digitale si descriverà la sua struttura generale senza entrare nei particolari delle funzionalità che verranno approfondite nella sezione successiva.

### 5.3.1 ADP1048

L'integrato, il cui schema a blocchi interno e la piedinatura sono mostrati in Fig.5.14, è composto da 24 pin, ha diversi ingressi collegati a dei convertitori ADC indipendenti, ha due uscite PWM, un sistema di comunicazione  $I^2C$ , due uscite open drain per gestire messaggi di output, un segnale di uscita digitale per gestire il primo avvio del PFC.

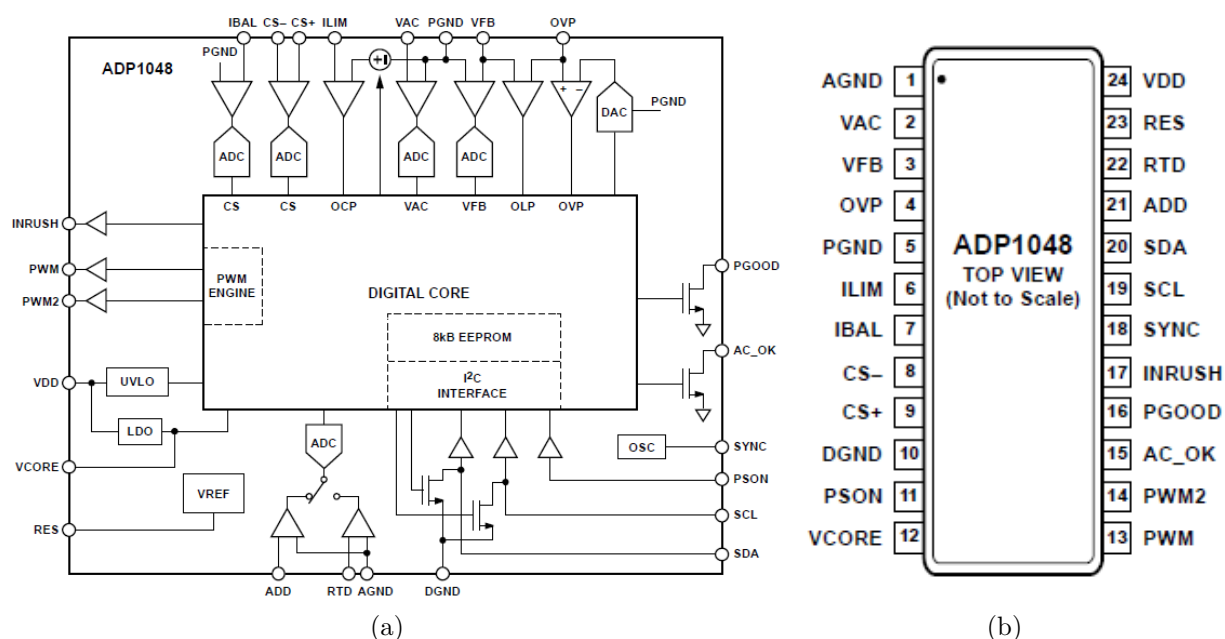


Figura 5.14: Diagramma funzionale e dei pin dell'ADP1048[33]

All'interno dell'integrato è presente un EEPROM dove vengono salvati i tutti i dati che il controllo può ricevere e comunicare, sono compresi anche i valori di settaggio del controllore e dei vari flag di controllo. L'architettura è composta da una macchina a stati, mostrata in Fig.5.15, che a seconda dello stato dei flag di controllo svolge delle azioni. I vari flag sono raggruppati nello Standard PMBus Flags è possibile programmare la risposta del sistema a seconda degli stati di tali flag. La verifica degli errori e degli eventi avvenuti durante il normale funzionamento può essere effettuata tramite un apposito pannello di controllo o andando a verificare diversi registri all'interno della EEPROM come STATUS\_BYTE, STATUS\_WORD e altri.

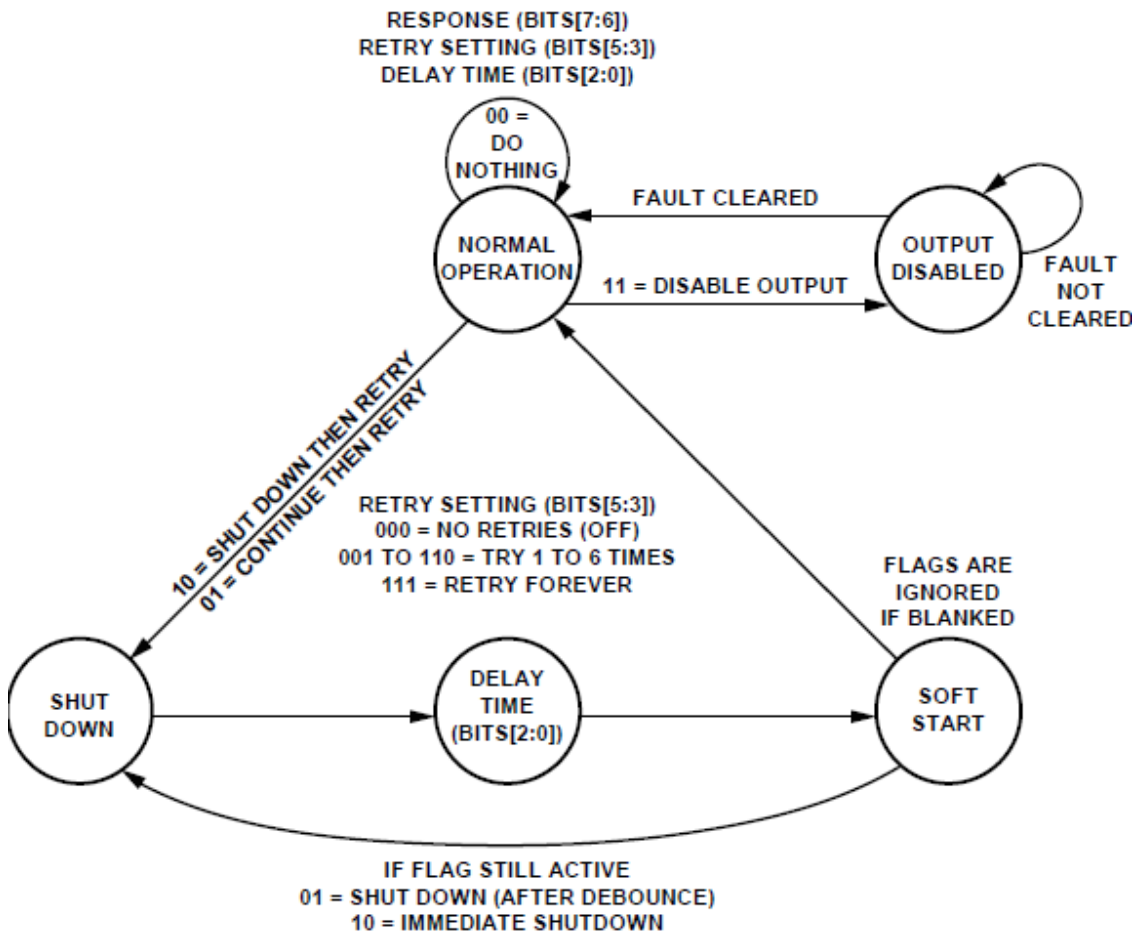


Figura 5.15: Flow chart controllo ADP1048[33]

### 5.3.2 Regolatore di tensione lineare

L'integrato che si occupa di fornire una tensione di alimentazione stabile all'ADP1048 è l'ADP3303, regolatore lineare LDO al quale un range della tensione d'ingresso

compreso tra i 5V e i 12V ed in uscita fornisce 3.3V (schematico applicativo in Fig.5.16). È possibile alimentare il circuito con due alimentazioni diverse, i diodi D1 e D2 garantiscono l'unidirezionalità dei due ingressi e i led D15, D16 e D6 indicano la presenza dell'alimentazione.

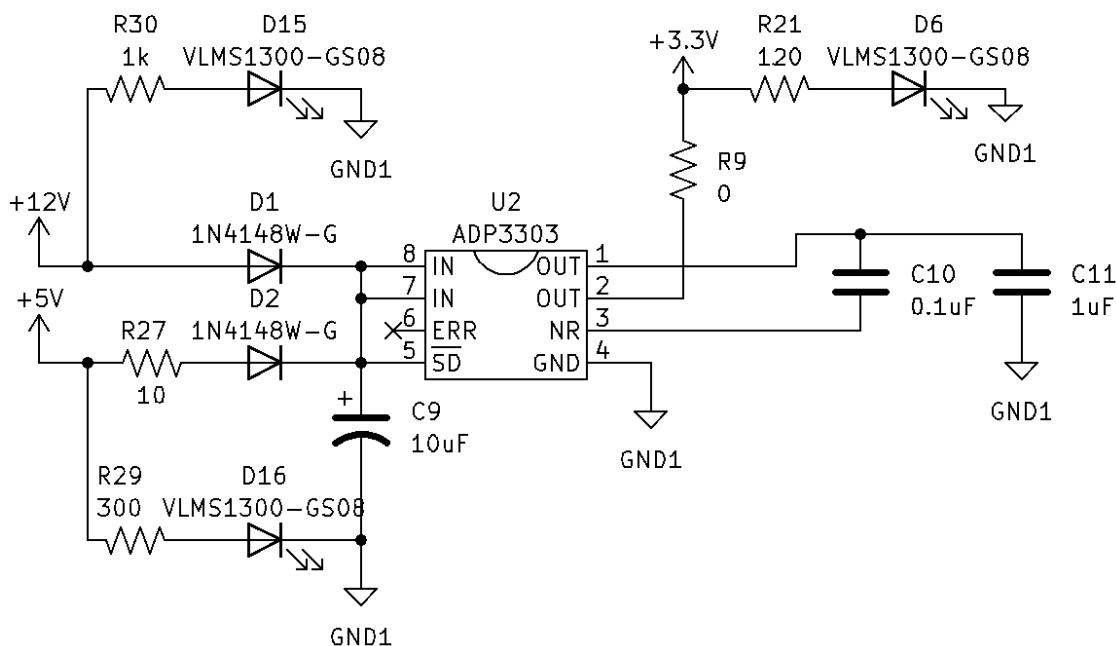


Figura 5.16: schematico ADP3303

Le resistenze R30, R27 ed R21 sono state dimensionate in modo da mantenere una corrente di 10mA nel ramo del led,  $R_{LED} = \frac{V_{ALIM} - V_D}{I_{LED}}$ .

## 5.4 Circuiti di condizionamento sulla scheda di potenza

### 5.4.1 Rivelatore di fase

Per utilizzare i due MOSFET della configurazione Bridgeless in modo da minimizzare le perdite è necessario rilevare la fase in cui si trova il sistema e il passaggio per lo zero della tensione d'ingresso. È stato implementato un rivelatore di fase tramite il comparatore ADCMP608 in Fig.5.17. La tensione d'ingresso viene riportata al comparatore ridotta a 3.3V dai diodi zener e dalle resistenze R3,R2,R19 ed R7. In breve, nel caso in cui AC\_IN+ fosse attiva sull'uscita del comparatore il segnale IBAL risulterebbe attivo, viceversa sarebbe pari a 0. I condensatori in parallelo alle resistenze R2 ed R7 formano dei filtri RC passabasso che stabilizzano la tensione

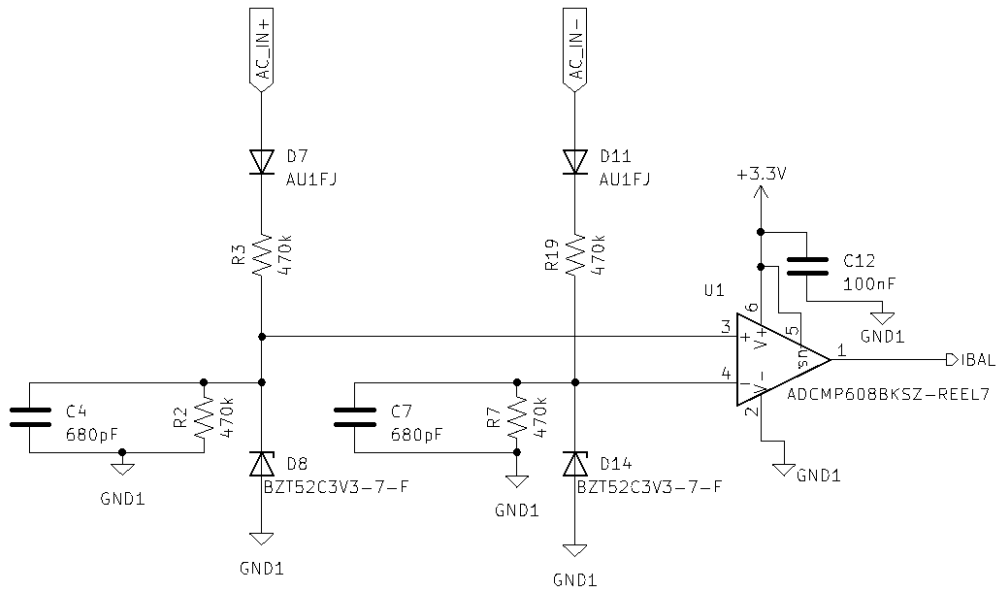


Figura 5.17: Schematico Rilevatore di fase

ed eliminano i rumori ad alte frequenze, la frequenza di taglio è di circa  $500\text{Hz}$ . La corrente che scorre nei rami delle due fasi è circa  $0.2\text{mA}$ , la potenza dissipata dai componenti può essere quindi trascurata in prima approssimazione.

Nella modalità Bridgeless il controllore usa il pin IBAL per capire quale fase è attiva, di conseguenza il MOSFET della fase inattiva viene mantenuto acceso in modo da ridurre al minimo le perdite di conduzione, Fig.5.18.

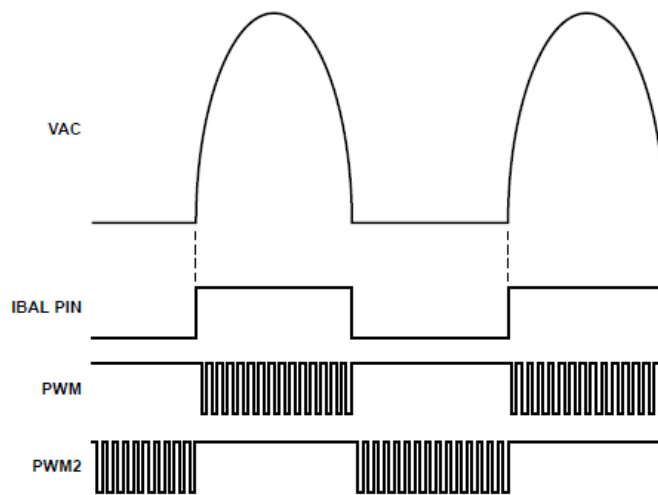


Figure 34. Bridgeless Boost Operation

Figura 5.18: Funzionamento controllo Bridgeless[33]

### 5.4.2 Tensione di uscita

La tensione di uscita viene riportata sui pin VFB e OVP, successivamente viene convertita tramite un ADC di tipo  $\Sigma-\Delta$  con una precisione di 11 o 10 bit, a seconda della frequenza a cui viene campionato il segnale. Il range d'ingresso è di (0-1,6V), la tensione viene riscalata tramite due partitori di tensione, il primo posizionato sulla scheda di potenza e il secondo sulla scheda di controllo (si veda la Fig.5.19). Come consigliato dal datasheet la tensione di lavoro è stata impostata intorno ad 1V, i due partitori assieme hanno un rapporto di  $\frac{11}{4010}$ , durante il funzionamento normale all'ingresso dell'ADC si avranno perciò 1.1V.

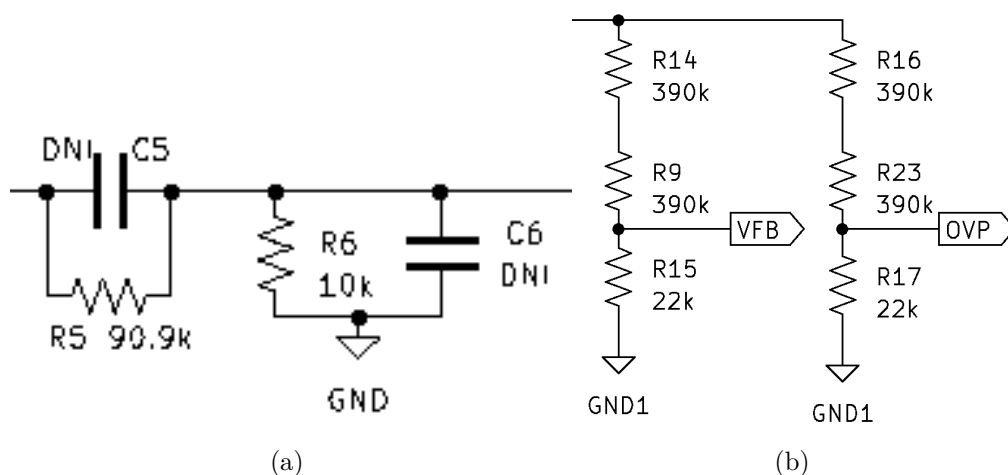


Figura 5.19: A destra il partitore della scheda di controllo, a sinistra quello della scheda di potenza

Il controllore digitale effettua tre diversi controlli sulla tensione di uscita: protezione da sovratensione accurata, protezione da sovratensione veloce, protezione anello aperto, abbreviata con OLP. I primi due controlli vengono effettuati su due pin diversi, per il primo VFB mentre il secondo OVP. Il tempo di risposta del primo è di mezzo ciclo della tensione d'ingresso mentre il secondo usa un comparatore con soglia programmabile dalla risposta più veloce possibile. Tutti i livelli delle soglie di controllo sono programmabili entro un certo range (si veda la Fig.5.20).

La protezione OLP compara le tensioni lette sui pin OVP e VFB e, nel caso in cui la differenza tra le due fosse maggiore di 100mV, significa che uno dei due partitori non funziona correttamente e differenti azioni possono essere programmate: spegnimento del PFC e attesa di un segnale di riavvio esterno chiamato PSON, spegnimento dei segnali PWM e riattivazione dopo che è stato eseguito un reset dei flag, spegnimento e riavvio automatico tramite una procedura denominata *soft start*.

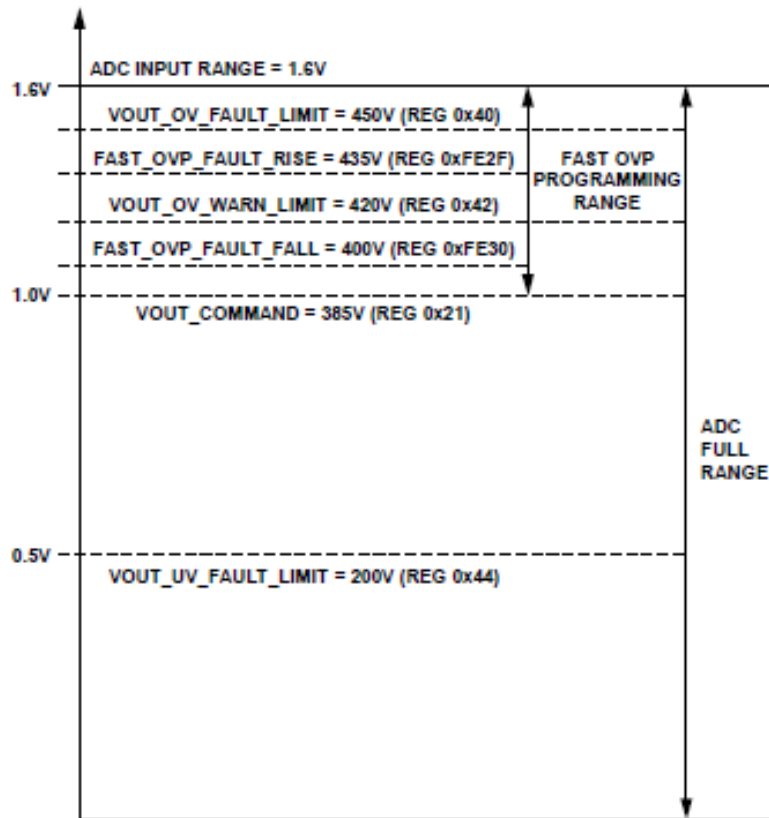


Figura 5.20: Soglie programmabili dei controlli di overvoltage[33]

### 5.4.3 Tensione d'ingresso

La tensione d'ingresso viene monitorata tramite il pin VAC che è collegato ad un ADC di tipo  $\Sigma - \Delta$ , il range d'ingresso è di (0-1.6)V. Anche in questo caso la precisione della misura è variabile, con una banda del loop di corrente pari a  $10kH_z$  si avrà un ENOB maggiore di 7 bit, si arriva a 10 bit con  $1kH_z$  di banda. Sul pin VAC è richiesta la tensione d'ingresso raddrizzata. Il circuito implementato in Fig.5.21 permette di riportare tramite i diodi D12 e D22 la semionda positiva e negativa sul partitore resistivo. Il rapporto impostato è (aggiungendo anche il secondo partitore presente sulla scheda di controllo)  $\frac{4}{979}$ . È stato aggiunto un diodo LED per rilevare la presenza della tensione d'ingresso.

Sono presenti diverse soglie programmabili basate valore RMS dell'ingresso come mostrato in Fig.5.22. In particolare ci sono due misurazioni rms, una media calcolata su più cicli consecutivi e una calcolata ogni mezzo ciclo, la seconda viene utilizzata per valutare il superamento delle soglie.



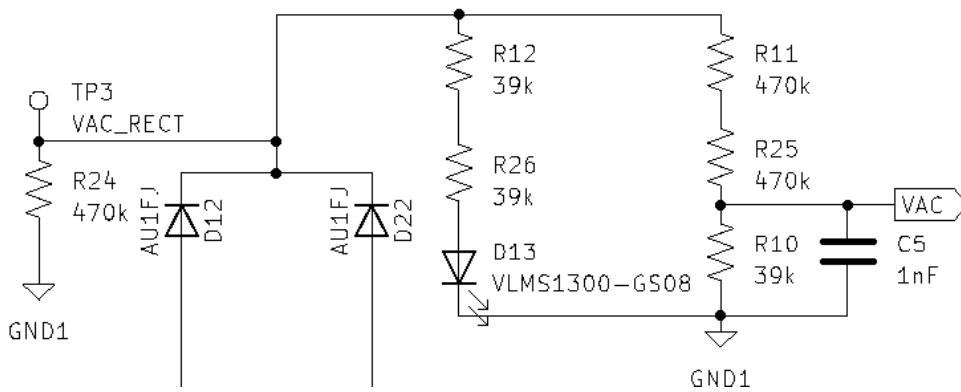


Figura 5.21: Schema del circuito per misura della tensione d'ingresso

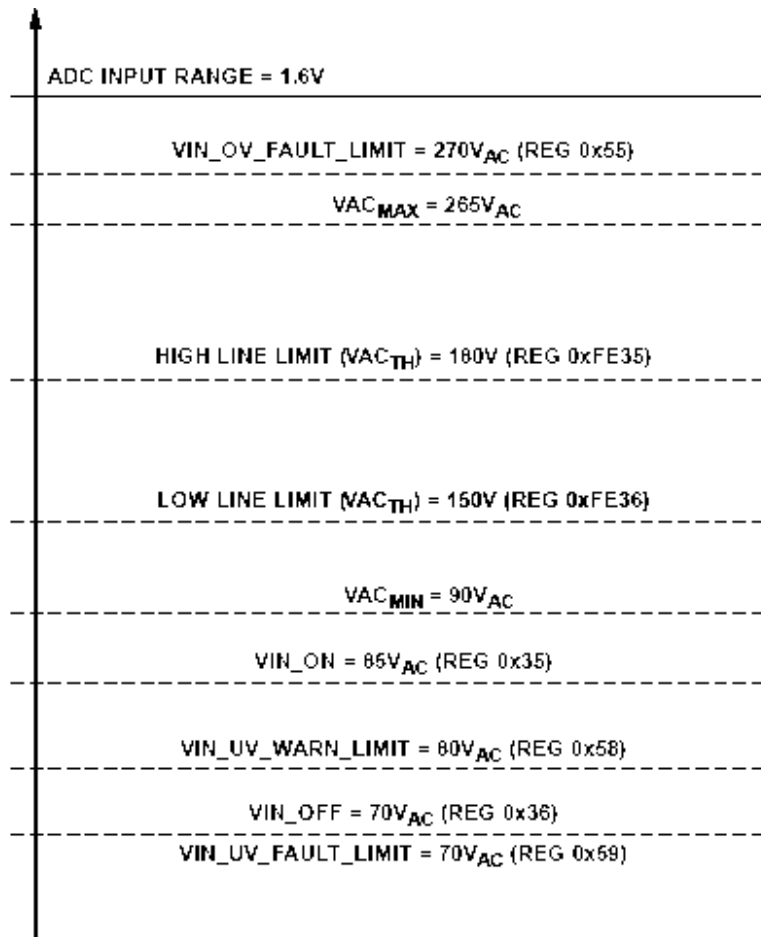


Figura 5.22: Soglie programmabili per il monitoraggio della tensione d'ingresso[33]

### 5.4.4 Monitoraggio delle correnti degli induttori e di ingresso

Le correnti vengono monitorate tramite 3 trasformatori di corrente (componenti denominati T5, T6 e T7 mostrati in Fig.6.4) posizionati sui rami dei due MOSFET e prima dei condensatori di uscita. I tre segnali ricostruiscono la corrente di ingresso raddrizzata su cui è calcolato il valore rms con le stesse modalità descritte per la tensione. Per sommare le tre correnti è stato necessario riportare i singoli segnali su un'unica resistenza di sense, il circuito di monitoraggio delle correnti è mostrato in Fig.5.23. I diodi entrano in conduzione solo quando la corrente proveniente dal trasformatore a cui è collegato è presente, viceversa impediscono alle altre correnti di scorrere. I pin di ingresso dell'ADP1048 (Fig.5.14) che vengono usati per leggere i valori di corrente sono CS+, CS- e ILIM. Nel circuito mostrato in Fig.5.23, CS+ è collegato al ground perchè il verso della corrente sarà negativo di conseguenza, la tensione sulla resistenza di sense avrà il segno opposto; con questa configurazione si avrà quindi una tensione positiva tra CS+ e CS- come richiesto nel datasheet. In parallelo a R5, la resistenza di sense nella Fig.5.23, è presente un filtro per le alte frequenze ovvero oltre i  $60kHz$ .

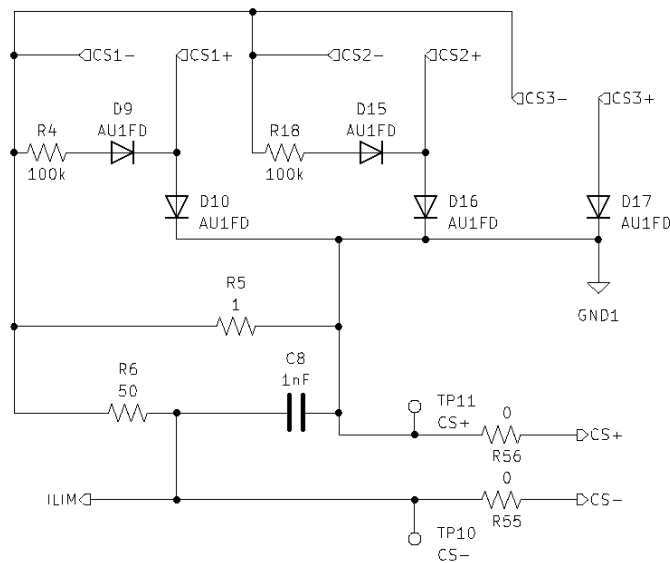


Figura 5.23: Schema circuito di sense della corrente

I pin CS+ e CS- sono collegati ad un ADC  $\Sigma - \Delta$  con ingresso differenziale e guadagno e offset regolabili come mostrato in Fig.5.24, la precisione è la stessa del convertitore usato per la tensione d'ingresso. Le diverse soglie di controllo sono collegate al valore rms proveniente da questi due pin. Il fondoscala del convertitore può essere impostato a 500mV o 750mV. Per valutare quale valore di fondoscala sia meglio selezionare si calcola il valore massimo di corrente che può essere letto sui

rami dei MOSFET di potenza del Bridgeless PFC (componenti denominati Q1 e Q2 mostrati in Fig.??) a seconda fondoscala selezionato,  $I_{MAX} = \frac{N \cdot V_{FONDOSCALA}}{R_5}$  dove N è il rapporto tra le spire del secondario con quelle del primario. Selezionando 500mV è possibile leggere fino a  $I_{MAX} = \frac{50 \cdot 0.5V}{1\Omega} = 25A$ , è necessario quindi impostare un valore di fondoscala pari a 750mV, in questo modo è possibile leggere fino a 37.5A.

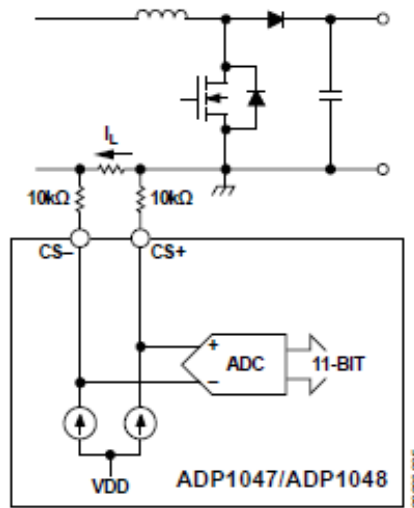


Figura 5.24: Esempio di circuito di sense della corrente[33]

Il pin ILIM in Fig.5.25 è collegato ad un comparatore sul quale è possibile modificare soglia di comparazione e l'offset. Il suo segnale è direttamente collegato al controllo delle sovracorrenti veloce, se viene superata tale soglia i segnali PWM vengono disattivati indipendentemente dall'azione che è stata programmata tramite software.

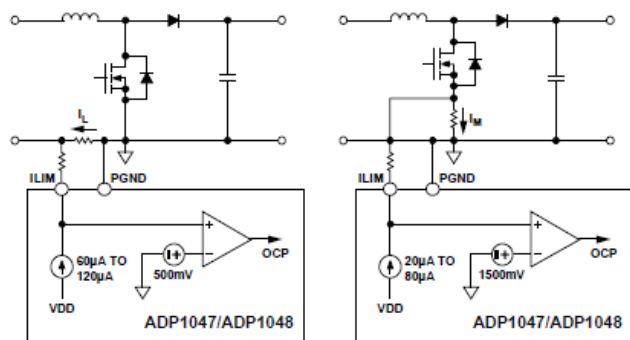


Figura 5.25: Esempio del circuito di sense della corrente collegato al pin ILIM[33]

I resistori da 10kΩ che devono essere aggiunti ai pin non sono presenti nelle figure poichè sono stati inseriti nella scheda di controllo.



## Capitolo 6

# Realizzazione del prototipo

Il prototipo del Bridgeless PFC è composto da 2 schede: scheda di potenza, progettata nel capitolo 3, e scheda di controllo progettata nel capitolo 5. Per la realizzazione degli schematici e dei PCB è stato usato KiCad7.0[36], software open source scelto per diverse motivazioni: possibilità di includere schematico e stampato nello stesso progetto, possibilità di usufruire, all'interno dello stesso ambiente di progettazione, di diversi strumenti di calcolo che affiancano l'utente nella fase di progettazione del PCB, ad esempio il calcolo della dimensione dei fori passanti e delle piste in base alla potenza che devono sopportare, infine la possibilità di creare i file Gerber direttamente dal PCB.

I componenti principali usati nelle due schede sono elencati nella tab.6 (la componentistica a cui si fa riferimento è mostrata in Fig.6.1, Fig.6.4, Fig.6.5, Fig.6.6 e Fig.6.7). Per velocizzare la realizzazione dei PCB le regole di disegno delle singole schede sono state importate dal sito dell'azienda al quale ci si è appoggiati per produrre le schede[37].

<b>Componente</b>	<b>Codice dispositivo</b>	<b>Produttore</b>
Controllore digitale, U1	ADP1048ARQZ-R7	Analog Devices
LDO, U2	ADP3303ARZ-3.3	Analog Devices
Diodi per la protezione ESD	BAS70-04-G	Vishay
Condensatori elettrolitici di uscita	MAL225957471E3	Vishay
Condensatore ceramico di uscita, C6	MKP385527063JPI2T0	Vishay
Diodi di startup, D5	VS-16CDU06-M3	Vishay
Diodi di potenza, D1-D4	VS-E5TX3006THN3	Vishay
MOSFET di potenza, Q1 e Q2	SiHF068N60EF	Vishay
Induttori di potenza, L1, L2, L5-L8	tj9	Vishay
Induttore di modo comune, FL1	IHCM2321AAEG900N10	Vishay
Induttori filtro EMI, L3, L4, L9, L10	IHLP6767DZER4R7M01	Vishay
SCR, Q3 e Q4	VS-25TTS08-M3	Vishay
Gate driver, U3 ed U4	VO3120	Vishay
Amplificatore operazionale, U1	ADCMP608BKSZ-REEL7	Analog Devices
Trasformatori di corrente, T5-T7	PE-68210NL	Pulse Electronics

## 6.1 Scheda di controllo

### Schematico

La scheda di controllo è stata realizzata per poter programmare il controllore digitale, denominato U1 in Fig6.1, in separata sede rispetto alla scheda di potenza, in questo modo è anche possibile cambiare più facilmente la parte di controllo, ad esempio nel caso in cui dovesse guastarsi o fosse disponibile una versione più aggiornata del controllo. Nella scheda di prototipo sono state aggiunte, dove necessario, le protezioni ESD rappresentate dai componenti D3, D4, D5, D7-D14. In parallelo all'alimentazione dell'integrato è stato posizionato il condensatore di disaccoppiamento C12. Essendo una scheda di prototipazione si è predisposto lo spazio per aggiungere dei filtri RC sui pin d'ingresso di U1 che possano minimizzare eventuali rumori provenienti dalla scheda di potenza, ad esempio la coppia C5-R5 e C6-R6

diventerebbe un filtro passa banda nel caso si volessero aggiungere i condensatori C5 e C6.

L'integrato U2 mostrato in Fig.6.1 rappresenta il regolatore lineare a bassa caduta di tensione, i diodi led D15, D16 e D6 vengono usati per segnalare la presenza dell'alimentazione. J1 e J2 rappresentano i connettori con i quali il circuito di controllo può comunicare con la scheda di potenza e con una qualsiasi interfaccia di comunicazione I2C.

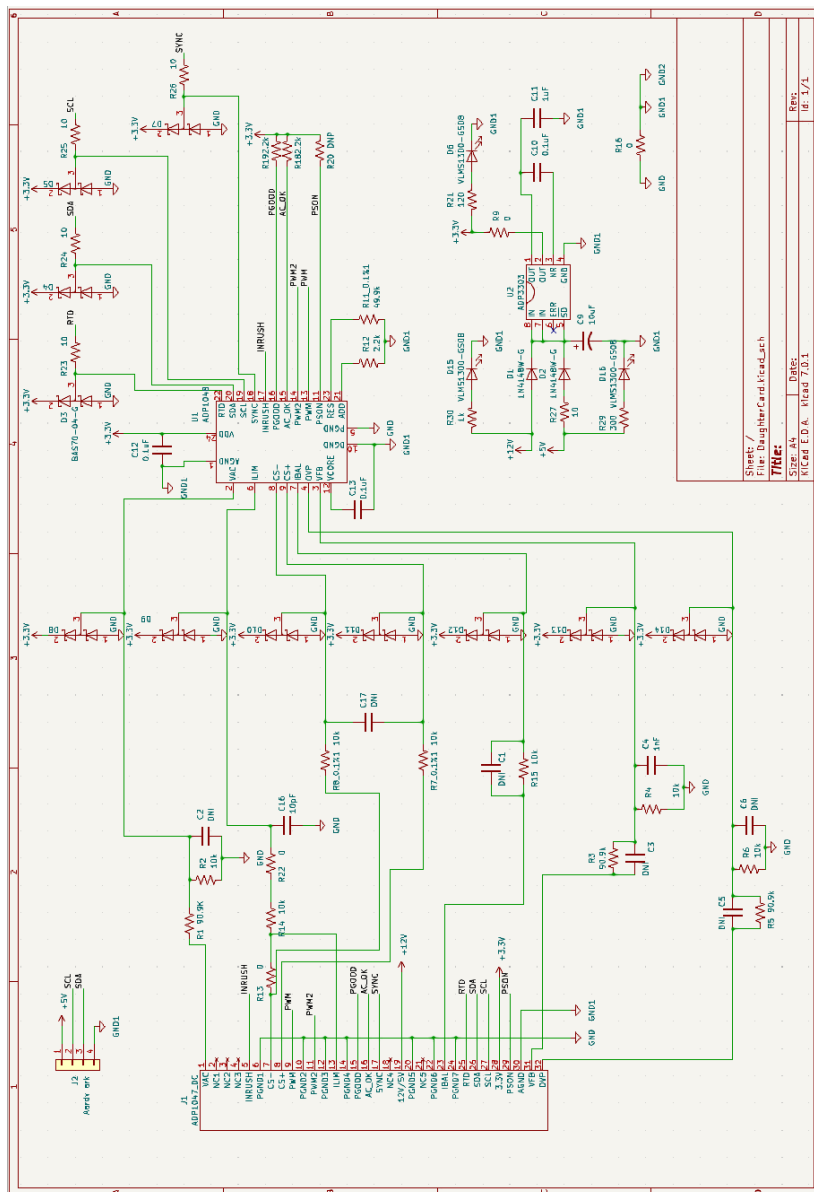


Figura 6.1: Schematico scheda di controllo.

## Circuito stampato

Per la realizzazione del PCB è stata utilizzata una scheda multistrato a 4 piani. Si è scelta una scheda multistrato perché permette di utilizzare un piano di massa continuo che aiuta ad minimizzare i problemi di crosstalk ed EMI che possono sorgere nei circuiti che lavorano con frequenze superiori al kHz. Ogni layer ha una specifica funzione, partendo dal piano superiore la scheda è suddivisa in: piano dei segnali (mostrato in Fig.6.10(a)), piano di massa (mostrato in Fig.6.10(c)), piano di alimentazione (mostrato in Fig.6.10(d)) e piano dei segnali (mostrato in Fig.6.10(b)). Nella fase di sbrogliatura del PCB è stata data priorità alle piste che devono connettere i segnali CS+, CS-, SDA ed SCL, esse sono state disegnate più corte possibili e parallele, in questo modo si minimizza l'influenza del rumore che potrebbe essere sommato ai segnali che trasportano.

In Fig.6.8 si mostra l'aspetto previsto della scheda in 3D e la scheda reale montata.

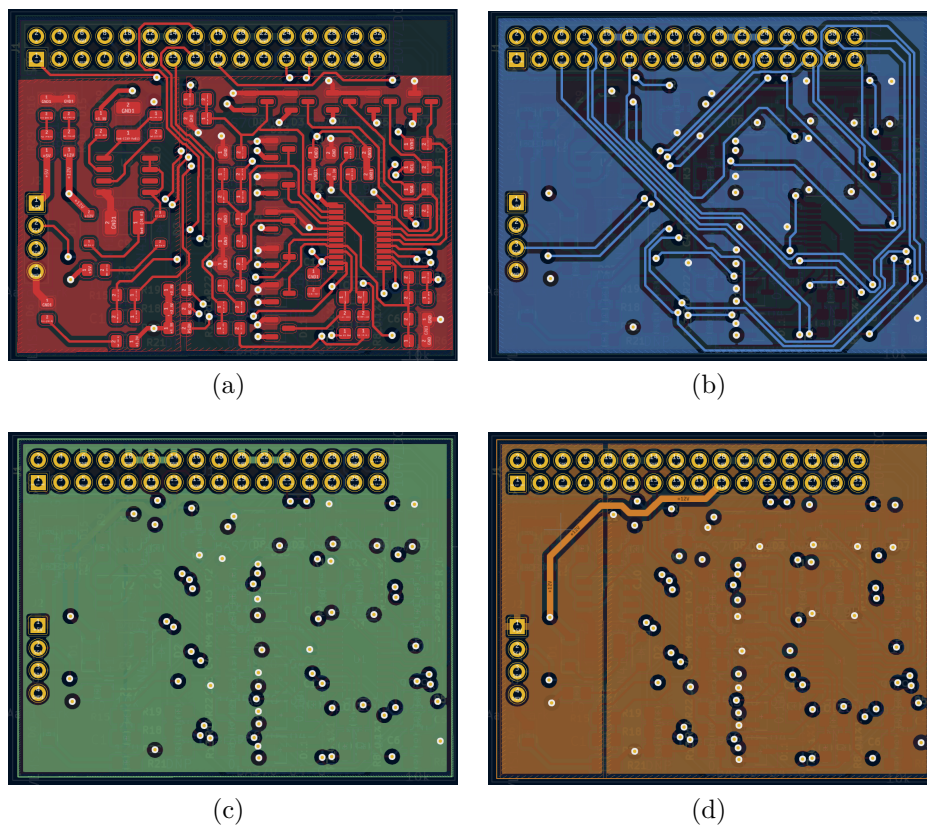


Figura 6.2: PCB scheda di controllo vista 2D di ogni piano.



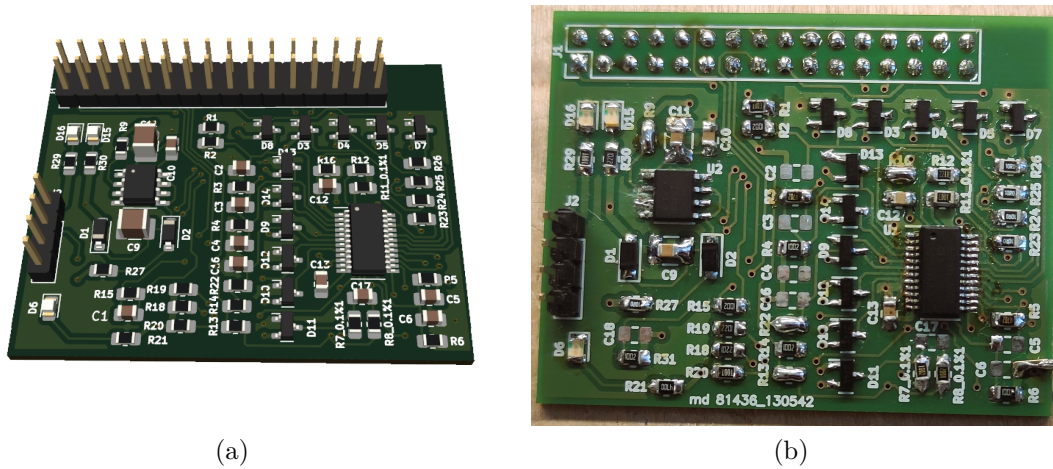


Figura 6.3: Vista 3D della scheda di controllo virtuale(a) e fisica(b).

## 6.2 Scheda di potenza

### Schematico

Il circuito della scheda di potenza è stato disegnato su 4 fogli diversi suddivisi per funzione: circuito di potenza mostrato in Fig.6.4, circuito d'ingresso con filtro EMI e alimentazione dei circuiti secondari riportato in Fig.6.5, circuiti di pilotaggio visualizzabili in Fig.6.6, circuiti di misura illustrati in Fig.6.7.

Lo schematico principale, il foglio denominato circuito di potenza, racchiude anche le altre sezioni della scheda sotto forma di blocchi con ingressi ed uscite (si veda Fig.6.4). Diverse decisioni sono state prese durante la realizzazione dello schematico, di seguito si elencheranno le più importanti. La massima tensione sopportata dai singoli resistori SMD usati in questo progetto è di 200V, le coppie di resistori R12-R26, R11-R25, R14-R9 ed R16-R23 (mostrati in Fig.6.4) sono stati posizionati in serie per dimezzare la caduta di tensione che ciascun componente ha ai suoi capi. Diversi punti di verifica, denominati TP sono stati aggiunti per poter effettuare le misure di tensione in modo più agevole sulla scheda fisica. Le coppie R66-C26 e R65-C25 sono degli snubber che possono essere aggiunti a posteriori in caso di necessità. La tensione VAC viene raddrizzata usando solo due diodi, D22 e D21 mostrati in Fig.6.4, invece di utilizzare il ponte di Graetz.

Nello schematico riportato in Fig.6.5 sono presenti: un primo convertitore DC-DC Flyback in alto a sinistra, un secondo convertitore DC-DC in alto a destra, il filtro EMI in basso a destra e il connettore di collegamento della scheda di controllo in basso a sinistra. Il secondo convertitore DC-DC è stato aggiunto per sostituire il

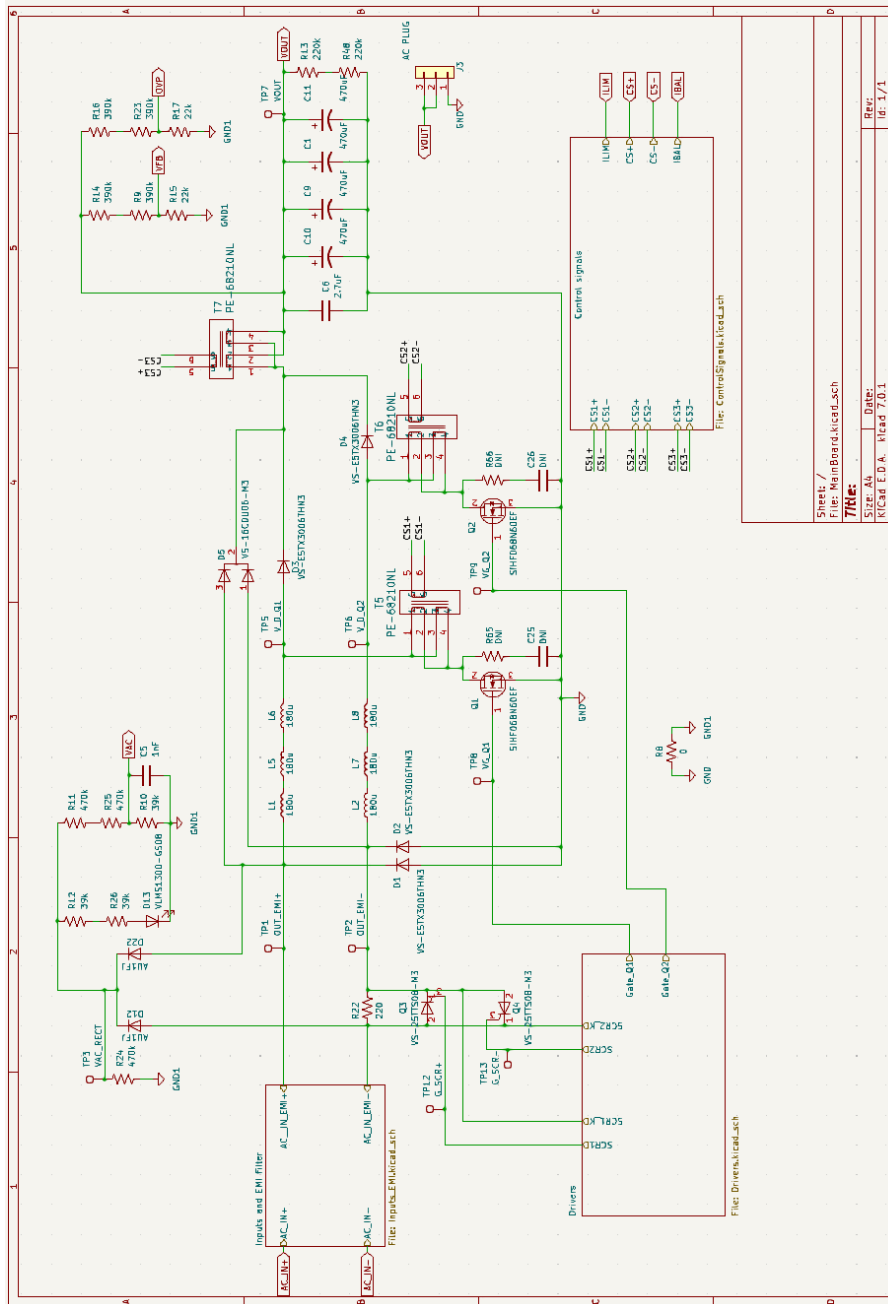


Figura 6.4: Schematico della scheda di potenza, foglio raffigurante la sezione circuito di potenza.

primo in caso di malfunzionamento. L'interruttore denominato SW14 ha la funzione di pulsante di avvio manuale per la scheda di controllo.

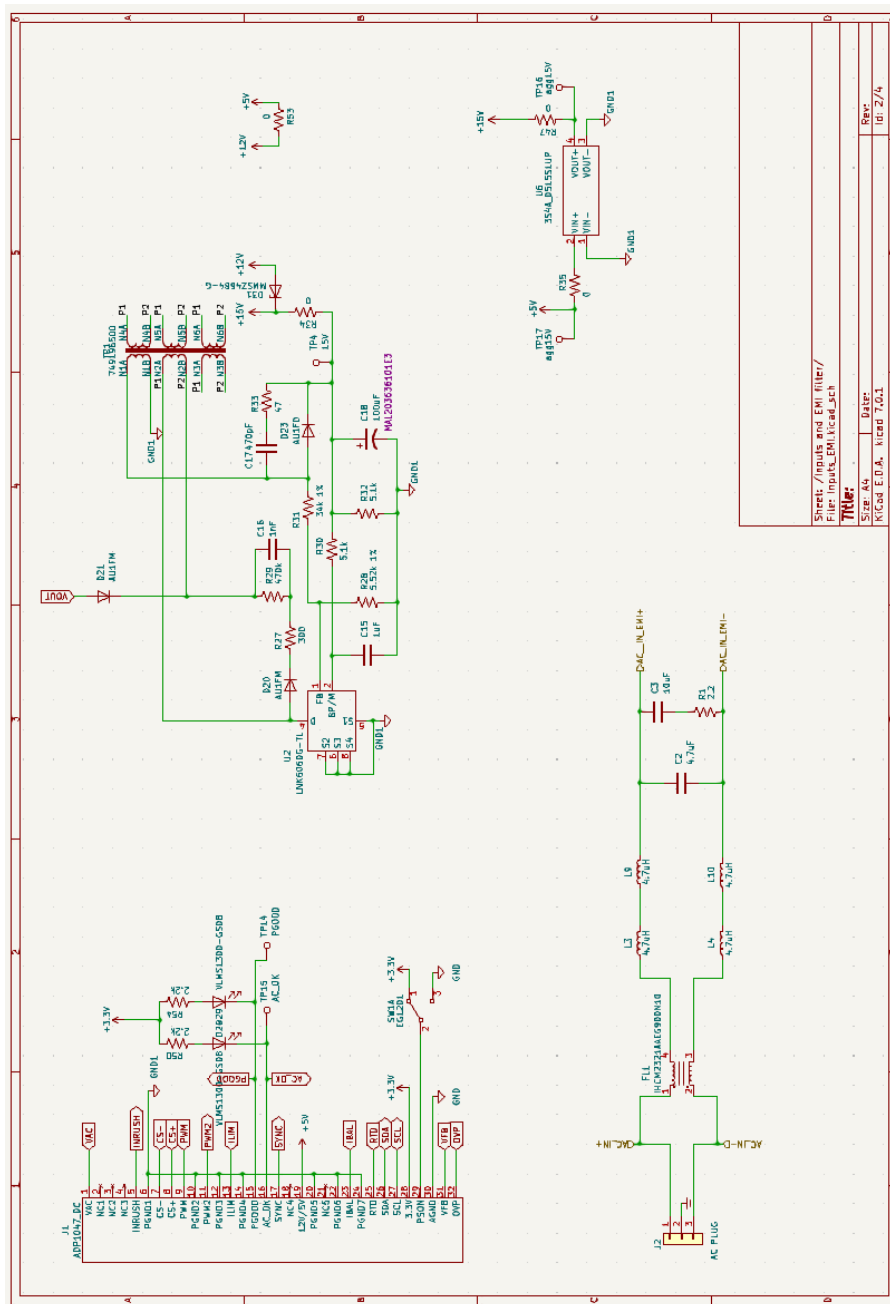


Figura 6.5: Schematico della scheda di potenza, foglio raffigurante la sezione ingresso con filtro EMI e alimentazione circuiti secondari.

I circuiti di pilotaggio illustrati in Fig.6.6 sono composti dai gate driver dei MOSFET di potenza Q1 e Q2 (mostrati in Fig.6.4) posizionati in basso a destra, dai

driver degli SCR in basso a sinistra e dal pilotaggio del relè in alto a sinistra, quest'ultimo ha la stessa funzione degli SCR ed è stato aggiunto per poter confrontare due diverse soluzioni circuitali che svolgono la stessa funzione.

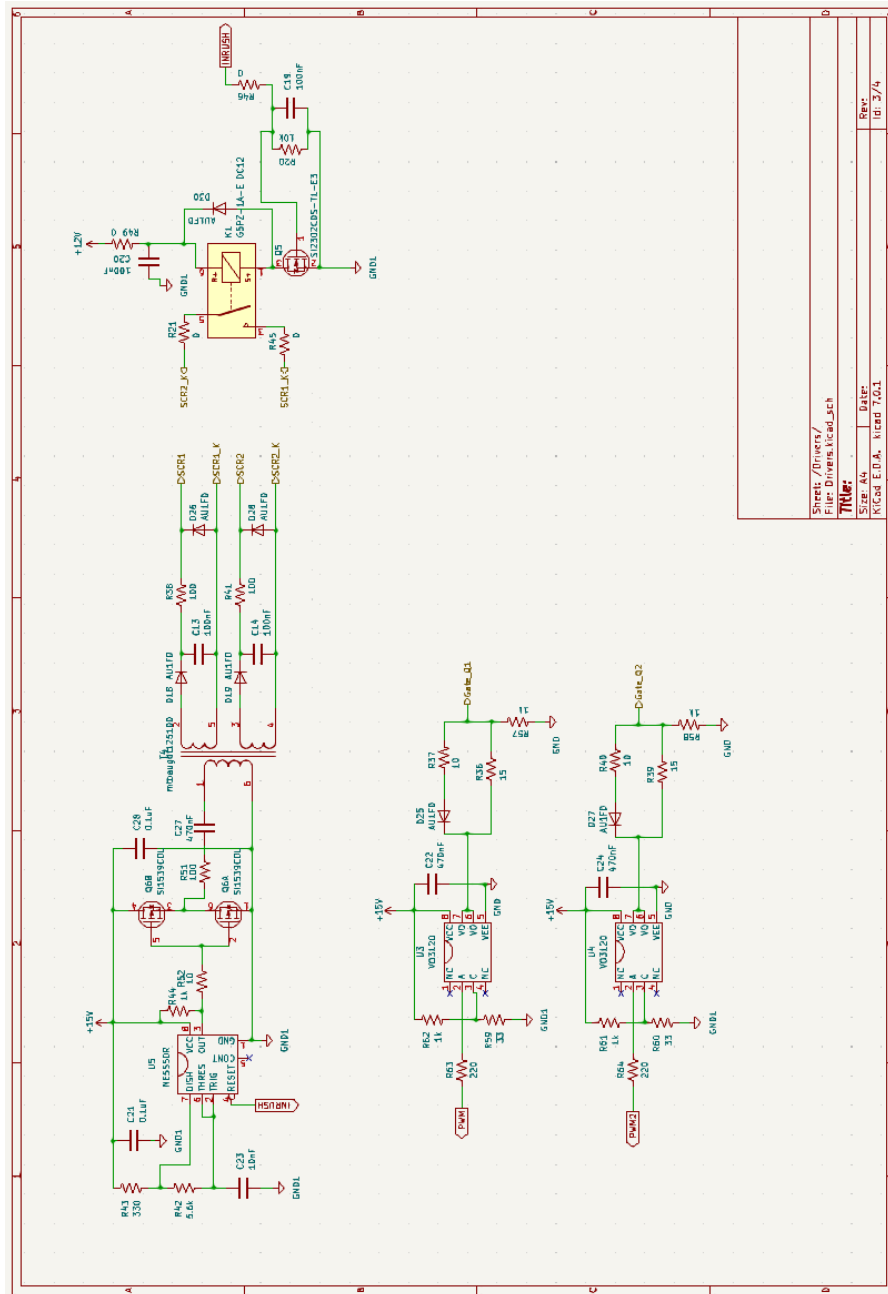


Figura 6.6: Schematico della scheda di potenza, foglio raffigurante i circuiti di pilotaggio.

Infine nello schematico mostrato in Fig.6.7 vi sono il circuito di sense della

corrente in basso a sinistra ed il rivelatore di fase in basso a destra.

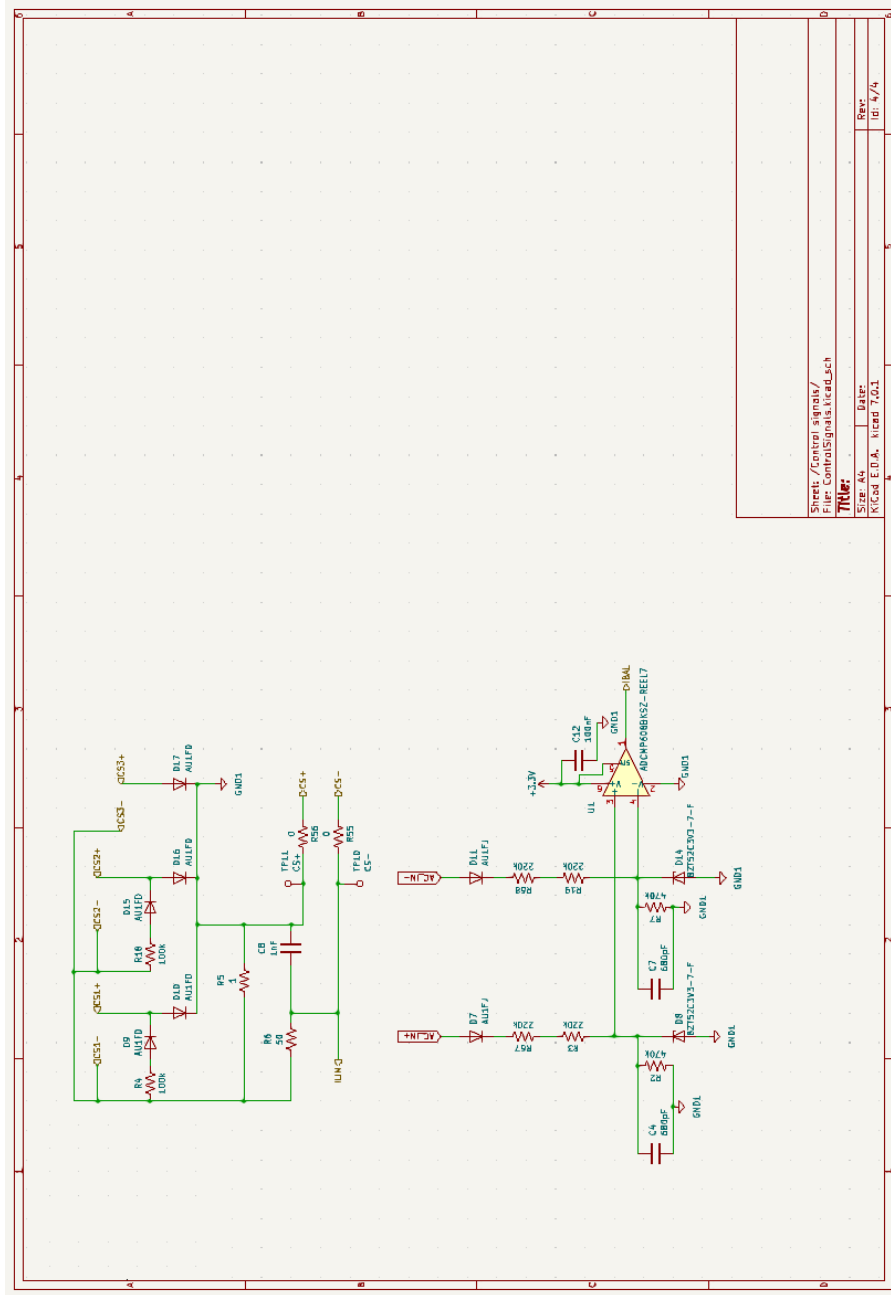


Figura 6.7: Schematico della scheda di potenza, foglio raffigurante i circuiti di misura.

## Circuito stampato

Per la realizzazione del PCB è stato usato un circuito stampato a doppia faccia. Il piano superiore è dedicato alle alimentazioni e ai segnali mentre nel piano inferiore sono stati posizionati i piani di massa della parte di potenza e di segnale, entrambi i piani sono mostrati in Fig.6.10. Particolare attenzione è stata rivolta al disegno delle piste dei gate driver dei MOSFET Q1 e Q2, entrambe necessitano di un piano di massa sottostante continuo inoltre, le piste di connessione sono state realizzate della lunghezza minore possibile in modo da minimizzare i parassiti della pista stessa. I componenti di potenza sono posizionati sulla parte alta della scheda mentre la scheda di controllo e i circuiti di misura sulla parte bassa. La scheda virtuale in 3D è mostrata in Fig.6.8 mentre in Fig.6.9 sono evidenziati i vari circuiti secondari descritti precedentemente.

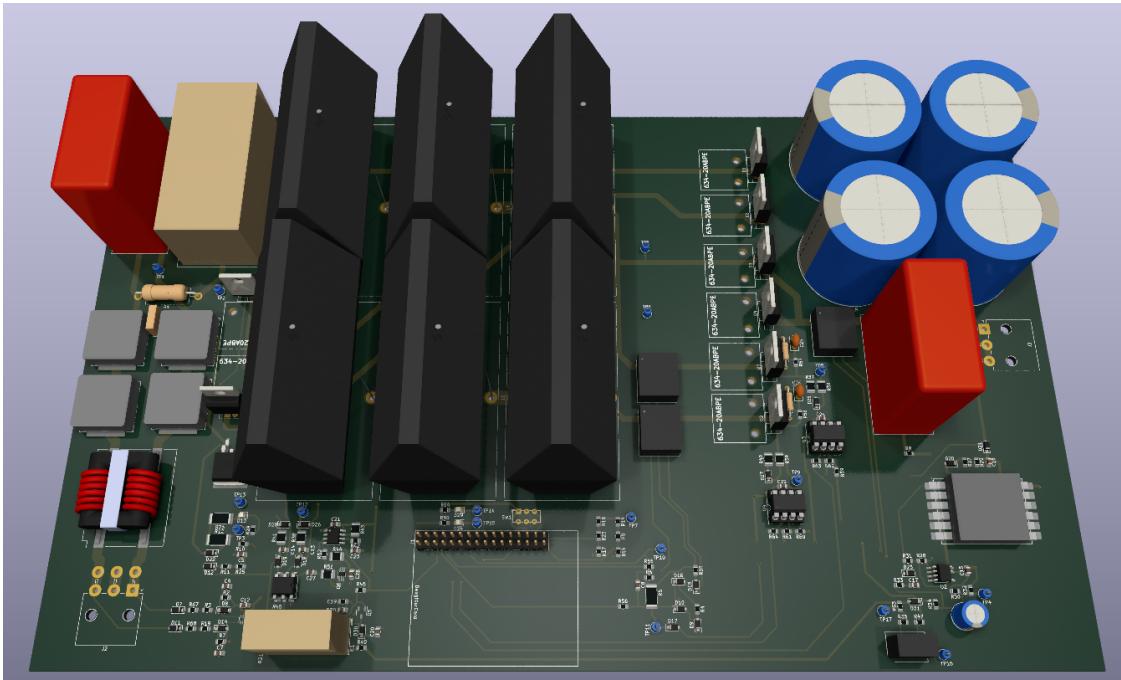


Figura 6.8: Vista 3D della scheda di potenza virtuale.

Procedendo dal basso verso l'alto in Fig.6.9 vengono evidenziati i vari circuiti che compongono la scheda: in verde il filtro EMI, in blu gli SCR con il loro circuito di pilotaggio, in giallo il circuito di misura della tensione d'ingresso (segnale VAC), in marrone il rivelatore di fase, in rosso il circuito per la misura della corrente degli induttori, in grigio i partitori per la misura della tensione d'uscita, in arancione i gate driver dei MOSFET di potenza ed infine in violetto l'alimentazione dei circuiti secondari.

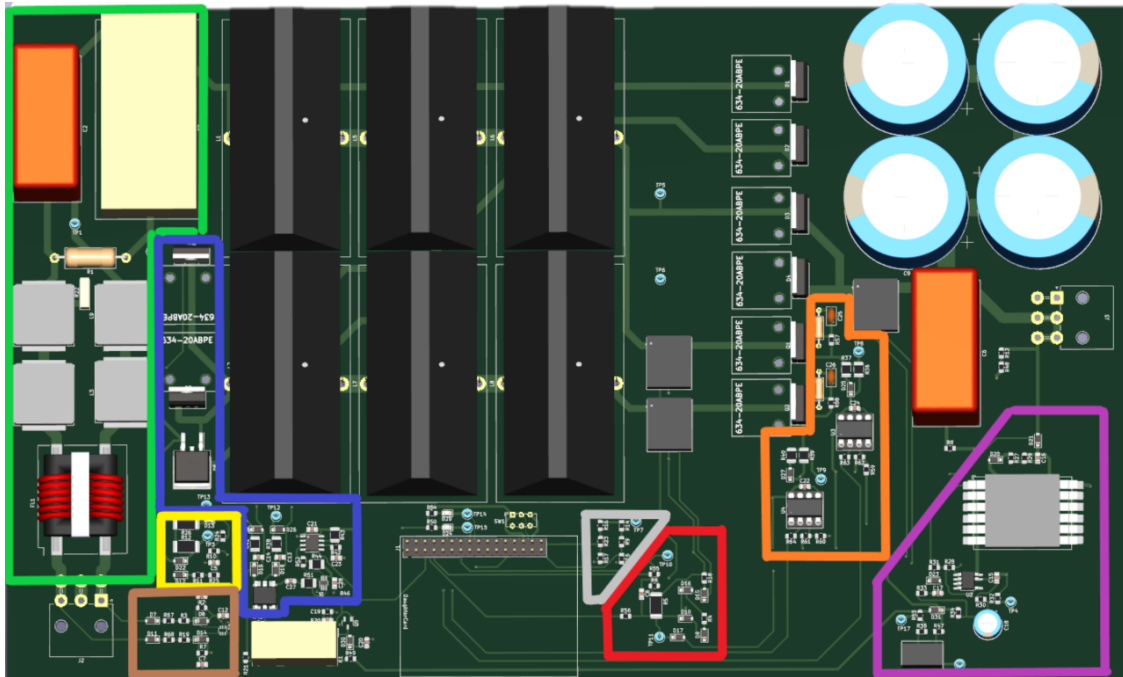


Figura 6.9: Vista 3D della scheda di potenza virtuale con circuiti secondari evidenziati.

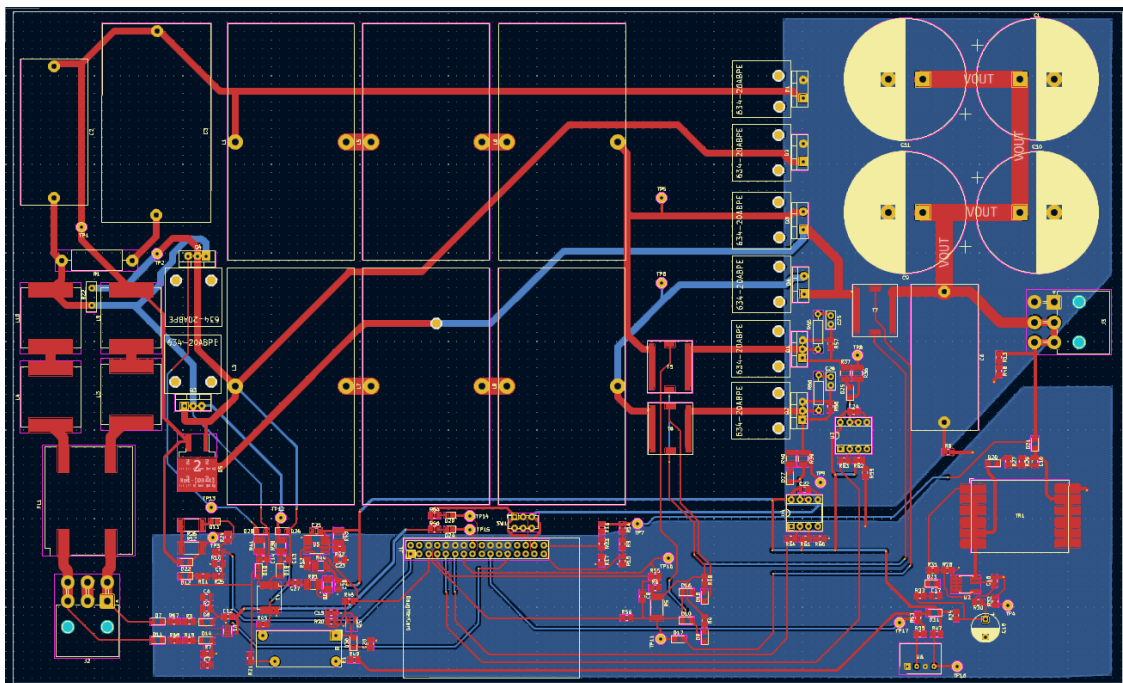


Figura 6.10: PCB della scheda di controllo vista 2D piano superiore ed inferiore.



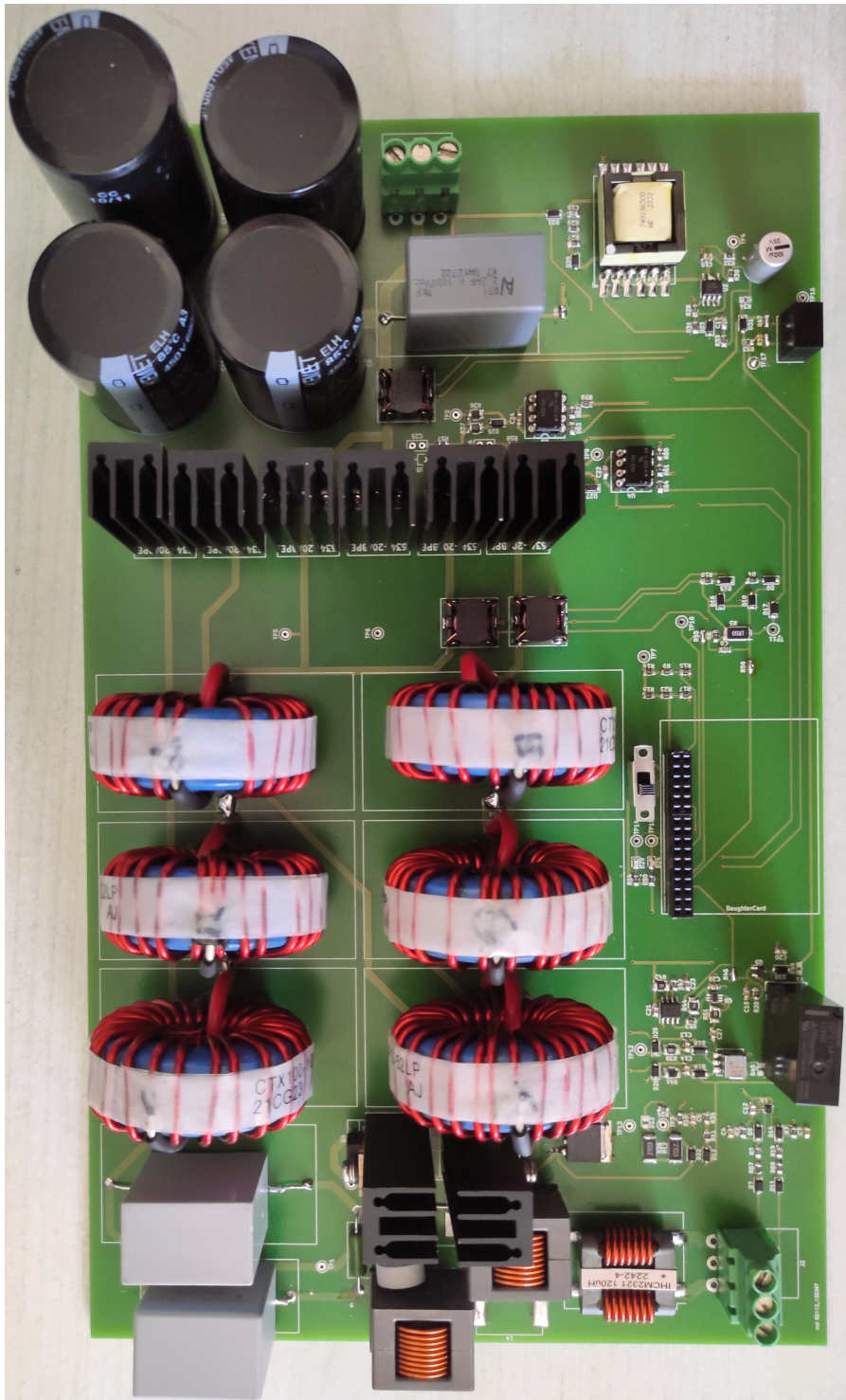


Figura 6.11: Scheda di potenza fisica senza scheda di controllo collegata.



## 6.3 Valutazione dei costi

Per valutare i costi di realizzazione della scheda di prototipo sono stati presi in considerazione i prezzi dei singoli componenti ordinati dai maggiori siti di distribuzione di componentistica elettronica (ad esempio il distributore DigiKey[38]), e le spese di fabbricazione delle schede. Il materiale non è l'unico fattore di costo nella realizzazione di una scheda elettronica, per poter stimare meglio il valore del prodotto finale bisognerebbe almeno includere il pagamento del team di progetto ed i costi di produzione e collaudo delle schede. Per semplicità di lettura nella tab.6.3 verranno omesse tutte le sigle dei componenti. La produzione degli stampati è stata effettuata dalla MD s.r.l.[37], i prezzi variano a seconda della scheda selezionata e della quantità di pezzi prodotti, per la produzione di un multistrato dalla dimensione di 49mm x 37mm vengono richiesti 65€ mentre per un doppiafaccia dalla dimensione di 192mm x 318mm il prezzo è di circa 70€. Sommando i prezzi dei componenti e della produzione delle schede il costo totale di un prototipo arriva a 500€. Supponendo che vengano create di 3 versioni di schede di prototipazione con almeno una copia di ogni versione il prezzo totale sale a 3000€. Tale spesa verrà aggiunta al costo di produzione del prodotto finale.

Dopo la fase di prototipazione e di ingegnerizzazione della scheda si arriverebbe ad ottenere il prodotto finale, è possibile stimare l'andamento del prezzo della scheda commercializzata in relazione al numero di pezzi prodotti nel caso in cui vengano utilizzati gli stessi componenti montati sulla scheda di prototipazione. In Fig.6.12 viene riportata la stima dei costi di produzione della scheda effettuata con le precedenti premesse.

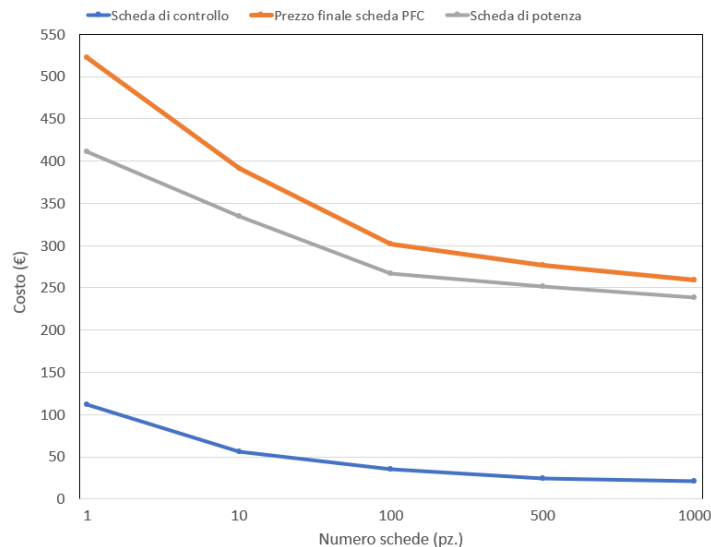


Figura 6.12: Stima dei costi di produzione della scheda di prototipazione senza l'aggiunta del costo di progettazione.

La scheda di potenza, il prezzo è mostrato in Fig.6.12, ha un valore più elevato rispetto alla scheda di controllo, su una piccola produzione di 1000 pezzi il costo individuale sarebbe di 240€. Prendendo come esempio un condizionatore da 4kW con un prezzo medio commerciale di 1000€ è possibile notare che l'impatto dei costi della scheda elettronica sul un prodotto finale è sostanzioso, per una produzione di 1000 pezzi risulta essere del 24%. Per diminuire tale impatto sarebbe opportuno effettuare un'analisi più dettagliata sui componenti più costosi cercando di individuare delle sostituzioni che abbiano un buon compromesso tra la prestazione e il costo. Aumentando il numero di schede prodotte il costo per singolo componente diminuirebbe ulteriormente rendendo il prezzo finale della scheda più competitivo.

<b>Scheda di controllo</b>	-
<b>Componenti</b>	<b>Prezzo per singola unità (€)</b>
1x controllore digitale	9.2
1x LDO	4.3
11x diodi per la protezione ESD	0.4
12x condensatore ceramico smd	0.2
3x diodo led smd	0.3
2x connettore(16 e 4 pin)	10.2
22x resistore smd	0.2
<b>Scheda di potenza</b>	-
4x condensatore elettrolitico di uscita	16
1x condensatore ceramico di uscita	8
3x condensatore filtro EMI	15
20x condensatore ceramici smd	0.2
1x diodi di startup	1.2
4x diodo di potenza	2
3x diodo led smd	0.3
3x diodo zener 3.3V	0.2
19x diodo smd	0.1
2x MOSFET di potenza	4.3
2x mos npn bassa potenza	0.4
6x induttore di potenza	15
1x induttore di modo comune	9.4
4x induttore filtro EMI	3.6
2x SCR	4.1
2x gate driver	1.8
1x amplificatore operazionale	2.4
3x trasformatore di corrente	3.5
3x connettore (16 pin e alimentazione)	10
1x Relè 12V	4
1x switch analogico	0.8
1x generatore di onda quadra, NE555	0.5
1x integrato per l'alimentazione 15V	1
1x trasformatore smps	9.3
1x resistore di potenza 5W	1.3
52x resistore smd	0.2



## Capitolo 7

# Collaudo della scheda di prototipo

### 7.1 Montaggio scheda

L'assemblaggio della scheda è stato eseguito in quest'ordine: montaggio alimentazione 15V e verifica della sua corretta distribuzione ai circuiti secondari, montaggio circuiti secondari e verifica dei gate driver, del circuito di pilotaggio per gli SCR, del rivelatore di fase, dei partitori per il monitoraggio delle tensioni e dei circuiti di sense delle correnti. I componenti di potenza e i connettori sono stati saldati per ultimi ed infine è stata installata la scheda di controllo sull'apposito connettore a 16 pin, in Fig.7.1 si mostra la prima versione del prototipo.

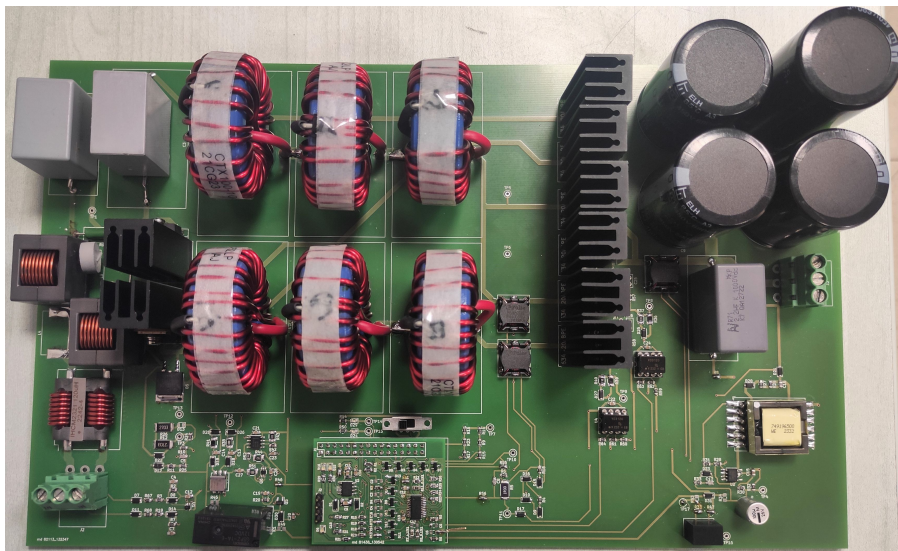


Figura 7.1: Scheda di prototipo.

## 7.2 Misura di efficienza

La scheda di prototipo è stata cablata nella camera climatica mostrata in Fig.7.2. Prima di procedere con le misurazioni è stata aggiunta una ventola di raffreddamento alimentata tramite un generatore esterno. Impostata una temperatura ambiente di  $30^{\circ}\text{C}$  è stato possibile ricavare la misura di efficienza tramite gli strumenti raffigurati in Fig.7.3, in particolare sono stati usati: il misuratore di potenza modello Zimmer LMG500, un alimentatore AC programmabile modello APM SP300VAC5000W, un carico attivo.

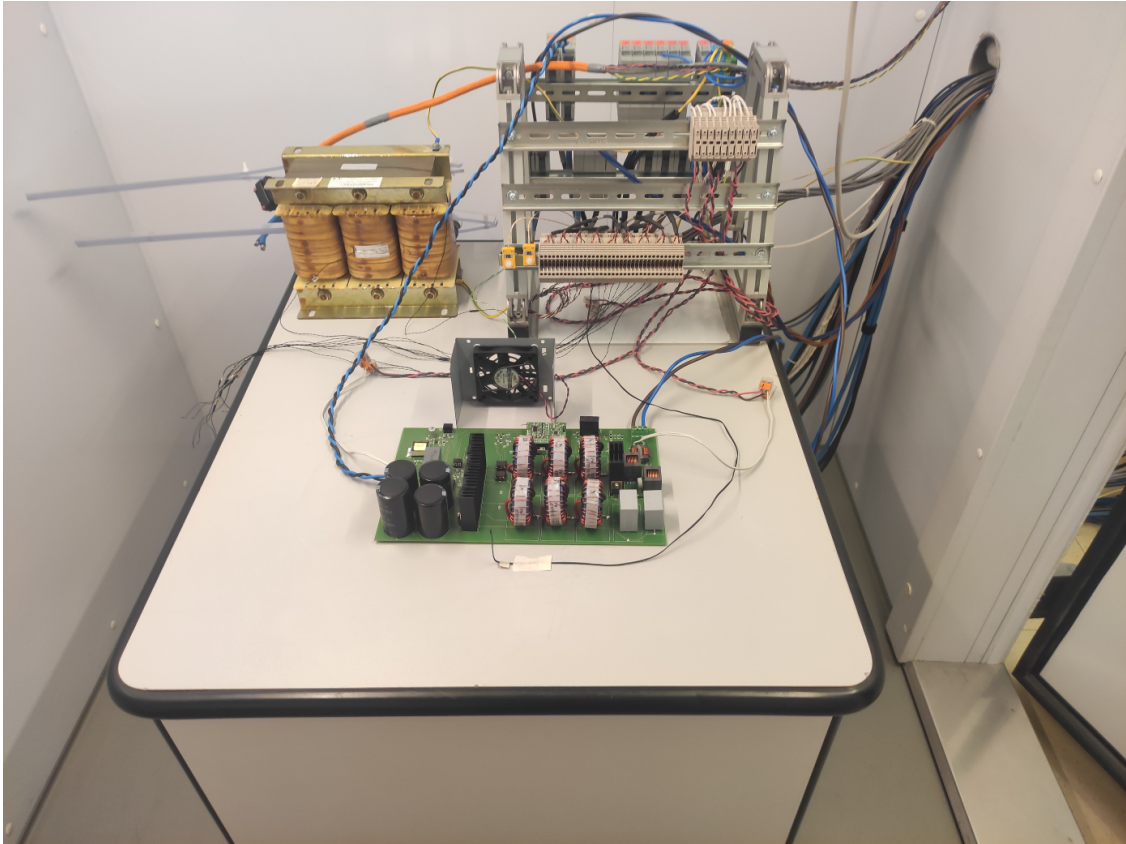


Figura 7.2: Cablaggio scheda di prototipo nella camera climatica.

La curva ricavata è riportata in Fig.7.4, l'efficienza ottenuta è più bassa rispetto a quella teorica perchè non sono stati presi in considerazione diversi elementi: le perdite AC degli induttori di potenza, la dissipazione di potenza degli SCR, la temperatura di utilizzo dei componenti potrebbe essere diversa da quella stimata infatti i calcoli erano stati effettuati con una  $T_{\text{AMB}} = 22^{\circ}\text{C}$ , le perdite introdotte dal filtro EMI.

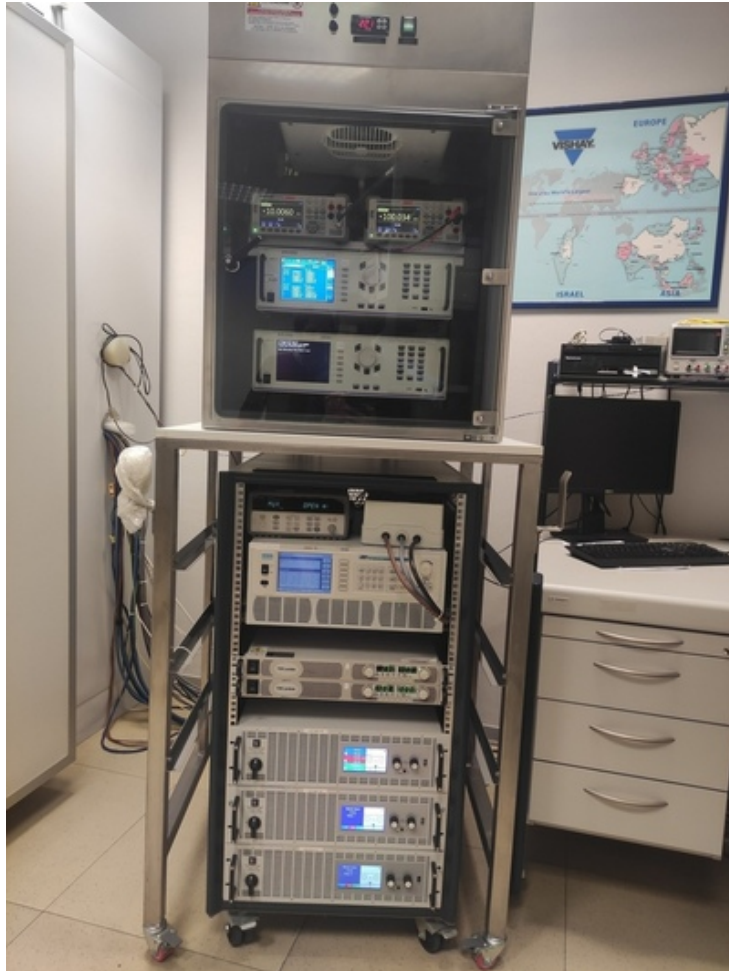


Figura 7.3: Postazione degli strumenti di misura utilizzata per ricavare la curva dell'efficienza.

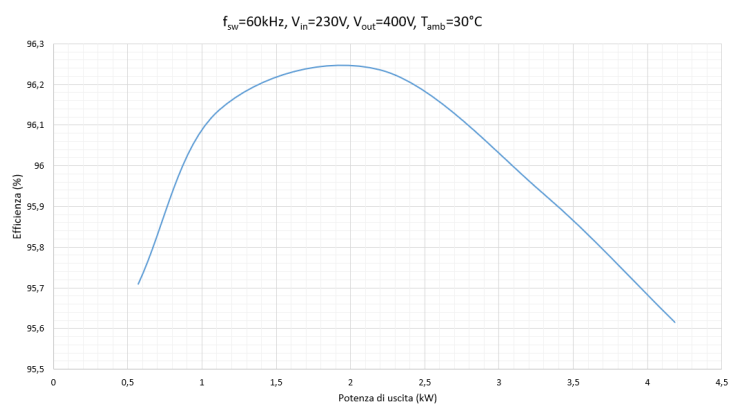


Figura 7.4: Curva raffigurante la misura di efficienza eseguita sulla scheda di prototipo.





## Capitolo 8

# Conclusioni e progetti futuri

Il bridgeless PFC con controllo digitale realizzato nella presente tesi ha l'obiettivo di fornire una potenza d'uscita di 4kW mantenendo un'efficienza superiore al 95%. Tramite l'analisi dello stato dell'arte sono state confrontate diverse tipologie di PFC derivate dal convertitore DC-DC Boost. È emerso che le configurazioni più usate oltre al bridgeless PFC sono il PFC boost classico, il back to back PFC e il interleaved PFC, le ultime due vengono usate anche senza ponte raddrizzatore in ingresso. È stato scelto il bridgeless PFC poiché oltre ad eliminare il ponte di Graetz in ingresso utilizza il minor numero possibile di componenti attivi (due transistori e due diodi di potenza), minimizza gli stress elettrici dei componenti suddividendone l'utilizzo tra la fase negativa e positiva dell'ingresso ed infine presenta caratteristiche EMI discrete.

La progettazione del bridgeless PFC è stata svolta partendo dalle equazioni teoriche, i risultati dei calcoli effettuati sono stati verificati a posteriori tramite software di simulazione come PSIM e LTspice, infine sono stati scelti i componenti che meglio si addicevano ai requisiti richiesti. La stima dell'efficienza teorica del PFC, mostrata in Fig.8.1, è stata calcolata escludendo le perdite AC degli induttori e la potenza dissipata dal filtro EMI. Il valore di efficienza raggiunto alla potenza di 4kW è del 97.7%. Tale risultato si deve all'eliminazione del ponte di Graetz in ingresso e alla riduzione degli stress dei componenti.

La versione finale del prototipo è composta da una scheda di potenza e una scheda di controllo mostrate nel capitolo 7 nella Fig.7.1. L'efficienza misurata del prototipo, mostrata in Fig.8.2, risulta essere almeno 2 punti percentuali minore a quella teorica pur rimanendo superiore al 95%, tale decremento è dovuto all'omissione di alcuni elementi del bridgeless PFC nella stima teorica dell'efficienza e ad una possibile variazione della temperatura di esercizio dei componenti.

In conclusione è possibile affermare che il bridgeless PFC dimostra di poter raggiungere livelli di efficienza superiori al 95% per potenze di 4kW sia dal punto di vista teorico che pratico. La scelta dei componenti potrebbe essere rivista in modo da rendere il prezzo di produzione della scheda più competitivo ed adatto alle

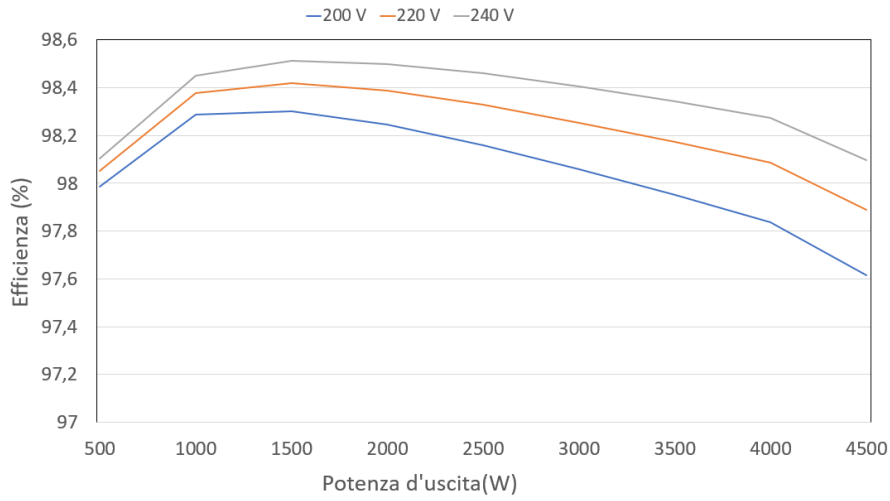


Figura 8.1: Efficienza teorica calcolata.

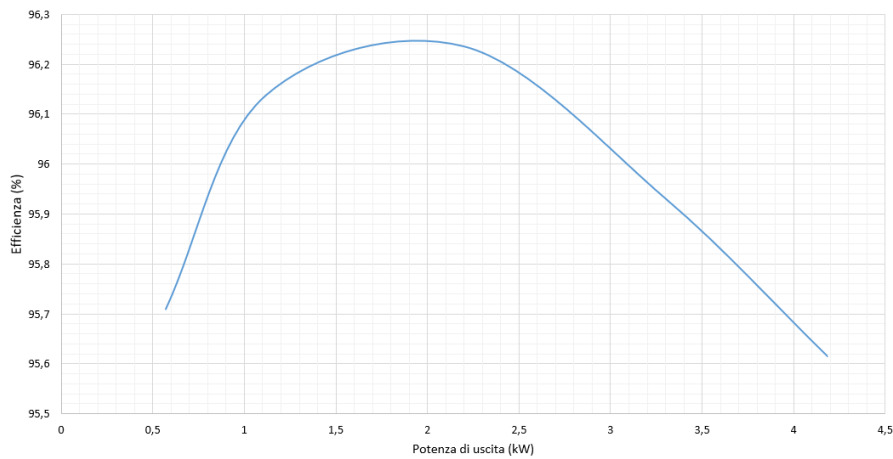


Figura 8.2: Efficienza reale misurata.

esigenze del mercato a cui è indirizzata. La possibilità di utilizzare componenti elettronici economici (pur mantenendo un'efficienza elevata) e l'implementazione di un controllo di tipo digitale sono le caratteristiche che permettono al bridgeless PFC presentato in questa tesi, di fornire una valida alternativa ai tradizionali PFC presenti in commercio, montati all'interno di apparecchi elettronici che richiedono potenze pari a 4kW come ad esempio diversi modelli di condizionatori. In particolare l'implementazione del controllo digitale permette di monitorare lo stato e i consumi del sistema elettronico in uso ed inoltre offre la possibilità di effettuare degli aggiornamenti senza costi aggiuntivi per migliorare le prestazioni della scheda a seconda dell'utilizzo e dei componenti usati.

I progetti futuri riguarderanno la verifica sperimentale più approfondita del prototipo, tramite il confronto tra i dati teorici e quelli reali sarà possibile migliorare il progetto iniziale sviluppandone una nuova versione. In particolare si valuteranno le forme d'onda dei componenti più elettricamente stressati, verranno analizzati i segnali della scheda di controllo, qualora fossero condizionati dal rumore proveniente dalla scheda di potenza si aggiungeranno dei filtri negli spazi già predisposti in fase di progettazione, si compareranno le diverse soluzioni circuitali implementate per scegliere l'alternativa più efficiente, ad esempio verrà effettuato il confronto tra il circuito a relè e il circuito a SCR.

Verranno effettuate misure dei valori di THD e di compatibilità elettromagnetica per controllare che vengano rispettati gli standard internazionali che regolamentano la qualità dell'alimentazione elettrica.

La versione migliorata della scheda potrà quindi includere solo le soluzioni circuitali più efficienti che sono state implementate sulla versione precedente, avrà la possibilità di alimentare un sistema di raffreddamento attivo in modo autonomo e avrà un'efficienza globale migliore grazie ad un utilizzo più accurato del controllore digitale. La sua versione finale potrà poi essere una delle potenziali schede che verranno inserite all'interno della gamma di condizionatori da 4kW.



# Bibliografia

- [1] Horizon Europe, [https://research-and-innovation.ec.europa.eu/funding/funding-opportunities/funding-programmes-and-open-calls/horizon-europe\\_en](https://research-and-innovation.ec.europa.eu/funding/funding-opportunities/funding-programmes-and-open-calls/horizon-europe_en), European commission, ultimo accesso 20-08-2023.
- [2] IEC 61000-3-2, *Electromagnetic compatibility (EMC) - Part 3-2: Limits*, BSI Ed.2:2001.
- [3] , *IEEE Standard for Harmonic Control in Electric Power Systems*, IEEE Std 519-2022 (Revision of IEEE Std 519-2014).
- [4] Musolino Francesco, *course slides of Power electronic* ,Politecnico di Torino, Dipartimento di Elettronica e Telecomunicazioni (DET), 2022.
- [5] Robert W. Erickson, Dragan Maksimović, *Fundamentals of Power Electronics* Second Edition, Springer New York, NY, 2001.
- [6] Yun-Sung Kim, Byoung-Kuk Lee, Julian W. Lee, *Topology Characteristics Analysis and Performance Comparison for Optimal Design of High Efficiency PFC Circuit for Telecom*, IEEE, 2011.
- [7] Fariborz Musavi, Deepak S. Gautam, *Overview of Power Electronics Product Development Cycle and Fundamentals of Charger Design*, IEEE, 2013.
- [8] Mihaela-Codruta Ancuti, Marcus Svoboda, Sorin Musuroi, Alexandru Hedes, Nicola-Valeriu Olarescu, *Boost PFC converter versus bridgeless boost PFC converter EMI analysis*, IEEE, 2014.
- [9] Chinmay Shah, Jesus D. Vasquez-Plaza, Daniel D. Campo-Ossa, Juan F. Patarroyo-Montenegro, Nischal Guruwacharya, Niranjana Bhujel, Rodrigo D. Trevizan, Fabio Andrade Rengifo, Mariko Shirazi, Reinaldo Tonkoski, Timothy M. Hansen, Phylcia Cicilio, Richard Wies *Review of Dynamic and Transient Modeling of Power Electronic Converters for Converter Dominated Power Systems*,IEEE, 2021.
- [10] Ken K.M. Siu, Carl N.M. Ho, *A critical review of Bridgeless PFC boost rectifiers with common-mode voltage mitigation*, IEEE, 2016.
- [11] Gabriel Eduardo Mejía-Ruiz, Nicolás Muñoz-Galeano, Jesús María López-Lezama, *Modeling and development of a bridgeless PFC Boost rectifier*, articolo n.82 della facoltà d'ingegneria, università di Antioquia, 2017.
- [12] Sheng-Ju Chen, Tsorng-Juu Liang, Wei-Jing Tseng, Pin-Yi Liu, *Design and Implementation of a DSP Controlled Bridgeless Power Factor Corrector*,

- National Cheng-Kung University, Taiwan, 2018.
- [13] Fariborz Musavi and Deepak S. Gautam, *A Simplified Power Loss Calculation Method for PFC Boost Topologies*, IEEE, Department of Research, Engineering Delta-Q Technologies Corp. Burnaby, BC, Canada, 2013.
- [14] Altair PSIM 2022.1, <https://powersimtech.com/products/psim/capabilities-applications/> ultimo accesso:10-09-2023..
- [15] Vishay Semiconductors, *Datasheet EF Series Power MOSFET With Fast Body Diode*, doc. num. 92309, ultima revisione 11-Oct-2021.
- [16] Vishay Semiconductors, *Datasheet Hyperfast Rectifier, 30 A FRED Pt® G5*, doc. num. 96827, ultima revisione 18-Mag-2022.
- [17] Texas Instruments, *Datasheet NE555*, doc. SLFS022I, ultima revisione settembre 2014.
- [18] Vishay Semiconductors *Datasheet Si1539CDL*, doc. num. 67469, ultima revisione 14-Feb-2011.
- [19] Vishay Semiconductors, *VO3120 Datasheet*, doc. num. 81314, rev 1.4, 19-Oct-2012.
- [20] Vishay Semiconductors, *Application Note 91*, doc. num. 81227, rev.1.3, 24-Oct-2011.
- [21] Power integration, *LNK603-606/613-616 LinkSwitch-II datasheet*, Oct-2020.
- [22] Power integration, [https://www.power.com/piexpert/login?redirect\\_uri=https://piexpertonline.power.com/api/v1/token](https://www.power.com/piexpert/login?redirect_uri=https://piexpertonline.power.com/api/v1/token), ultimo accesso:13-09-2023.
- [23] Vishay Semiconductors, *Thyristor High Voltage, Phase Control SCR, 25 A*, doc. num.96288, rev. 29-Nov-2021.
- [24] Wakefield-Vette, *SLIM Profile unidirectional fin vertical mount heat sink 634 series*.
- [25] Simone Buso, Paolo Mattavelli, *Digital Control in Power Electronics*, prima edizione, University of Nebraska-Lincoln, 2006.
- [26] L. Rossetto, G. Spiazzi, P. Tenti, *Control techniques for power factor correction converters*, Università di Padova, Padova, Italia.
- [27] Lloyd Dixon, *Average Current Mode Control of Switching Power Supplies*, Application note U-140, texas instrument, 1999.
- [28] Gabriel Eduardo Mejía-Ruiz, Nicolás Muñoz-Galeano, Jesús María López-Lezama, *Modeling and development of a bridgeless PFC Boost rectifier*, articolo n.82 della facoltà d'ingegneria, università di Antioquia, 2017.
- [29] Yuriy Demchenko, *Analog and Digital Power Factor Correction Control Investigation*, IEEE, 2015.
- [30] Dake He, R. M. Nelms, *Average Current-Mode Control for a Boost Converter Using an 8-bit Microcontroller*, univeristà di Auburn, USA, 2004.

- [31] Dhivya A, Murali D, *Average Current Mode Control Technique Applied to Boost Converter for Power factor Improvement and THD Reduction*, International Journal of Innovative Science, Engineering & Technology, Vol. 3 Issue 2, February 2016.
- [32] Philip Cooke, *Modeling Average Current Mode Control*, Unitrode Integrated Circuits Corporation, 7 Continental Boulevard, Merrimack, IEEE, 2000.
- [33] Analog Devices, *Digital Power Factor Correction Controller with Accurate AC Power Metering*, One Technology Way, Nortwood, MA 02062-9106, U.S.A, rev.0, 2011.
- [34] Analog Devices, <https://www.analog.com/en/products/adp1048.html#product-requirement>, ultimo accesso:12-11-2023.
- [35] Vishay Semiconductors, *Tj Inductors, Toroid, High Current, Radial Leaded Datasheet*, doc. num. 34079, 28-Nov-2013.
- [36] KiCad EDA, <https://www.kicad.org/download/>, ultimo accesso:12-11-2023.
- [37] MD srl, <https://www.mdsrl.it/mddesignrules.html>, ultimo accesso:1-10-2023.
- [38] DigiKey, <https://www.digikey.it/>, ultimo accesso:22-11-2023.