

POLITECNICO DI TORINO

Dipartimento Energia Tesi di Laurea Magistrale in Ingegneria Elettrica

Testing e caratterizzazione di un raddrizzatore attivo 3-livelli T-Type per caricabatterie di veicoli elettrici

Autore: Eugenio Bossotto Relatore: Prof. Radu Bojoi

Correlatore: Matteo Gregorio

Ringraziamenti

Prima di iniziare la trattazione ritengo doveroso procedere con i ringraziamenti.

Innanzitutto, ringrazio il Professor Radu Bojoi per aver reso possibile lo svolgimento del mio lavoro di tesi su un progetto reale e concreto che mi ha permesso di imparare moltissimo. Un ringraziamento va a Matteo Gregorio, per la pazienza e la disponibilità che mi ha sempre mostrato durante tutto il periodo della tesi oltre ai preziosi consigli forniti.

Uno ringraziamento speciale lo dedico ai miei genitori, Lorenzo e Cristina, ed alle mie sorelle, Elisa e Rebecca, per tutto il sostegno e la fiducia che mi hanno dato, permettendomi di svolgere il mio percorso nel migliore dei modi. Grazie a mia nonna Marisa che mi è sempre stata vicina e consigliato nel modo più giusto. Un immenso grazie alla mia compagna Camilla per avermi supportato con tutte le forze possibili. Infine, non meno importante degli altri, un grazie va a tutti gli amici e le persone che mi sono state vicino in questi anni rendendo tutto più semplice.

Indice

1	Obi	ettivi del Progetto di Tesi	6
2	Intr	roduzione	8
3	Act	ive Front-End 3 livelli T-Type	9
	3.1	Struttura 3 Livelli T-Type Interleaved	10
	3.2	Tecnica di Modulazione ZMPC	14
4	Deb	oug e Testing: Precarica/Scarica dc-link e Anelli di Con-	
	trol	lo	15
	4.1	Schema Elettromeccanico e Set-up	15
	4.2	Analisi e Testing della Precarica e Scarica del Dc-link	20
		4.2.1 Precarica del dc-link	21
		4.2.2 Scarica del dc-link	26
	4.3	Debug e Testing Anelli di Controllo delle Correnti	29
	4.4	Debug e Testing Anelli di controllo delle Tensioni	36
		4.4.1 Anello di Controllo della Tensione Totale di Dc-link	37
		4.4.2 Anello di Controllo della Tensione di Mid-Point	43
5	Alg	oritmo di Controllo per l'Estrapolazione Automatizzata	
	dell	e Mappe	47
	5.1	Introduzione all'Estrapolazione delle Mappe, Strumenti e Tool	
		Utilizzati	47
	5.2	Algoritmi di Controllo per la Caratterizzazione del Convertitore	54
		5.2.1 Strategia di Controllo Constant Current	57
		5.2.2 Strategia di Controllo <i>Constant Voltage</i>	60
	5.3	Squilibrio del Carico Tramite DutyCycle di Modo Comune e	
		Relativa Saturazione	62
6	Ris	ultati Sperimentali	69
	6.1	Test Filtro LCL in Ingresso ed Induttanza di Rete	71

	6.2	Mappe di Efficienza, THD, Fattore di Potenza e Perdite con		
		Filtro LCL e Carico Equilibrato	7	7
	6.3	Mappe in Condizioni di Carico Squilibrato con e senza Satu-		
		razione del DutyCycle di Modo Comune	. 86	3
	6.4	Ottenimento Sperimentale dei Limiti per la Saturazione del-		
		l'Anello di Tensione di Mid-Point tramite LUT;	95	5
	6.5	Prestazioni del Convertitore in Condizioni di Fattore di Po-		
		tenza non Unitario	. 98	3
7	Con	aclusioni	101	L
	7.1	Conclusioni	101	Ĺ
A	Cod	lice C Stati Macchina	103	3
	A.1	Stato Soft Star	103	3
	A.2	Stato Discharge dc-link	. 104	1
В	Scri	pt Matlab per Algoritmo di Controllo	105	ó
	B.1	Funzione "VoltageLoopDelta"	. 110)
	B.2	Funzione "ModuleCurrentLoop"	. 11.	L
	B.3	Funzione "PhaseCurrentLoop"	113	3
	B.4	Funzione "VoltageLoopAFE"	. 114	1
	B.5	Funzione "CurrentLoopDelta"	. 115	5
	B.6	Algoritmo per Caratterizzazione tramite Aggiunta di DutyCy-		
		cle di Modo Comune	. 116	3

ii INDICE

Elenco delle tabelle

3.1	Specifiche principali AFE	10
	Condizioni utilizzate nel debug degli anelli di corrente Condizioni utilizzate nel debug degli anelli di tensione	
6.1	Condizioni per l'esecuzione dei test sul filtro LCL ed induttanza di rete.	71
6.2	Tabella riassuntiva delle condizioni di test sul filtro LCL, in-	
	duttanza rete e frequenza del controllo	73
6.3	Condizioni per l'esecuzione delle prove a carico squilibrato	86

Elenco delle figure

3.1	Schema generale caricabatterie Ultra-Fast Isolato.[4]	9
3.2	Struttura a tre livelli t-type dell'AFE	11
3.3	Singola fase del raddrizzatore attivo	11
3.4	Topologia T-type ad IGBT per convertitore 3-livelli	13
3.5	Forme d'onda Zero Mid Point Current.[1]	14
4.1	Regatron TopCon TC.ACS (sx), Delta SM 500-CP-90 (dx)	16
4.2	Schema elettromeccanico AFE	16
4.3	Set-up sperimentale AFE	17
4.4	Circuiti stampati per misure AC (sx) e DC (dx)	18
4.5	Schema circuitale del convertitore completo con configurazione	
	interleaved	18
4.6	Configurazione fisica del convertitore completo	19
4.7	Dispositivi di Potenza e Gate Driver	20
4.8	Circuito completo di precarica	22
4.9	Diagramma temporale precarica	22
4.10	Diagramma di flusso Soft Start	24
4.11	Forme d'onda precarica, base tempi 500ms/div	24
4.12	Forme d'onda precarica, base tempi 200ms/div	25
4.13	Forme d'onda precarica a regime ed apertura relè principale	26
4.14	Circuito equivalente scarica dc-link	27
4.15	Flow chart scarica dc-link	27
4.16	Forme d'onda scarica de-link	28
4.17	Forme d'onda scarica de-link	28
4.18	Schema circuitale AFE	29
4.19	Schema a blocchi anello di controllo delle correnti	31
4.20	Duty cycle (in alto), correnti di fase (in basso) senza commu-	
	tazione.	32
4.21	Duty cycle (in alto), correnti di fase (in basso) con $i_d^* = 0$	32
	Duty cycle (in alto), correnti di fase (in basso) con $i_d^* = 10$	33
	Duty cycle (in alto), correnti di fase (in basso) con $i_d^* = 25$	33

4.24	Risposta ad un gradino di corrente da 0 a 25A	34
4.25	Ritardi introdotti in seguito ad una variazione del riferimento	
	di corrente	35
4.26	Tensioni e correnti di fase con $i_d^* = 25A$	36
4.27	Schema circuitale per il debug anelli di tensione	37
4.28	Circuito equivalente anello di controllo di tensione de-link	38
4.29	Schema a blocchi anello di controllo V_{dc}	39
4.30	Plant anello di controllo tensione V_{dc}	39
	Gradino di tensione V_{dc} da 650V ad 800V	40
	Gradino di tensione V_{dc} da 650V ad 800V con forme d'onda	
	scalate [4]	41
4.33	Setup per la prova sull'anello di tensione di dc-link	41
4.34	Gradino di carico da 10kW, istante iniziale	42
4.35	Gradino di carico da 10kW, istante del distacco	42
4.36	circuito equivalente anello di controllo tensione mid-point	43
4.37	Schema a blocchi anello di tensione mid-point	44
4.38	Plant anello di controllo tensione di mid-point	44
4.39	Setup per la prova sull'anello di tensione di mid-point	44
4.40	Risultato della prova di sbilanciamento mid-point	46
5.1	Cohama circuitale con relativi punti di reigura	48
5.2	Schema circuitale con relativi punti di misura	48
5.3	HBM GEN4tB (sx), Power card GN310B (dx)	49
5.4	Trasduttore di corrente LEM IT 200-S ULTRASTAB (in alto),	49
0.4	condizionatore di segnale Signaltec MTCS (in basso)	49
5.5	Interfaccia grafica Perception	50
5.6	Strumentazione: HBM, Signaltec e alimentatori DC Delta	53
5.7	Setup e collegamenti per misure di tensione e corrente	53
5.8	Schema generale comunicazione	54
5.9	Schema temporale per trigger ed acquisizione misure	55
	Diagramma di flusso della prima parte dell'algoritmo per la	90
5.10	definizione delle condizioni della prova	56
5 11	Schema equivalente del setup per la modalità constant current.	57
	Diagramma di flusso per strategia di controllo Constant Current.	59
	Schema equivalente del setup per la modalità constant voltage.	60
	Diagramma di flusso per strategia di controllo <i>Constant Voltage</i> .	62
	Correzione del duty cycle di modo comune per il bilanciamento	02
0.10	delle tensioni in uscita	63
5.16	Schema a blocchi con aggiunta della quota costante di duty	55
J.10	cycle di modo comune	63
		5 5

5.17	Confronto tra corrente (rosa) e tensione (ocra) di fase con	
	e senza aggiunta di duty cycle di modo comune costante δ_0 ;	
	$V_G = 230V_{rms}, i_d^* = 30A \text{ e } V_{dc} = 800V. \dots \dots \dots \dots \dots$	64
5.18	Confronto dei duty cycle con e senza aggiunta di δ_0	64
5.19	Confronto della corrente di mid-point con e senza aggiunta di	
	δ_0	65
5.20	Schema a blocchi con implementazione della saturazione dei	
	duty cycle	65
5.21	Confronto tra corrente (rosa) e tensione (ocra) di fase con e senza saturazione del duty cycle di modo comune, a parità di	0.0
	δ_0 ; $V_G = 230V_{rms}$, $i_d^* = 30A \text{ e } V_{dc} = 800V$	66
5.22	Confronto tra duty cycle con e senza saturazione del duty cycle	0.0
	di modo comune, a parità di δ_0	66
5.23	Confronto tra corrente di mid-point con e senza saturazione	
	del duty cycle di modo comune, a parità di δ_0	67
5.24	Diagramma di flusso per la caratterizzazione del convertitore	0.0
	tramite aggiunta di duty cycle di modo comune δ_0	68
6.1	Tabella schematica riassuntiva delle prove svolte	70
6.2	Schema monofase equivalente per l'esecuzione dei test sul filtro	
	LCL ed induttanza di rete	72
6.3	Risultati test A su LCL e induttanza rete	73
6.4	Risultati test B su LCL e induttanza rete	74
6.5	Risultati test C su LCL e induttanza rete	74
6.6	Risultati test D su LCL e induttanza rete	75
6.7	Risultati test E su LCL e induttanza rete	75
6.8	Confronto delle prestazioni tra i vari setup con filtro LCL	76
6.9	Mappe del convertitore con filtro LCL e tensione di rete a	
	$120-10\% \ V_{rms}$	78
6.10	Mappe del convertitore con filtro LCL e tensione di rete a	
	$120V_{rms}$	79
6.11	Mappe del convertitore con filtro LCL e tensione di rete a	
	$120+10\% V_{rms}$	80
6.12	Mappe del convertitore con filtro LCL e tensione di rete a	
	$230\text{-}10\% \ V_{rms}$	81
6.13	Mappe del convertitore con filtro LCL e tensione di rete a	
	$230V_{rms}$	82
6.14	Mappe del convertitore con filtro LCL e tensione di rete a	
	$230+10\%V_{rms}$	83
6.15	Mappe del convertitore con carico equilibrato	87

6.16	Mappe del convertitore con squilibrio del carico pari a $+10\%$,	
	saturazione del duty cycle di modo comune disattivata	88
6.17	Mappe del convertitore con squilibrio del carico pari a -10%,	
	saturazione del duty cycle di modo comune disattivata	89
6.18	Mappe del convertitore con squilibrio del carico pari a $+15\%$,	
	saturazione del duty cycle di modo comune disattivata	90
6.19	Mappe del convertitore con squilibrio del carico pari a $+15\%$	
	con saturazione del duty cycle di modo comune attiva	91
6.20	Mappe del convertitore con squilibrio del carico pari a $+20\%$	
	con saturazione del duty cycle di modo comune attiva	92
6.21	Mappe del convertitore con squilibrio del carico pari a $+30\%$	
	con saturazione del duty cycle di modo comune attiva	93
6.22	Corrente di mid-point in funzione dell'addizione del duty cycle	
	di modo comune δ_0 con tecnica di modulazione ZMPCPWM	95
6.23	Corrente di mid-point in funzione dell'addizione del duty cycle	
	di modo comune δ_0 con tecnica di modulazione SPWM	96
6.24	Limiti per la saturazione dell'anello di tensione di mid-point	
	con tecnica di modulazione ZMPCPWM	97
6.25	Limiti della corrente di mid-point in funzione dell'angolo φ e	
	tensione di dc-link	98
6.26	Prestazioni in termini di THD per funzionamento a fattore di	
	potenza non unitario con e senza saturazione di modo comune.	99
6.27	Prestazioni in termini di Displacement Power Factor (DPF)	
	e relativo angolo per funzionamento a fattore di potenza non	
	unitario	100

Obiettivi del Progetto di Tesi

Il lavoro di tesi in questione è stato sviluppato nell'ambito del centro interdipartimentale PEIC Power Electronics Innovation Center del Politecnico di Torino lavorando su un progetto che ha come obiettivo la realizzazione di un caricabatterie ultra-fast che permetta la ricarica di autoveicoli elettrici in tempi molto ridotti. Il caricabatterie ha una struttura modulare in cui ogni singolo modulo ha un potenza nominale di 60kW ed è costituito da due stadi di conversione, un stadio ac/dc ed uno dc/dc isolato. Il mio progetto di tesi è stato svolto sullo stadio ac/dc, il quale è un Active Front End a tre livelli T-Type che si interfaccia con la rete elettrica.

Lo scopo principale del progetto di tesi è quello di testare la precarica/scarica del dc-link, gli anelli di controllo di corrente e tensione del convertitore ed infine sviluppare l'algoritmo di controllo atto ad ottenere l'estrapolazione delle mappe di efficienza, THD, fattore di potenza e perdite del raddrizzatore attivo tramite una procedura automatizzata di acquisizione delle misure e dei dati. Durante la prima parte del lavoro di tesi ho effettuato l'allestimento del prototipo e il relativo set-up per la connessione delle sorgenti di carico/alimentazione e degli strumenti di misura e di acquisizione dati. Successivamente, ho lavorato sulla procedura e relativa implementazione di precarica e scarica del dc-link ed al debug degli anelli di controllo delle correnti e delle tensioni in modo tale da assicurarsi che il convertitore esegua le varie regolazioni in maniera corretta, così da poter procedere, infine, alla stesura dello script Matlab per l'implementazione dell'algoritmo di controllo per gestire la parte di comunicazione con tutti gli strumenti che partecipano al funzionamento del raddrizzatore attivo e all'aquisizione dei dati per la successiva caratterizzazione del convertitore.

Il progetto di tesi presentato è suddiviso nei seguenti capitoli:

1. Obiettivi del Progetto di Tesi

- 2. Introduzione
- 3. Active Front-End 3 livelli T-Type
- 4. Debug e Testing: Precarica/Scarica dc-link e Anelli di Controllo
- 5. Algoritmo di Controllo per l'Estrapolazione delle Mappe
- 6. Risultati Sperimentali
- 7. Conclusioni

Introduzione

Al giorno d'oggi è ormai un dato di fatto che ci sia un costante aumento dei veicoli elettrici (EV) ed ibridi (PHEV) in circolazione. Per fare fronte alle esigenze degli utenti di EV, esiste la necessità di orientarsi verso tecnologie di ricarica ad alta potenza che permettano di ridurre le problematiche annesse all'utilizzo di vetture elettriche ed in grado di effettuare la ricarica delle loro batterie in tempi molto contenuti, in modo tale da poter essere paragonabili e competitivi nei confronti dei tempi di rifornimento delle automobili tradizionali. Il caricabatterie in oggetto ha una struttura modulare in cui ogni singolo modulo ha un potenza nominale di 60kW ed è costituito da due stadi di conversione, un stadio ac/dc ed uno dc/dc isolato. Il mio progetto di tesi è stato svolto sullo stadio ac/dc formato da un Active Front End tre-livelli T-Type, che si interfaccia direttamente con la rete elettrica. La scelta di utilizzare una struttura a tre livelli implica un aumento della complessità del sistema ed inoltre rende necessario l'utilizzo di quattro anelli di controllo, due per le correnti che viene eseguito sugli assi di riferimento dq e due per le tensioni di dc-link che vanno rispettivamente a regolare la tensione totale di dc-link e quella di mid-point, poiché essendo presente uno split dc-link bisogna mantenere le tensioni equilibrate su entrambe le parti; nonostante ciò, la struttura adottata risulta comunque essere un ottimo candidato per affrontare le esigenze sia della rete con cui si interfaccia che quelle degli utenti di veicoli elettrici, garantendo tensione constante di dc-link ed ottime prestazioni in termini di efficienza, distorsione armonica della corrente assorbita e fattore di potenza pressoché unitario, oltre al fatto di permettere l'utilizzo di semiconduttori con tensione nominale inferiore rispetto alle soluzioni più comuni a due livelli, riducendo inoltre lo stress sugli elementi reattivi lato ac.

Active Front-End 3 livelli T-Type

Il presente lavoro di tesi tratta il convertitore lato rete, da qui ne deriva la dicitura "Front-End", che è situato all'interno di un caricabatterie ultra-fast isolato per la ricarica rapida degli autoveicoli elettrici, il quale prevede l'utilizzo di due stadi di conversione inseriti tra la rete e l'autoveicolo come mostrato in Fig. 3.1. Essendo il convertitore che si interfaccia direttamente con la rete elettrica si tratta di un convertitore AC/DC con le seguenti proprietà:

- Power Factor Corrector (*PFC*);
- Struttura Tre Livelli;
- Topologia T-type;
- Interleaved;
- Unidirezionale.

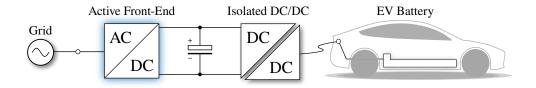


Figura 3.1: Schema generale caricabatterie Ultra-Fast Isolato.[4]

Le specifiche principali richieste dal convertitore sono mostrate nella tabella seguente:

Potenza Nominale	60	kW
Tensione Nominale AC	120/230	V_{rms}
Tensione Nominale dc-link	650 - 800	V_{dc}
Corrente di Picco	125	A
Fattore di Potenza	~ 1	/
Frequenza di Commutazione	20	kHz
Frequenza Rete	50/60	Hz

Tabella 3.1: Specifiche principali AFE.

Lo scopo principale del convertitore è quindi quello di convertire il flusso di potenza alternata della rete trifase in continua, utilizzabile per la ricarica di batterie, garantendo un fattore di potenza pressoché unitario e distorsione armonica molto contenuta (THD ridotto).

3.1 Struttura 3 Livelli T-Type Interleaved

La struttura completa a tre livelli utilizzata per l'Active Front-End (AFE) in questione è costituita principalmente da un ponte trifase a diodi che ha la funzione di raddrizzare la tensione alternata in ingresso ed è anche il motivo per cui il convertitore risulta unidirezionale, più 3 devices bipolari e bidirezionali comandabili in modo da formare tre gambe d'inverter come mostrato in Fig. 3.2.

La scelta di utilizzare un convertitore tre livelli, rispetto al due livelli, comporta un aumento della complessità del circuito, necessita l'utilizzo di un maggior numero di switches e si ha un grado di libertà in più da gestire, apportando però anche diversi benefici tra cui:

- Riduzione dell'induttanza di input;
- Perdite di commutazione ridotte;
- Riduzione dei filtri EMI.

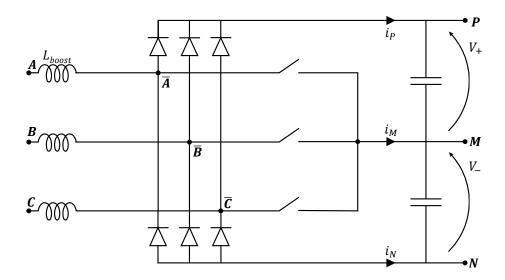


Figura 3.2: Struttura a tre livelli t-type dell'AFE.

Come si può vedere in Fig. 3.2 in ingresso al convertitore è presente una induttanza, la quale ha anche una funzione filtrante oltre a quella di boost. Inoltre, si può notare che nel convertitore è presente un punto medio M, quindi, rispetto ai due stati possibili (-1, 1) presenti nei convertitori 2-livelli, si avrà a disposizione uno stato ulteriore ottenendo così i tre stati (P,M,N) del 3-livelli.

Riferendosi al circuito di una generica fase X, mostrato in Fig. 3.3, si possono ricavare le equazioni 3.1 e 3.2.

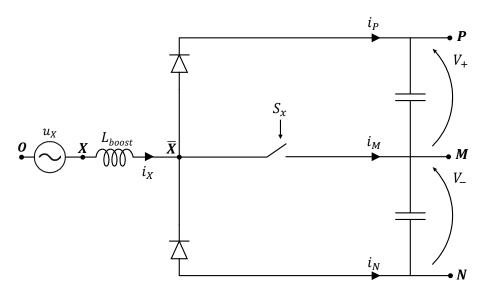


Figura 3.3: Singola fase del raddrizzatore attivo.

$$v_{\bar{X}M} = (1 - S_X) \cdot sign(i_X) \cdot \frac{V_{dc}}{2}$$
(3.1)

$$V_{dc} = V_{+} + V_{-} \quad con \quad V_{+} = V_{-} = \frac{V_{dc}}{2}$$
 (3.2)

Dall'equazione 3.1 si possono quindi ricavare le tensioni generate nei 3 stati:

$$\begin{cases} Stato \ P: & v_{\bar{X}M} = +\frac{V_{dc}}{2} \\ Stato \ M: & v_{\bar{X}M} = 0 \\ Stato \ N: & v_{\bar{X}M} = -\frac{V_{dc}}{2} \end{cases}$$

La presenza del termine $sign(i_X)$ è data dall'unidirezionalità del convertitore. Inoltre, le tensioni e correnti di fase del convertitore risultano essere:

$$v_{\bar{X}} = v_{\bar{X}M} - v_0 \tag{3.3}$$

$$i_{\bar{X}} = \frac{u_X - v_{\bar{X}}}{j \cdot \omega \cdot L_{boost}} \tag{3.4}$$

Nelle (3.3) e (3.4) si fa riferimento alla frequenza fondamentale ed i termini v_0 e u_X indicano rispettivamente la tensione di modo comune, definita nella (3.5) e la tensione di rete.

$$v_0 = \frac{v_{\bar{A}M} + v_{\bar{B}M} + v_{\bar{C}M}}{3} \tag{3.5}$$

Come detto precedentemente, per formare le tre gambe d'inverter è necessario utilizzare devices comandabili, bipolari e bidirenzionali che però nella pratica non esistono, portando quindi a dover combinare più di un semiconduttore per ottenere le proprietà desiderate. Nel convertitore trattato è stata utilizzata la topologia T-type ottenendo la bidirezionalità combinando due IGBT in antiserie come mostrato in Fig. 3.4.

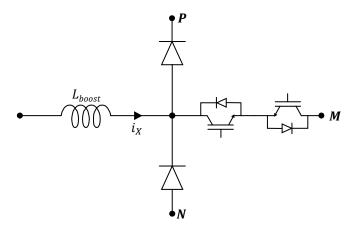


Figura 3.4: Topologia T-type ad IGBT per convertitore 3-livelli.

Nella configurazione mostrata, bisogna utilizzare diodi fast e dimensionati per tensione pari a quella del dc-link per il ponte raddrizzatore trifase mentre, per quanto riguarda gli interruttori comandabili, è sufficiente dimensionarli per una tensione pari a $\frac{V_{dc}}{2}$ ed i relativi diodi possono non essere veloci. Questa topologia apporta anche i seguenti benefici al sistema:

- Perdite per conduzione molto basse;
- Numero di semiconduttori contenuto rispetto ad altre topologie;
- Richiede un solo gate-driver per gamba.

In aggiunta, sempre dal circuito mostrato in figura 3.4 e dalla (3.1) si può notare che lo stato (P, M, N) in cui ci si trova è determinato dal segno della corrente i_X ottenendo le seguenti condizioni:

$$\begin{cases} Stato \ P: & se \ i_X > 0, \ interruttori \ OFF \\ Stato \ M: & se \ i_X > 0, \ interruttori \ ON \\ Stato \ N: & se \ i_X < 0, \ interruttori \ OFF \\ Stato \ M: & se \ i_X < 0, \ interruttori \ ON \end{cases}$$

Vista l'elevata potenza e sopratutto il valore della corrente di picco richiesta, è stato deciso di utilizzare la configurazione *interleaved*, riducendo così lo stress termico sui semiconduttori. La configurazione in oggetto consiste nel porre in parallelo due convertitori identici come quelli in Fig. 3.2, facendoli

operare alla stessa frequenza di commutazione f_{comm} ma con la possibilità di inserire uno sfasamento α_{PWM} tra le due portanti dei convertitori con limite:

$$0 \le \alpha_{PWM} \le \pi \quad [rad] \tag{3.6}$$

In base alla scelta del valore di α_{PWM} si potranno avere benefici differenti. Utilizzare questa configurazione comporta però la possibilità di avere una corrente di circolazione ad alta frequenza di modo comune, in parte già limitata dalla presenza di L_{boost} ma comunque da controllare.

3.2 Tecnica di Modulazione ZMPC

Un ultimo e rapido cenno, poiché non è argomento di questa tesi, riguarda la tecnica di modulazione utilizzata: la Zero Mid Point Current PWM. In questa tecnica di modulazione il modo comune iniettato è molto simile ad una sinusoide di terza armonica come è possibile vedere in Fig. 3.5, il quale scopo è quello di minimizzare il valore medio della corrente di mid-point (punto medio M).

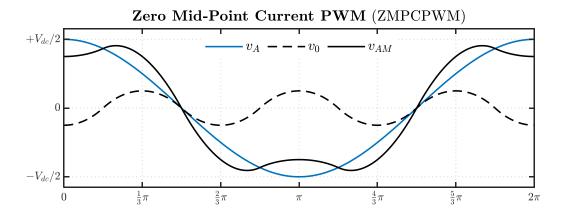


Figura 3.5: Forme d'onda Zero Mid Point Current.[1]

Debug e Testing: Precarica/Scarica dc-link e Anelli di Controllo

Nel seguente capito viene descritto il lavoro preliminare che ho svolto, il quale consiste in 3 parti principali:

- 1. Cablaggio e schema elettromeccanico
- 2. Precarica e scarica del convertitore
- 3. Debug Anelli di controllo di corrente e tensione

4.1 Schema Elettromeccanico e Set-up

Il primo passo, oltre al cablaggio del convertitore, è stato quello di creare lo schema elettromeccanico mostrato in Fig. 4.2 nel quale è posto l'Active Fronte End, poiché c'è la necessità di collegare in ingresso al convertitore un alimentatore AC trifase programmabile che avrà il compito di emulare la rete elettrica ed in uscita il carico DC, in modo tale da avere il set-up ottimale per eseguire successivamente tutte le prove necessarie alla caratterizzazione completa del convertitore.

Come alimentatore programmabile AC ho usato un emulatore di rete a quattro quadranti Regatron TopCon TC.ACS, mentre per il lato DC due alimentatori bidirezionali Delta SM 500-CP-90 collegati in serie così da poter svolgere le prove alla tensione massima che può raggiungere il dc-link nel normale funzionamento, in quanto il singolo strumento ha una tensione massima di lavoro pari a 500V. Entrambi gli alimentatori sono mostrati in Fig. 4.1.



Figura 4.1: Regatron TopCon TC.ACS (sx), Delta SM 500-CP-90 (dx).

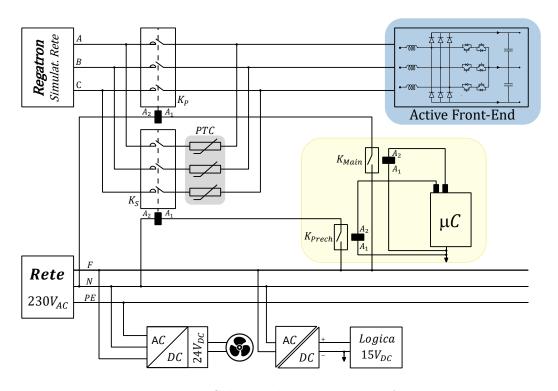


Figura 4.2: Schema elettromeccanico AFE.

Nello schema elettromeccanico si possono evidenziare cinque macro blocchi:

- Alimentazioni in AC: Regatron e rete monofase $230V_{AC}$;
- $\bullet\,$ Relè di potenza K_P e K_S con le relative PTC di precarica;

16 CAPITOLO 4. DEBUG E TESTING: PRECARICA/SCARICA DC-LINK E ANELLI DI CONTROLLO

- Relè di controllo K_{Prech} e K_{Main} per azionare quelli di potenza;
- Alimentatore AC/DC $24V_{dc}$ per alimentare le ventole di raffreddamento;
- Alimentatore AC/DC isolato $15V_{dc}$ per l'alimentazione della logica di controllo.

Tutti i componenti dello schema elettromeccanico sono mostrati nella seguente immagine che descrive il set-up reale utilizzato nelle prove sperimentali.

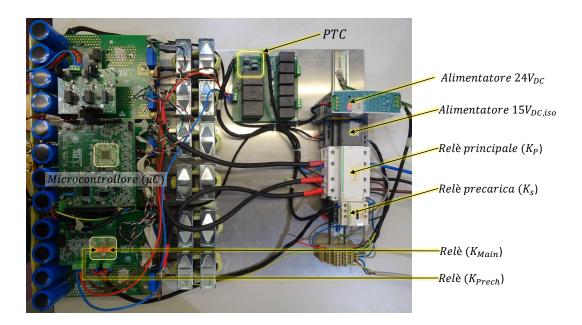


Figura 4.3: Set-up sperimentale AFE.

Come si può notare in Fig. 4.3, ai lati del PCB su cui è installato il micro-controllore ne sono presenti altri due. Il primo PCB, su cui sono installati i due relè di controllo arancioni K_{Prech} e K_{Main} , integra anche gli amplificatori isolati che vengono impiegati per le misure in AC della terna delle tensioni di rete, mentre nel PCB sul lato opposto sono presenti i convertitori DC/DC utilizzati per le misure in continua delle tensioni di dc-link e le due PTC con i relativi MOSFET di comando per eseguire la scarica del dc-link. Tutti i componenti sono mostrati in Fig. 4.4.



Figura 4.4: Circuiti stampati per misure AC (sx) e DC (dx).

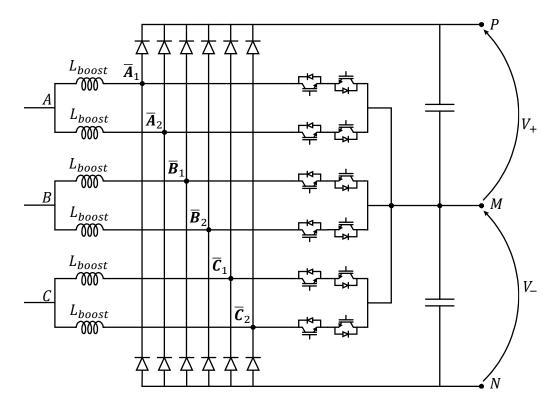


Figura 4.5: Schema circuitale del convertitore completo con configurazione interleaved.

Infine, come già detto nel capitolo precedente, il convertitore completo è in configurazione interleaved ottenuta dalla messa in parallelo di due convertitori 3-livelli t-type come quelli in Fig. 3.2. Si ha quindi che il convertitore è composto da sei gambe e 3 fasi come appena mostrato in Fig. 4.5. Per quanto riguarda la configurazione reale del convertitore, la parte dei dispositivi di potenza non è facilmente visibile essendo che i devices sono montati tra il circuito stampato di potenza e il dissipatore di calore. Per capire la reale disposizione delle sei gambe si può fare riferimento alla Fig. 4.6 dove si può vedere la posizione delle sei gambe del convertitore con le relative induttanze di boost (una per gamba) e alla figura 4.7 dove viene mostrato il convertitore lateralmente.

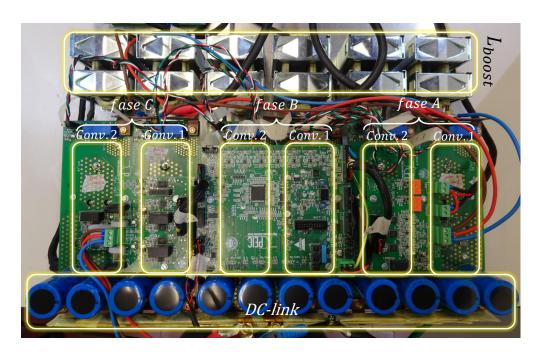


Figura 4.6: Configurazione fisica del convertitore completo.

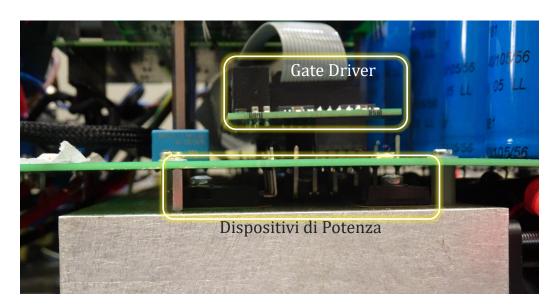


Figura 4.7: Dispositivi di Potenza e Gate Driver.

4.2 Analisi e Testing della Precarica e Scarica del Dc-link

In seguito alla descrizione hardware dell'AFE, ora si passa al lato software. Si tratta di un controllo digitale, in linguaggio C, implementato su microcontrollore STM32G474 basato su architettura 32-bit ARM®Cortex®in cui gli stati di funzionamento del convertitore sono regolati attraverso una macchina a stati. Quindi, prima di entrare nello specifico riguardo alla precarica e scarica del convertitore è utile definire in modo generale gli stati di macchina, in modo da contestualizzare meglio la parte a venire. Gli stati di macchina sono i seguenti sei:

- 1. Calibration: è lo stato eseguito inizialmente all'avvio del convertitore dove avviene l'azzeramento degli offset sulle misure di corrente;
- 2. *Error*: stato successivo all'intervento di una qualsiasi protezione dove vengono disabilitate le PWM, aperti tutti i relè e si controlla che la tensione del dc-link rispetti le soglie di sicurezza;
- 3. Soft Start: ha come obiettivo la carica del dc-link. Vengono eseguiti i comandi, discussi in questo capitolo, per effettuare la precarica del dc-link;

20 CAPITOLO 4. DEBUG E TESTING: PRECARICA/SCARICA DC-LINK E ANELLI DI CONTROLLO

- 4. Discharge dc-link: ha come obiettivo la scarica del dc-link per mantenere la tensione di uscita ad un valore di sicurezza, come lo stato precedente verrà discusso in questo capitolo;
- 5. Ready: il convertitore ha verificato che non ci siano errori ed è quindi pronto ad entrare in funzionamento, mantenendo ancora disabilitate le PWM vengono settate le correnti di riferimento a zero aspettando il comando di start;
- 6. Go: vengono abilitate le PWM ed si esegue la routine di controllo.

Nei paragrafi seguenti si analizzeranno nel dettaglio gli stati di *Soft Start* e *Discharge dc-link*. Per un corretto funzionamento del convertitore è necessario effettuare una soft-charge del dc-link prima di connettersi direttamente con la rete nel caso in cui esso si trovi ad una tensione inferiore ad un valore minimo stabilito, in modo tale da evitare elevate correnti di inserzione e immissione di disturbi.

Altrettanto importante è la possibilità di effettuare la scarica del dc-link nel caso in cui il convertitore vada in fault, abbia un guasto oppure venga semplicemente spento o scollegato dalla rete trifase, così da portare la tensione dc-link ad un valore inferiore a 50V, garantendo le condizioni di sicurezza. Tutte le prove effettuate in questo capitolo sono state svolte senza l'inserimento di un induttanza di rete.

4.2.1 Precarica del dc-link

Visto l'elevato valore di capacità presente $(4080\mu\text{F}$ sia per il dc-link inferiore che superiore), al completamento della precarica sul dc-link si otterrà una tensione di poco inferiore al valore di picco della tensione di alimentazione, che nel caso di un sistema trifase coincide con il valore di picco della concatenata, come espresso nella seguente relazione.

$$V_{dc,prec} = V_+ + V_- = \sqrt{2} \cdot \sqrt{3} \cdot V_G \tag{4.1}$$

Il sistema in esame è quello mostrato in Figura 4.8.

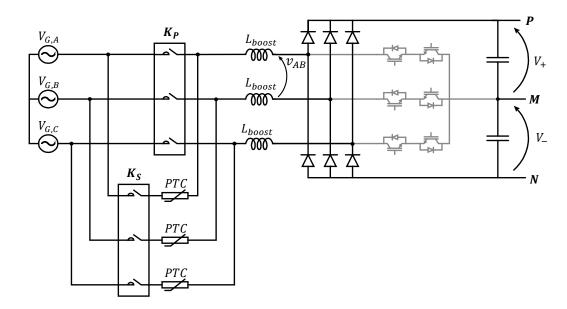


Figura 4.8: Circuito completo di precarica.

Durante il processo di precarica le PWM di tutte le gambe sono disabilitate ed il controllo impone a tutti i duty cycle valore unitario che, considerando un convertitore a tre livelli, consiste nel mantenere tutti i semiconduttori comandati in stato di interdizione per il 100% del tempo di lavoro, il convertitore si comporta quindi come un ponte trifase a diodi.

Le fasi principali che compongono la precarica sono mostrate nel diagramma temporale in Fig. 4.9.



Figura 4.9: Diagramma temporale precarica.

Il primo passo è quello di aprire il relè di scarica e tramite un azione ridondante, poiché le PWM dovrebbero essere già state disabilitate nello stato di "Error", eseguire nuovamente il comando per disabilitarle in modo da avere una maggior sicurezza che non ci sia commutazione. Successivamente, in seguito ad un controllo sui gate driver (GD) in modo da assicurarsi che siano stati resettati e pronti per l'eventuale richiesta di utilizzo, si esegue la chiusura del relè di precarica K_S tramite la sua bobina di eccitazione, la quale

viene alimentata dalla rete monofase in seguito alla chiusura del relè K_{prech} comandato dal microcontrollore. In seguito alla chiusura di K_S inizia la carica dei condensatori del de-link e da codice viene attivato un contatore che introduce una pausa di 1.2 secondi in modo da garantire che il transitorio di precarica sia terminato e tutte le grandezze siano a regime. Durante la carica dei condensatori la corrente fluisce attraverso le resistenze PTC (Positive Temperature Coefficient) che, variando la loro resistenza significativamente con l'aumentare della temperatura, limitano le correnti assorbite. In seguito, viene eseguito un controllo sulle grandezze di precarica come espresso nelle 4.2 e 4.3.

$$iabc1.x + iabc2.x < i_{th,prec} \quad con \quad x = a, b, c$$
 (4.2)

$$V_{dc} > V_{min,prec} \tag{4.3}$$

Dove iabc1.x sono le correnti misurate relative al convertitore 1 ed iabc2.xquelle del convertitore 2, in modo da distinguere le due unità poste in parallelo, mentre con $i_{th,prec}$ e $V_{min,prec}$ si fa riferimento alla corrente e tensione di soglia volute per assicurarsi che la carica dei condensatori sia completamente terminata. Il controllo sulle grandezze di precarica viene eseguito per un lasso di tempo limitato e nel caso di timeout lo stato di macchina passa da "Soft Start" ad "Error". A dc-link carico, con la stessa procedura descritta per la chiusura del relè di precarica, con la differenza che quelli coinvolti ora sono K_P e K_{main} , si effettua la chiusura del relè principale (K_P) collegando il convertitore alla rete trifase e dopo una pausa di 0.5 secondi, introdotta da un secondo contatore per assicurarsi che il relè principale sia attivo e che la corrente rimanente che passa nel relè di precarica fluisca nel circuito di potenza, si apre il relè di precarica con il conseguente passaggio dello stato di macchina a "Ready". In figura 4.10 è mostrato il diagramma di flusso che ho utilizzato per lo stato di macchina "Soft Start" e successiva scrittura del codice in linguaggio C presente in appendice A.1.

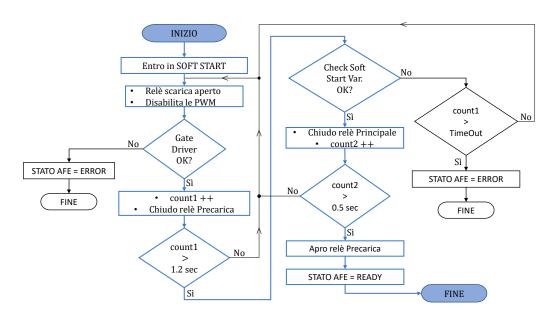


Figura 4.10: Diagramma di flusso Soft Start.

Nelle prove effettuate per testare il funzionamento della precarica è stata impostata una tensione di alimentazione lato rete $V_G=120V_{rms}$ ad una frequenza $f_G=50Hz$ andando così a caricare il dc-link ad una tensione $V_{dc}\simeq 292V$, come mostrato in Fig. 4.11.

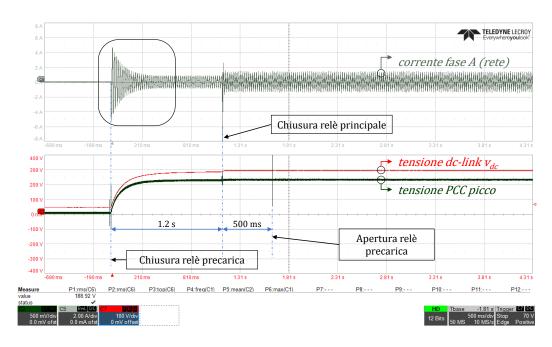


Figura 4.11: Forme d'onda precarica, base tempi 500ms/div.

24 CAPITOLO 4. DEBUG E TESTING: PRECARICA/SCARICA DC-LINK E ANELLI DI CONTROLLO

Dall'immagine precedente si può notare che l'andamento esponenziale che seguono gli inviluppi della corrente è dato dal fatto che le PTC aumentano il loro valore di resistenza molto velocemente, combinato al fatto che il dc-link si sta caricando facendo diminuire ulteriormente l'intensità della corrente di fase. Il valore iniziale della tensione V_{dc} non è nullo in quanto nell'istante d'inizio della precarica il dc-link non è completamente scarico ma a circa 50V poiché si arrivava da una precedente scarica del dc-link. Le grandezze sopra descritte sono misurate con l'utilizzo di sonde poste sul circuito di potenza a differenza della misura di tensione PCC picco la quale è la stima della tensione AC di fase di picco che è generata da DAC e viene quindi calcolata all'interno del microcontrollore e successivamente restituita una tensione tra 0V e 3.3V con fondo scala pari a 500.

Nelle immagini successive, si possono vedere le grandezze coinvolte nella precarica con base tempi ridotta rispetto alla Fig. 4.11, con l'aggiunta della tensione v_{ab} misurata a valle delle induttanze di boost e θ che definisce l'angolo della terna delle tensioni di rete utilizzato all'interno del controllo del convertitore.

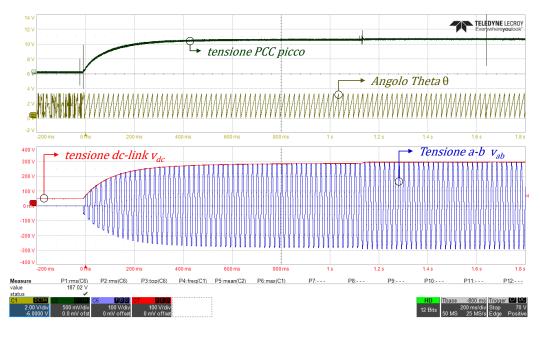


Figura 4.12: Forme d'onda precarica, base tempi 200ms/div.

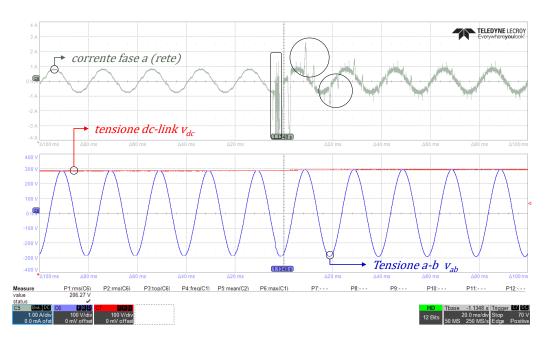


Figura 4.13: Forme d'onda precarica a regime ed apertura relè principale.

Dalla figura 4.12 si evince che l'angolo θ prima della chiusura del relè di precarica non può essere rilevato poiché viene preso dal filtro risonante a 50Hz che utilizza misure di tensione presenti a valle del relè, si può notare anche che non va immediatamente a regime ma ritarda di circa due periodi di fondamentale (40ms). Sulla tensione concatenata v_{ab} si vede invece l'effetto esponenziale dato dalla caduta di tensione sulle PTC poiché la misura viene fatta a valle di esse.

Mentre, in Fig. 4.13 è possibile vedere le grandezze di precarica ormai a regime ed in particolare il disturbo creato dalla chiusura del relè principale sulla corrente di fase con i successivi picchi per mantenere la tensione del dc-link al valore di regime. Invece, per quanto riguarda le tensioni, una volta che v_{dc} ha raggiunto il valore di picco della tensione concatenata v_{ab} è praticamente una sinusoide.

4.2.2 Scarica del dc-link

Come detto nell'introduzione del capitolo, è importante avere la possibilità di effettuare la scarica del dc-link in seguito ad un generico problema o spegnimento del convertitore, riportando il dc-link ad una tensione di sicurezza. Il procedimento di scarica utilizza resistenze PTC per dissipare l'energia accumulata nei condensatori come mostrato nel circuito equivalente in Fig. 4.14.

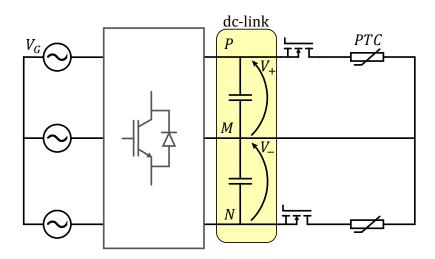


Figura 4.14: Circuito equivalente scarica dc-link.

La scarica del dc-link viene effettuata tutte le volte che viene chiesto lo stato Error se $v_{dc} > v_{SAFE}$, dove la tensione di sicurezza è settata a 50V. Per la stesura del codice C, presente in appendice A.2, ho utilizzato il flow chart in Fig. 4.15.

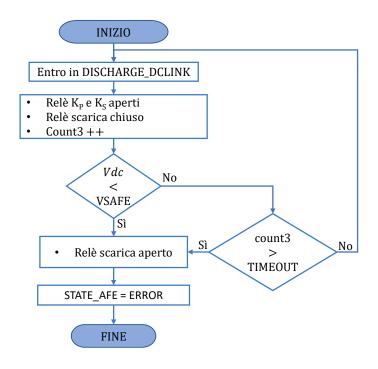


Figura 4.15: Flow chart scarica de-link.

Nelle seguenti figure sono mostrate le grandezze rilevanti nel processo di scarica del dc-link.

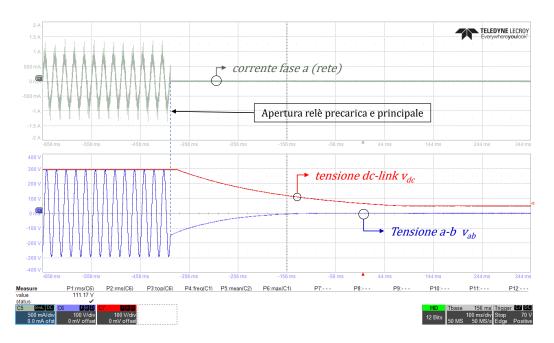


Figura 4.16: Forme d'onda scarica de-link.

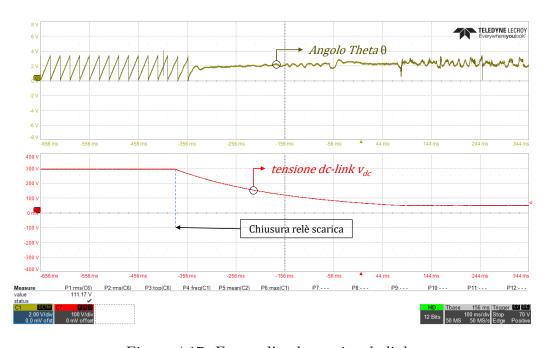


Figura 4.17: Forme d'onda scarica de-link.

Dalle Fig. 4.16 e 4.17 si può osservare che all'apertura dei relè di precarica e principale la corrente crolla a zero, la tensione v_{ab} decresce esponenzialmente a causa delle PTC e l'angolo θ dopo circa due periodi di fondamentale viene perso totalmente.

Inoltre, per essere sicuri che entrambi i relè di precarica e principale siano realmente aperti si inserisce un piccolo ritardo (omesso nel flow chart) tra la loro apertura e la chiusura di quello per la scarica, dopo di che la tensione v_{dc} decresce esponenzialmente seguendo un comportamento RC con valore di resistenza variabile.

4.3 Debug e Testing Anelli di Controllo delle Correnti

Il debug degli anelli di corrente viene fatto per assicurarsi che il convertitore funzioni in maniera corretta e che ci sia una regolazione ottimale, agendo in modo graduale così da evitare danni al convertitore.

Lo schema circuitale presente al momento del debug degli anelli di corrente è mostrato in figura 4.18. Inoltre, non avendo attivi gli anelli di controllo delle tensioni, l'alimentatore di carico DC (Delta) viene impostato in modo tale da mantenere la tensione del dc-link costante ed equilibrata $(V_+ = V_-)$ ad un valore superiore al picco della tensione concatenata di alimentazione in modo da avere margine di regolazione.

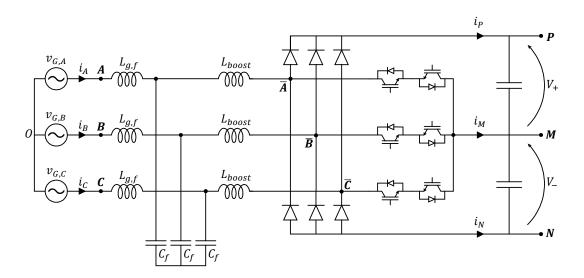


Figura 4.18: Schema circuitale AFE.

Rispetto al circuito illustrato nel Cap.3 si può vedere la presenza dei condensatori C_f del filtro di ingresso e le induttanze L_f ed L_g che sono rispettivamente l'induttanza di filtro nel caso si voglia utilizzare un LCL in ingresso e l'induttanza di rete. Come si può vedere in Tab. 4.3, per le prove di debug degli anelli di controllo delle correnti, in ingresso viene utilizzato solamente un filtro LC e induttanza di rete nulla.

Tensione di Rete AC	120	V_{rms}
Tensione dc-link	350	V_{rms}
Frequenza Rete	50	Hz
Tecnica di Modulazione	ZMPC	/
Induttanza Boost	150-200	μH
Induttanza Rete	0	μH
Induttanza Filtro	0	μH
Capacità Filtro	15	μF

Tabella 4.1: Condizioni utilizzate nel debug degli anelli di corrente.

Le correnti assorbite dal convertitore si possono ricavare applicando la (3.4) alle tre fasi, ottenendo le relazioni espresse nella (4.4).

$$i_A = \frac{v_{G,A} - v_{\bar{A}}}{j \cdot \omega \cdot L_{eq}}; \qquad i_B = \frac{v_{G,B} - v_{\bar{B}}}{j \cdot \omega \cdot L_{eq}}; \qquad i_C = \frac{v_{G,C} - v_{\bar{C}}}{j \cdot \omega \cdot L_{eq}}$$
(4.4)

Dove l'induttanza L_{eq} è quella equivalente vista da una fase del convertitore. Inoltre, le prove che ho svolto per il debug dell'AFE sono sulla singola unità non andando ad utilizzare la configurazione interleaved; si avrà quindi lo schema a blocchi dell'anello di controllo delle correnti su assi dq mostrato in figura 4.19, che risulta perciò privo dell'anello di modo comune non essendoci la possibilità di circolazione di corrente tra le due unità.

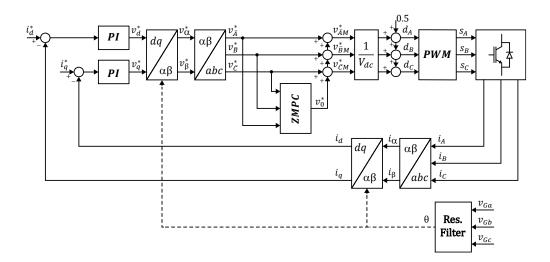


Figura 4.19: Schema a blocchi anello di controllo delle correnti.

La banda passante del controllo delle correnti è imposta ad 1/20 della frequenza di commutazione. In seguito ad un controllo dei gate driver e tutti gli altri componenti coinvolti nella commutazione ho proceduto, come prima prova, imponendo manualmente dal programma di debug dei valori di riferimento della corrente in asse d (i_d^*) partendo da zero fino a 25A di picco, mantenendo la corrente di riferimento in asse q (i_q^*) pari a zero in tutte le prove poiché non si ha intenzione di assorbire potenza reattiva. Per quanto riguarda la tensione di dc-link, avendo una tensione di rete pari a 120V efficaci, a fine precarica, si avrà una tensione v_{dc} pari a circa 290V, successivamente ho utilizzato gli alimentatori DC Delta, regolati in tensione, per portare la v_{dc} a 350V in modo da avere margine per la regolazione delle correnti. Di seguito sono mostrate alcune delle acquisizioni fatte durante le prove dove vengono mostrate le correnti di fase assorbite con i relativi duty cycle. Le correnti sono state misurate tramite pinza amperometrica posta sui conduttori di potenza tra la rete e l'ingresso del convertitore, mentre i duty cycle sono generati da DAC giustificando la presenza di maggiore rumore sulle forme d'onda e sono compresi nell'intervallo [0; 3.3V]. In Fig. 4.20 si nota che le correnti di fase non sono nulle, nonostante il convertitore non stia commutando poiché non è attiva la modulazione ed i duty cycle del convertitore sono fissi ad 1 (3.3V da DAC). Questo fenomeno è giustificato dalla presenza del filtro in ingresso con le capacità C_f che danno origine ad una componente di corrente capacitiva. Mentre, in figura 4.21 il convertitore sta commutando con riferimento nullo delle correnti e rispetto al caso precedente si può vedere la corrente capacitiva del filtro più il ripple di modulazione, confermando che il convertitore è in grado di regolare le correnti fino a zero.

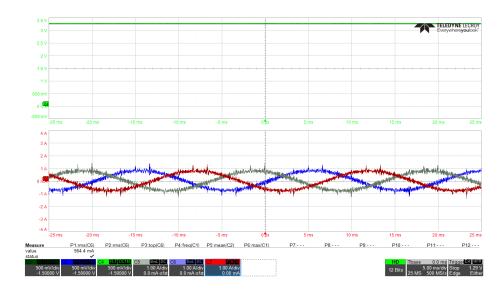


Figura 4.20: Duty cycle (in alto), correnti di fase (in basso) senza commutazione.

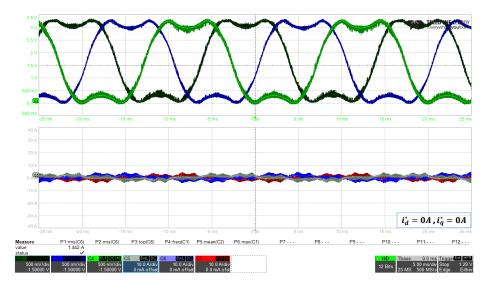


Figura 4.21: Duty cycle (in alto), correnti di fase (in basso) con $i_d^* = 0$.

Dalle Fig. 4.22 e 4.23, si può vedere invece come aumenti in modo significativo la qualità delle correnti assorbite al crescere del loro valore di riferimento. Questo fenomeno è dato dal fatto che facendo le prove a tensioni e correnti ridotte, soprattutto per quanto riguarda la tensione di dc-link, si sta facendo lavorare il convertitore in un intervallo di potenza molto inferiore rispetto a quello per cui è stato progettato e nel quale dovrà trovarsi

a funzionare. Si consideri che per una corrente di riferimento pari a $10\mathrm{A}$ e tensione di dc-link pari a $350\mathrm{V}$ si ha una potenza di circa un decimo di quella nominale.

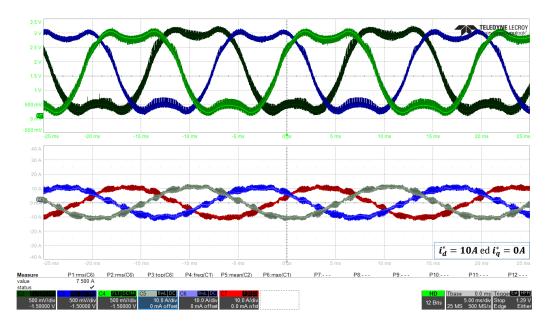


Figura 4.22: Duty cycle (in alto), correnti di fase (in basso) con $i_d^*=10.$

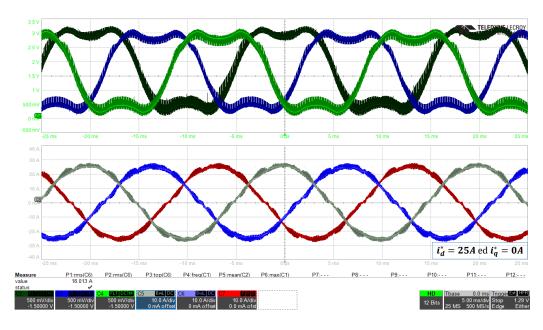
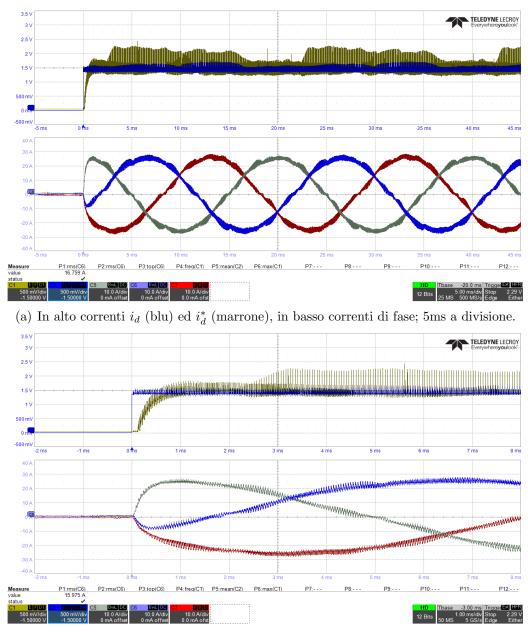


Figura 4.23: Duty cycle (in alto), correnti di fase (in basso) con $i_d^*=25$.

La seconda prova per testare gli anelli di corrente consiste nel vedere la risposta ad un riferimento a gradino della corrente i_d^* . Nella prova mostrata in 4.21 ho dato un riferimento a gradino in asse d pari a 25A.



(b) In alto correnti i_d (blu) ed i_d^* (marrone), in basso correnti di fase; 1ms a divisione.

Figura 4.24: Risposta ad un gradino di corrente da 0 a 25A.

Ovviamente le grandezze i_d ed i_d^* , non essendo quantità direttamente mi-

34 CAPITOLO 4. DEBUG E TESTING: PRECARICA/SCARICA DC-LINK E ANELLI DI CONTROLLO

surabili ma interne al controllo, sono generate da DAC con le solite proprietà già descritte precedentemente. In Fig. 4.24 si può vedere che sono presenti due ritardi:

- 1. Tra il riferimento a gradino i_d^* e la variazione delle tre correnti di fase $i_{A,B,C}$;
- 2. Tra l'inizio della variazione delle correnti $i_{A,B,C}$ e la variazione della corrente i_d .

Il ritardo complessivo è di due Interrupt Service Routine (ISR) complete che, commutando a 20kHz, consiste in un ritardo di $100\mu\text{s}$. Per rendere più chiaro il motivo dei ritardi che si vengono a creare si può fare riferimento alla Fig. 4.25, tenendo in considerazione che i duty cycle vengono aggiornati quanto il timer raggiunge il valore di Auto-Reload Register (ARR).

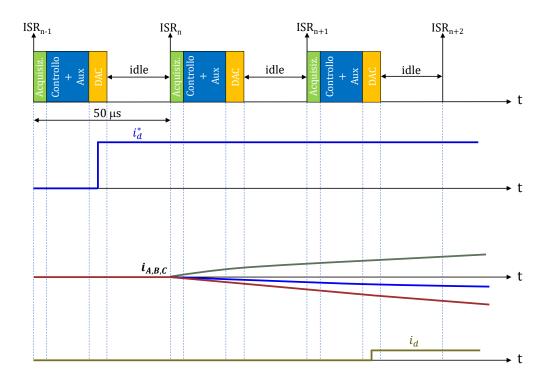
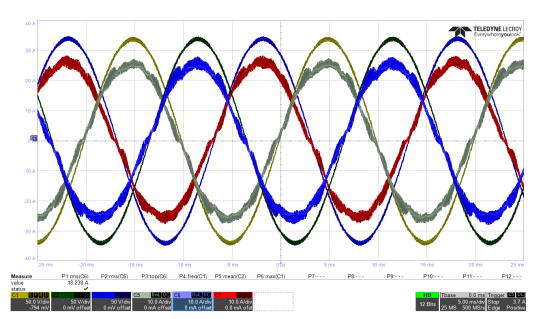


Figura 4.25: Ritardi introdotti in seguito ad una variazione del riferimento di corrente.

Infine, in Fig. 4.26 sono presenti le tre tensioni e correnti di fase dove si può notare un leggero sfasamento tra di esse a causa della corrente capacitiva



del filtro in ingresso a cui è anche attribuita la piccola perdita in termini di fattore di potenza.

Figura 4.26: Tensioni e correnti di fase con $i_d^* = 25A$.

4.4 Debug e Testing Anelli di controllo delle Tensioni

Come per il debug degli anelli di corrente, anche quello relativo agli anelli di tensione viene fatto con l'obiettivo di assicurarsi che ci sia una regolazione delle tensioni sul dc-link. Le grandezze di interesse saranno quindi la tensione totale di dc-link V_{dc} e quella di mid-point V_M definita nelle (4.6) e (4.5).

$$V_{dc} = V_{+} + V_{-} \tag{4.5}$$

$$V_M = \frac{V_- - V_+}{2} \tag{4.6}$$

Le condizioni delle prove sugli anelli di tensione sono presenti in Tab. 4.2, per quanto riguarda il convertitore non ho fatto nessuna modifica hardware rispetto alle prove appena descritte per gli anelli di corrente ma, per l'esecuzione di queste prove, ho collegato i due Delta in parallelo alle due parti del de-link con impostazioni tali che vadano a lavorare in saturazione di corrente sul limite impostatogli assorbendo una corrente costante ed avendo quindi un comportamento da generatore ideale come mostrato in Fig. 4.27.

Tensione di Rete AC	230	V_{rms}
Tensione dc-link	650-800	V_{rms}
Frequenza Rete	50	Hz
Tecnica di Modulazione	ZMPC	/
Induttanza Boost	150 - 200	μH
Induttanza Rete	100	μH
Filtro LCL Ingresso	NO	μH

Tabella 4.2: Condizioni utilizzate nel debug degli anelli di tensione.

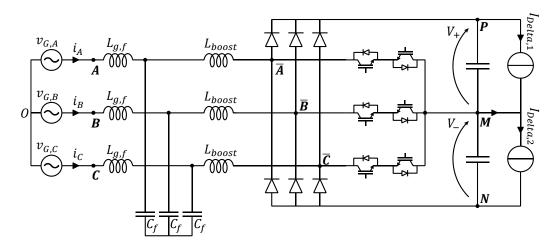


Figura 4.27: Schema circuitale per il debug anelli di tensione.

4.4.1 Anello di Controllo della Tensione Totale di Dclink

L'anello di controllo esaminato ha l'obiettivo di regolare la tensione totale del dc-link con banda passante impostata ad un decimo della banda degli anelli di corrente. Il sistema fisico equivalente per l'anello considerato è mostrato in Fig. 4.28.

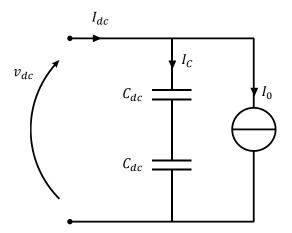


Figura 4.28: Circuito equivalente anello di controllo di tensione dc-link.

La variabile di stato v_{dc} è espressa nella 4.7 come:

$$v_{dc} = \frac{2 \cdot (I_{dc} - I_0)}{s \cdot C_{dc}} \tag{4.7}$$

Per mettere in relazione la corrente di dc-link I_{dc} con quella di fase in ingresso si applica un bilanciamento delle potenze, mostrato nella 4.8, considerando un fattore di potenza unitario.

$$P = \frac{3}{2} \cdot \hat{V}_G \cdot \hat{I}_G \cdot \cos\varphi = \frac{3}{2} \cdot \hat{V}_G \cdot i_d = v_{dc} \cdot I_{dc}$$
 (4.8)

ottenendo così la relazione mostrata nella (4.9).

$$I_{dc} = \frac{3}{2} \cdot \frac{\hat{V}_G}{v_{dc}} \cdot i_d \tag{4.9}$$

Lo schema a blocchi del controllo è mostrato in Fig. 4.29, applicando inoltre la linearizzazione nei confronti della tensione di dc-link con condizione $v_{dc} = V_{dc}$.

38 CAPITOLO 4. DEBUG E TESTING: PRECARICA/SCARICA DC-LINK E ANELLI DI CONTROLLO

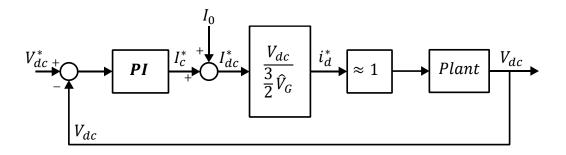


Figura 4.29: Schema a blocchi anello di controllo V_{dc} .

Mentre lo schema a blocchi del plant è mostrato in figura 4.30.

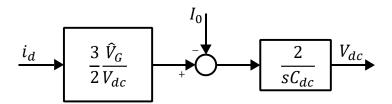


Figura 4.30: Plant anello di controllo tensione V_{dc} .

Per quanto riguarda l'anello di controllo in questione sono state svolte due prove differenti. La prima prova consiste nell'imposizione di un gradino sulla tensione di riferimento del dc-link per passare dalla tensione minima in uscita $(V_{dc,min}=650V)$ a quella massima $(V_{dc,max}=800V)$, il risultato è mostrato nell'aquisizione da oscilloscopio presente in Fig. 4.31. Il setup è sempre composto dall'alimentatore programmabile AC in ingresso (Regatron) e dai due carichi DC in uscita (Delta) che, rispetto alla prove svolte sull'anello di corrente, sono impostati per mantenere una potenza in uscita costante pari a 15kW.

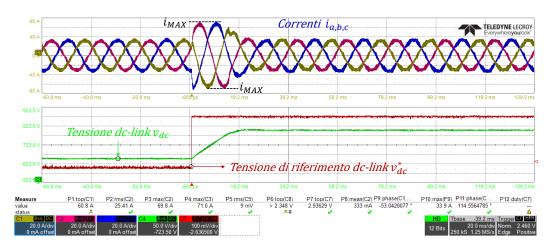


Figura 4.31: Gradino di tensione V_{dc} da 650V ad 800V.

Nell'immagine sopra riportata sono presenti, in alto, le tre correnti di fase mentre in basso sono mostrate la tensione totale di dc-link misurata tramite sonda e la tensione di riferimento v_{dc}^* generata invece da DAC. Si può vedere che la tensione, a seguito del gradino, ci mette circa 20ms per arrivare a regime; le due grandezze di tensione non vanno a coincidere poichè sono rappresentate su fondo scala differente. Inoltre, l'anello di tensione, saturato in modo da limitare la massima corrente del convertitore, durante il periodo transitorio, impone un riferimento di corrente pari a quella massima dell'AFE il quale si comporta da generatore costante di corrente poichè si è in risposta saturata di entrambi gli anelli, facendo sì che la tensione del dc-link salga a rampa in quanto anche il carico, assorbendo un valore di corrente fisso, fa si che ci sia corrente costante anche nei condensatori di dc-link. Una volta che la v_{dc} ha raggiunto la situazione di regime le correnti tornano al valore precedente al gradino tale da sostenere il carico presente. Per una comprensione migliore della risposta, in Fig. 4.32, è mostrato lo stesso gradino di tensione di Fig. 4.31 con forme d'onda scalate.

La seconda prova consiste invece nell'imporre un gradino di carico di ampiezza pari a 10kW, passando da una potenza in uscita di 12.5kW a 22.5kW rimanendo sempre in condizioni di equilibrio in quanto le correnti assorbite dai Delta sono uguali $I_{delta,1} = I_{delta,2}$, andando così a valutare l'impatto della variazione di carico sulla tensione v_{dc} la quale ha il riferimento fisso a $V_{dc,max}$. Per questa prova, rispetto a quella precedente, è stato collegato in parallelo al dc-link ed ai due carichi DC un ulteriore alimentatore DC programmabile bidirezionale (Itech) in grado di lavorare a potenza costante, il setup della prova è schematizzato in Fig. 4.33.

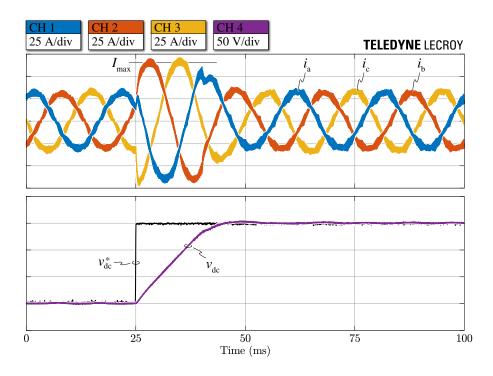


Figura 4.32: Gradino di tensione V_{dc} da 650V ad 800V con forme d'onda scalate [4].

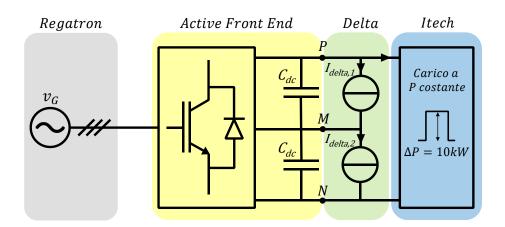


Figura 4.33: Setup per la prova sull'anello di tensione di dc-link.

Mentre, il risultato della prova è mostrato nelle Fig. 4.34 e 4.35 le quali mostrano rispettivamente l'istante in cui viene imposto il gradino di carico e l'stante in cui viene staccato. Dalle immagini si può vedere l'ottima reazione dell'anello di tensione che, in seguito alla variazione della potenza in uscita, riesce a mantenere la tensione sul dc-link perfettamente costante a quella di

riferimento. Anche per quanto riguarda il distacco del carico l'anello si comporta molto bene, presentando solamente una piccola sovratensione dovuta al fatto che per un istante successivo al distacco viene erogata la corrente che era necessaria a sostenere il gradino di carico, andando a caricare il dclink ad una tensione leggermente superiore ad 800V prima che tutti gli anelli si adeguino alla nuova condizione, considerando inoltre che il convertitore è unidirezionale e non può quindi imporre una corrente negativa per forzare la scarica del dc-link, ma può agire imponendo corrente di riferimento nulla oppure, nel caso di piccoli sbilanciamenti, ridurre il riferimento di corrente e lasciare che sia il dc-link stesso a scaricarsi e a raggiungere la tensione voluta.

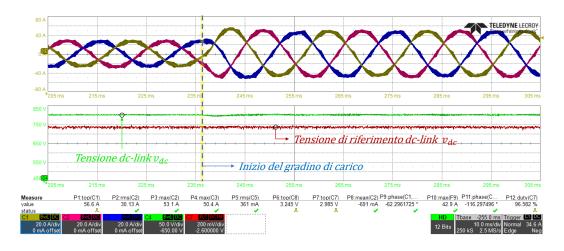


Figura 4.34: Gradino di carico da 10kW, istante iniziale.

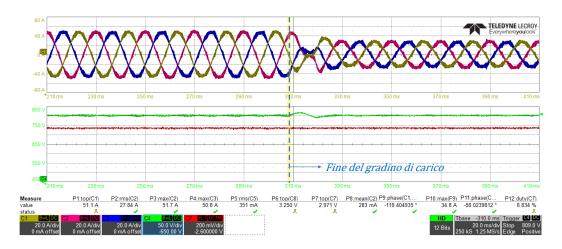


Figura 4.35: Gradino di carico da 10kW, istante del distacco.

4.4.2 Anello di Controllo della Tensione di Mid-Point

L'anello di controllo della tensione di mid-point ha lo scopo di regolare le tensioni DC in uscita in modo da tenere bilanciate la parte di dc-link alta e quella bassa, ottenendo quindi una tensione di mid-point nulla e $V_+ = V_-$. Il circuito equivalente per l'anello di mid-point è riportato in Fig. 4.36.

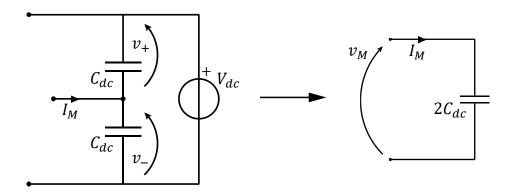


Figura 4.36: circuito equivalente anello di controllo tensione mid-point.

Le due capacità equivalenti di dc-link si comportano come se fossero in parallelo, mentre la tensione totale V_{dc} è considerata costante in quanto regolata dall'anello visto precedentemente. Da queste considerazioni si ottiene quindi la relazione per la variabile di stato mostrata nella (4.10).

$$v_M = \frac{I_M}{s \cdot 2C_{dc}} \tag{4.10}$$

Inoltre, tramite calcoli presenti in [2], si ottiene anche la relazione tra la corrente di mid-point e la variabile di controllo mostrata nella (4.11), dove la tensione v_0 è quella di modo comune.

$$I_M = -\frac{12}{\pi} \cdot \frac{v_0}{V_{dc}} \cdot \hat{I}_G \tag{4.11}$$

Infine, lo schema a blocchi risultante del controllo e quello del plant sono mostrati rispettivamente in Fig. 4.37 e 4.38.

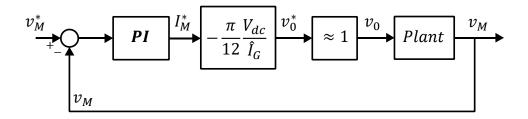


Figura 4.37: Schema a blocchi anello di tensione mid-point.

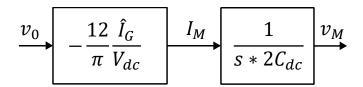


Figura 4.38: Plant anello di controllo tensione di mid-point.

Le prove svolte per questo anello di controllo consistono nell'imporre uno squilibrio, in termini di corrente erogata, sulle due parti di dc-link. Per effettuare queste prove uno degli alimentatori DC Delta è collegato tra il punto positivo P del dc-link ed il punto M di mid-point ed il secondo tra il punto M e il punto negativo N come già mostrato in Fig. 4.33 con la differenza che il carico aggiuntivo Itech viene collegato sul dc-link basso e fatto lavorare a corrente costante ottenendo il setup mostrato in Fig. 4.39.

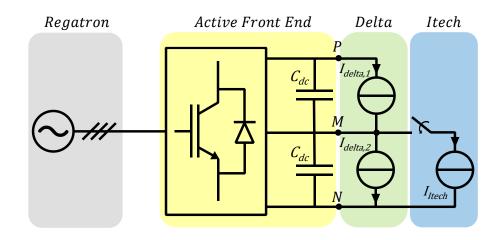


Figura 4.39: Setup per la prova sull'anello di tensione di mid-point.

44 CAPITOLO 4. DEBUG E TESTING: PRECARICA/SCARICA DC-LINK E ANELLI DI CONTROLLO

I risultati della prova sono mostrati in Fig. 4.40 e si può suddividere in diversi intervalli temporali relativi alle azioni eseguite:

- $t < t_1$: periodo transitorio di carica del dc-link fino al valore di riferimento voluto che in questo caso coincide con $V_{dc,min}$. Le correnti di fase sono saturate al valore massimo accettabile fino a carica conclusa;
- $t_1 \le t < t_2$: a seguito della carica del dc-link tutte le grandezze sono a regime, il valore di corrente totale in uscita è settato a $30A_{dc}$ con $I_{delta,1} = I_{delta,2} = 15A_{dc}$;
- $t = t_2$: il carico Itech viene attivato e si crea uno sbilanciamento di $10A_{dc}$ sul dc-link basso creando istantaneamente un abbassamento della tensione ai suoi capi ed un innalzamento di quella presente sul dc-link alto;
- $t_2 < t < t_3$: successivamente allo sbilanciamento l'anello di tensione di mid-point reagisce riportando una situazione di equilibrio tra le tensioni v_+ e v_- agendo tramite l'iniezione di una componente di modo comune per ottenere sempre $v_M = 0$, raggiungendo in seguito la situazione di regime con carico sbilanciato;
- $t=t_3$: l'alimentatore Itech viene disattivato ritornando così ad una richiesta di corrente al dc-link equilibrata tra le due parti creando però una situazione transitoria di squilibrio rispetto al regime precedentemente raggiunto.
- $t_3 < t < t_4$: in seguito alla variazione di carico l'anello di controllo interviene nuovamente per ristabilire l'equilibrio sulle due tensioni;
- $t > t_4$: la situazione di regime è nuovamente raggiunta.

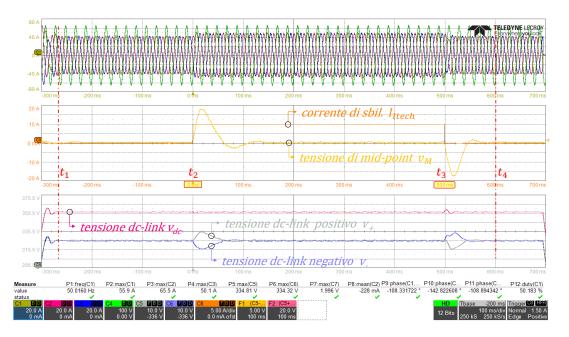


Figura 4.40: Risultato della prova di sbilanciamento mid-point.

Capitolo 5

Algoritmo di Controllo per l'Estrapolazione Automatizzata delle Mappe

L'obiettivo principale di questo capitolo è quello di chiarire l'algoritmo creato, la metodologia, gli strumenti hardware/software ed i setup utilizzati per l'acquisizione delle misure e l'estrapolazione delle mappe di efficienza, THD, fattore di potenza e perdite del raddrizzatore attivo al fine di ottenere tutte le informazioni e le misure in modo automatizzato.

5.1 Introduzione all'Estrapolazione delle Mappe, Strumenti e Tool Utilizzati

Il primo passo è quello di definire tutti i punti in cui si vogliono eseguire le misure, in modo tale da poter ottenere i valori di potenza necessari alla caratterizzazione del convertitore. Il posizionamento degli strumenti di misura sono mostrati in Fig. 5.1 e consistono in cinque misure di tensione (in blu) ed altrettante di corrente (in verde) utili ad acquisire le seguenti grandezze:

- tre tensioni di fase v_a, v_b, v_c , misurate in ingresso al convertitore attraverso l'utilizzo di un centro stella artificiale mostrato in Fig 5.2;
- due tensioni di dc-link, superiore v_{+} ed inferiore v_{-} ;
- tre correnti di fase i_a, i_b, i_c misurate all'ingresso del convertitore;
- due correnti di dc-link i_+ ed i_- , relative alla parte alta e bassa, in modo da poter avere i valori di potenza distinti sulle due parti per riuscire ad analizzare al meglio anche prove con carico squilibrato.

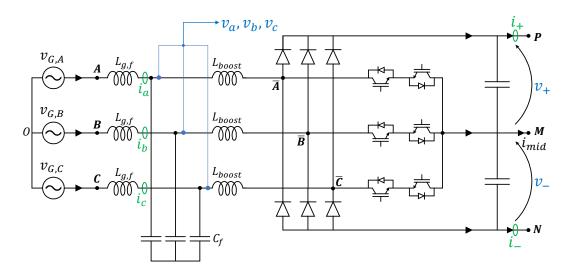


Figura 5.1: Schema circuitale con relativi punti di misura.

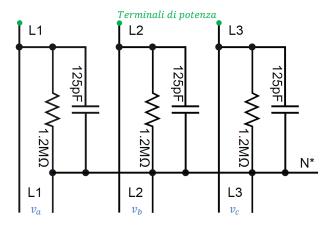


Figura 5.2: Centro stella artificiale HBM per la misura delle tensioni di fase.

Per l'acquisizione delle misure e dei dati ho utilizzato un HBM GEN4tB Transient Recorder and Data Acquisition System equipaggiato con power card GN310B, entrambi mostrati in Fig. 5.3, i quali permettono di effettuare le misure con cadenza di 2 MS/s e con un accuratezza di misura dello 0.015% del valore indicato e 0.02% del campo di misura ottenendo così alta precisione ed affidabilità. Le misure di tensione possono essere collegate direttamente al mainframe HBM poiché può effettuare misure dirette per tensioni fino a $\pm 1500V_{picco}$ mentre, per quanto riguarda le misure di corrente ho utilizzato dei trasduttori LEM IT 200-S ULTRASTAB con relativo condizionatore di segnale Signaltec MTCS mostrati in Fig. 5.4 interposti tra il punto di misura ed il mainframe HBM.



Figura 5.3: HBM GEN4tB (sx), Power card GN310B (dx).



Figura 5.4: Trasduttore di corrente LEM IT 200-S ULTRASTAB (in alto), condizionatore di segnale Signaltec MTCS (in basso).

Come tool software per gestire la parte di acquisizione dati e svolgimento dei calcoli real-time con le misure effettuate ho utilizzato il software dedicato per HBM, *Perception*, nel quale viene "ricreato" il sistema fisico per la definizione delle grandezze misurate, come mostrato in Fig. 5.5, per la successiva definizione del modo in cui utilizzarle.

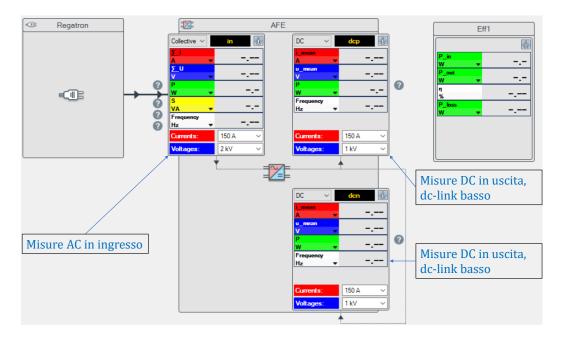


Figura 5.5: Interfaccia grafica Perception.

Prima di esprime le relazioni utilizzate su Perception per effettuare i calcoli real-time con le misure acquisite è utile definire alcune funzioni utilizzate dal programma:

- CycleDetect: individua un periodo di fondamentale per segnali periodici, chiamato successivamente CycleMaster, su cui si basano i calcoli dei valori medi ed efficaci. La grandezza di riferimento per il rilevamento del ciclo è la tensione v_a ;
- CycleRMS: calcola il valore efficace delle grandezze scelte sul riferimento CycleMaster;
- CycleMean: calcola il valore medio del segnale voluto sempre rispetto al riferimento CycleMaster;
- CycleTHD: calcola la distorsione totale del segnale in ingresso tramite la seguente relazione:

$$CycleTHD = 100 \cdot \sqrt{\left(\frac{RMS_{ingresso}}{RMS_{fondamentale}}\right)^2 - 1}$$
 (5.1)

Come primo passo su Perception vengono calcolati i valori efficaci effettivi delle tensioni e delle correnti AC in ingresso come:

$$V_k = CycleRMS(v_k, CycleMaster)$$
 (5.2)

$$I_k = CycleRMS(i_k, CycleMaster)$$
 (5.3)

dove k=a,b,c sta ad indicare la fase considerata del convertitore. Successivamente vengono calcolate le potenze attive sulle singole fasi tramite il calcolo del valor medio del prodotto delle grandezze istantanee di tensione e corrente e la potenza apparente tramite il prodotto dei valori efficaci effettivi delle tensioni e delle correnti:

$$P_k = CycleMean(p_k, CycleMaster) \quad con \ p_k = v_k \cdot i_k$$
 (5.4)

$$P_{in} = P_a + P_b + P_c \tag{5.5}$$

$$S_k = V_k \cdot I_k \tag{5.6}$$

$$S_{in} = S_a + S_b + S_c \tag{5.7}$$

La potenza reattiva viene invece calcolata utilizzando quella attiva ed apparente appena calcolate:

$$Q_{in} = \sum_{k=a,b,c}^{k=a,b,c} \sqrt{S_k^2 - P_k^2}$$
 (5.8)

Una volta ottenute tutte le potenze viene calcolato il fattore di potenza sia per la singola fase che quello complessivo:

$$PF_k = \frac{P_k}{S_k} \tag{5.9}$$

$$PF = \frac{P_{in}}{S_{in}} \tag{5.10}$$

51

Per quanto riguarda le misure DC in uscita il procedimento è lo stesso mostrato per le grandezze AC:

$$V_{dc,i} = CycleRMS(v_i, CycleMaster)$$
 (5.11)

$$I_{dc,j} = CycleRMS(i_j, CycleMaster)$$
 (5.12)

dove il pedice j=+,- sta ad indicare se si considera il dc-link alto o basso.

CAPITOLO 5. ALGORITMO DI CONTROLLO PER L'ESTRAPOLAZIONE AUTOMATIZZATA DELLE MAPPE

$$\bar{V}_{dc,j} = CycleMean(v_j, CycleMaster)$$
 (5.13)

$$\bar{I}_{dc,i} = CycleMean(i_i, CycleMaster)$$
 (5.14)

$$P_{out,j} = CycleMean(v_j \cdot i_j, CycleMaster)$$
 (5.15)

$$P_{out} = P_{out,+} + P_{out,-} (5.16)$$

La funzione *CycleMean* viene eseguita anche sulle grandezze in continua per avere il riferimento temporale delle misure coincidente a quello delle grandezze in alternata. Ora che tutte le potenze sia in ingresso che in uscita sono note si posso calcolare, sempre real-time, l'efficienza e le perdite del convertitore come:

$$\eta = \frac{P_{out}}{P_{in}} \tag{5.17}$$

$$P_{loss} = P_{in} - P_{out} \tag{5.18}$$

Infine anche i valori di THD delle singole correnti lato rete e quello complessivo vengono calcolati tramite la funzione *CycleTHD* che utilizza la (5.1) tramite le relazioni seguenti:

$$THD_k = CycleTHD(i_k, CycleMaster, f_{fond})$$
 (5.19)

$$THD = \frac{\sum_{k=a,b,c} THD_k}{3} \tag{5.20}$$

In seguito vengono definite altre grandezze che verranno utilizzate nelle mappe ma che non vengono misurate direttamente ed è quindi necessario ottenerle tramite la combinazione di quelle dirette.

$$\bar{V}_M = \bar{V}_{dc,+} - \bar{V}_{dc,-} \tag{5.21}$$

$$\bar{V}_{dc} = \bar{V}_{dc,+} + \bar{V}_{dc,-} \tag{5.22}$$

$$\bar{I}_{mid} = -\left(\bar{I}_{dc,-} + \bar{I}_{dc,+}\right)$$
 (5.23)

Nelle (5.21), (5.22) e (5.23) sono rispettivamente espresse la tensione di mid-point, quella totale di dc-link e la corrente di mid-point, in accordo con

52

le convenzioni di segni mostrate in Fig. 5.1. Finita un'intera acquisizione, da Perception si ottiene un file con la registrazione completa di tutte le forme d'onda con i valori istantanei delle grandezze per ogni sweep ed un secondo file .XML che contiene le grandezze medie (es. tensioni, correnti, efficienza, THD ecc.) per ogni sweep acquisito, riferito quindi ad un singolo punto di lavoro. Essendo che tutte le formule appena descritte vengono eseguite in tempo reale da HBM, per ottenere il singolo valore delle grandezze per ogni punto di lavoro considerato, sarà necessario eseguire la media sui più cicli contenuti all'interno degli sweep. Infine sono mostrate le foto del setup di misura:



Figura 5.6: Strumentazione: HBM, Signaltec e alimentatori DC Delta.

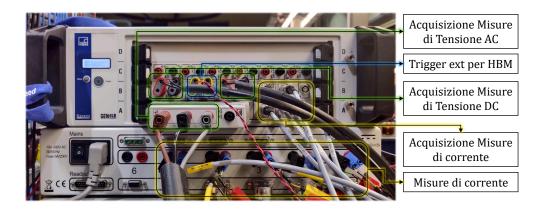


Figura 5.7: Setup e collegamenti per misure di tensione e corrente.

5.2 Algoritmi di Controllo per la Caratterizzazione del Convertitore

Per raggiungere l'obiettivo prefissato dell'acquisizione automatizzata di tutti i dati necessari ad ottenere le mappe per la caratterizzazione del convertitore ho sviluppato degli script Matlab che permettono la comunicazione tra computer, microcontrollore dell'Active Front End, sorgenti di carico Delta ed il sistema di acquisizione dei dati HBM.

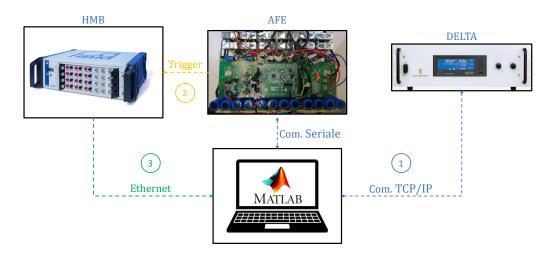


Figura 5.8: Schema generale comunicazione.

Lo schema generale della comunicazione è mostrato in Fig. 5.8, da cui si può notare che sono presenti tre vie di comunicazione principali:

- 1. Tramite lo script Matlab si esegue la comunicazione diretta con il microcontrollore (via seriale) del convertitore e con gli alimentatori Delta (protocollo TCP/IP) tramite cui verranno scambiate tutte le informazioni ed i riferimenti necessari ad ottenere i punti di lavoro voluti.
- 2. In seguito alle comunicazioni effettuate precedentemente il convertitore viene fatto passare nei vari stati di macchina, sempre tramite comandi software, fino allo stato di GO con le condizioni volute e viene inviato un segnale differenziale di trigger a ±3.3V tramite le periferiche general-purpose input/output (GPIO) ad HBM in modo da determinare l'istante in cui deve effettuare l'acquisizione dei dati per ogni singolo punto di lavoro.

3. Alla fine dell'acquisizioni di tutti i singoli punti di lavoro (sweep di Perception) i dati vengono inviati dall'HMB al computer tramite cavo di rete.

A livello del microcontrollore, appena si entra nello stato di GO si attiva un contatore usato per determinare il tempo di attesa prima dell'invio del trigger ad HBM in modo che si esegua l'acquisizione delle misure in stato di regime del punto di lavoro considerato e successivamente all'invio del trigger viene attivato un secondo contatore che tiene conto del tempo di lavoro del convertitore in quelle condizioni prima di tornare nello stato di READY per potere cambiare i riferimenti e svolgere poi le misure del punto di lavoro successivo. Per il tempo di attesa e di lavoro ho scelto rispettivamente 100ms e 400ms; il tempo di lavoro è stato definito in modo tale da non far variare notevolmente la temperatura dei semiconduttori e per effettuare le misure in tempi sufficientemente lontano dal cambio di stato di macchina. Inoltre, una volta che il trigger è stato inviato ed HBM ha iniziato ad acquisire tutte le misure, Perception calcola la media delle varie grandezze definite nelle espressioni mostrate nel paragrafo precedente su una finestra con ampiezza temporale di cinque periodi di fondamentale centrata sui 400ms di sweep, lo schema temporale è mostato in Fig. 5.9.



Figura 5.9: Schema temporale per trigger ed acquisizione misure.

Nella prima parte, comune a tutte le modalità dell'algoritmo che verranno presentate, vengono scelte ed impostate tutte le condizioni della prova che si vuole eseguire come mostrato nel diagramma di flusso in Fig. 5.10:

- Scelta degli intervalli di lavoro: vengono impostati i valori massimi e minimi delle variabili controllabili V_{dc} , |I|, φ che sono rispettivamente la tensione di dc-link ed il modulo e l'angolo della corrente di riferimento in ingresso negli assi dq, in caso di prove a carico sbilanciato verrà impostato anche il livello percentuale di squilibrio;
- Scelta della modalità di controllo AFE: si decide se lavorare in modalità CC "Constant Current" oppure CV "Constant Voltage" (successivamente definite) e si effettua la scelta del tipo di tecnica di modulazione che si vuole utilizzare;

- Definizione della risoluzione delle mappe e scelta dei DAC: vengono scelti i numeri di step da eseguire delle tre variabili controllabili e viene comunicato al microcontrollore quali grandezze visualizzare tramite DAC nel caso si voglia monitorare qualche grandezza da oscilloscopio non misurabile dall'esterno;
- Limiti e controllo dei valori inseriti: viene eseguito un check e successiva saturazione rispetto ai valori massimi di V_{dc} , |I|, φ e dei limiti dei Delta nel caso ci sia stato un errore nell'inserimento di essi;
- Costruzione dei vettori: vengono creati vettori con componenti equi spaziate contenenti i valori delle variabili controllabili che andranno quindi a definire tutti i punti di lavoro in cui il convertitore andrà a lavorare durante la prova.

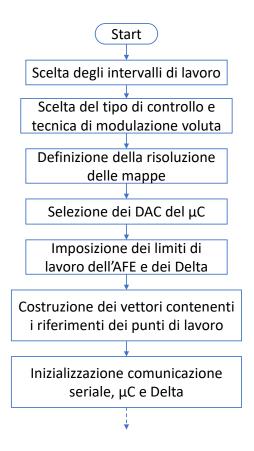


Figura 5.10: Diagramma di flusso della prima parte dell'algoritmo per la definizione delle condizioni della prova.

5.2.1 Strategia di Controllo Constant Current

Se si decide di svolgere le prove in modalità di controllo constant current l'anello di tensione dell'AFE è disattivato, mantenendo attivo solo quello di corrente ed i carichi DC Delta sono regolati in tensione in modo che mantengano loro la V_{dc} costante ed al riferimento voluto, mentre il riferimento di corrente viene passato all'anello di controllo del convertitore ottenendo uno schema equivalente della prova come quello in Fig. 5.11, inoltre, in questa modalità, è possibile decidere se lavorare a φ variabile o con corrente fissa in asse d. Per quanto riguarda l'algoritmo di controllo utilizzato per questa modalità vengono eseguiti tre cicli for annidati, uno per ogni variabile controllabile, come si può vedere nel diagramma di flusso in Fig. 5.12, dove le variabili N_i , N_v , N_{φ} sono le dimensioni dei vettori contenenti i riferimenti di |I|, V_{dc} e dell'angolo φ .

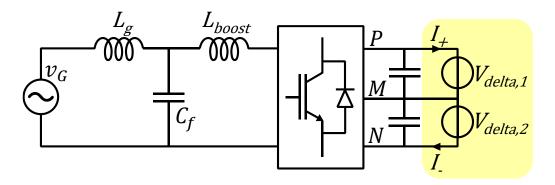


Figura 5.11: Schema equivalente del setup per la modalità constant current.

Riguardo al diagramma di flusso mostrato in Fig. 5.12 è necessario aggiungere qualche informazione:

- I riferimenti relativi al modulo e fase della corrente sono settati attraverso l'invio, tramite seriale e successiva decodifica, di stringhe da parte di Matlab al microcontrollore, mentre i riferimenti di tensione sono inviati tramite protocollo TCP/IP ai Delta;
- L'azione check stato AFE esegue la verifica sullo stato di macchina del convertitore come fatto in seguito all'imposizione del riferimento della tensione di dc-link e per facilitare la rappresentazione all'interno del flow-chart è stato ridotto ad un singola operazione; l'azione di fatto consiste, in seguito alla richiesta tramite seriale delle informazioni volute relative al convertitore, nel verificare se lo stato dell'AFE sia READY e di conseguenza sia pronto a lavorare alle condizioni definite

dall'aloritmo, nel caso si trovasse in qualsiasi altro stato di macchina tutti gli strumenti vengono disattivati, l'acquisizione dati terminata ed il convertitore mandato in ERROR;

- Le azioni di precarica del dc-link, passaggio in stato di GO/ERROR opppure la scarica del convertitore sono eseguite con azioni software che, sempre tramite comunicazione seriale e successiva decodifica da parte del microcontrollore, svolgono la stessa azione dei pulsanti fisici collegati all'AFE;
- L'operazione Check tensione V_{dc} controlla che la precarica del dc-link si terminata correttamente e verifica che la differenza tra la tensione misurata sul dc-link dal convertitore e quella di riferimento dei Delta sia al di sotto di una soglia voluta, se la condizione non è rispettata il convertitore è mandato in ERROR e tutte le operazioni in atto vengono concluse.

Se tutti e tre i cicli for vengono svolti completamente il processo termina in maniera corretta riportando le tensioni di riferimento dei Delta a zero, comandando al convertitore lo stato di scarica del dc-link e successivamente comunicando ad *Perception* di interrompere l'acquisizione dei dati. In seguito vengono processati tutti i dati ottenuti da HBM e con l'utilizzo del file .XML ed un script Matlab ausiliario si procede all'elaborazione dei dati per estrapolare le mappe volute.

Il codice Matlab sviluppato relativo alle procedure descritte è presente in appendice B con le relative funzioni che sono state implementate al suoi interno per eseguire i vari cicli necessari allo svolgimento dell'algoritmo di controllo.

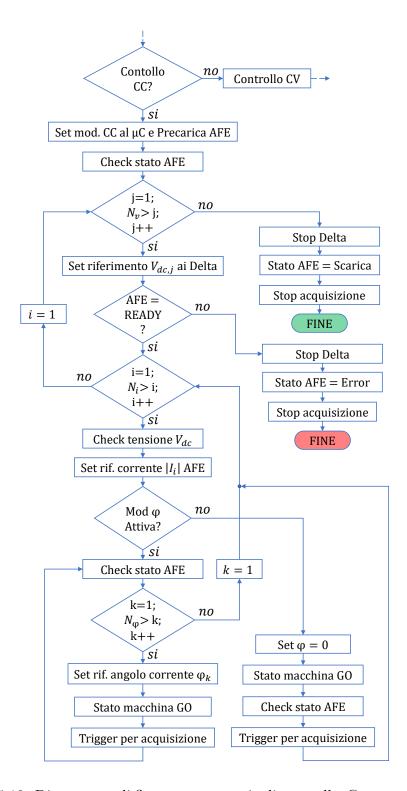


Figura 5.12: Diagramma di flusso per strategia di controllo Constant Current.

5.2.2 Strategia di Controllo Constant Voltage

Se invece si lavora in modalità di controllo constant voltage, ai carichi DC Delta viene settata una tensione compresa tra il valore di fine precarica e quello minimo di funzionamento del dc-link in modo tale da essere sicuri che assorbano corrente in quanto la tensione di lavoro V_{dc} è sicuramente superiore e che il loro comportamento sia assimilabile quindi ad un generatore di corrente ideale. Gli anelli di tensione e di corrente del convertitore sono tutti attivi. In seguito alla costruzione del vettore dei riferimenti di tensione del dc-link nell'intervallo $[V_{dc,min}; V_{dc,max}]$ il riferimento di tensione V_{dc} voluto viene inviato all'anello di tensione dell'AFE, mentre i riferimenti di corrente in uscita al convertitore vengono impostati ai Delta in modo che lavorino a valore di corrente costante. Lo schema equivalente della prova ed il diagramma di flusso di questa strategia di controllo sono mostrati rispettivamente in Fig. 5.13 e 5.14.

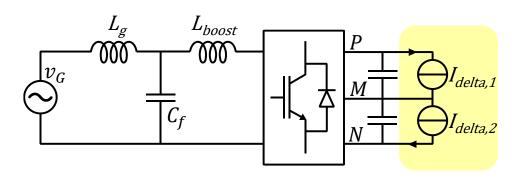


Figura 5.13: Schema equivalente del setup per la modalità constant voltage.

Una possibilità interessante della modalità CV è quella di poter eseguire prove anche con carico squilibrato tramite l'imposizione di valori di riferimento ai Delta differenti tra loro; risulta però necessario calcolare i limiti su cui costruire il vettore dei riferimenti delle correnti. La condizione nella (5.25) è necessaria affinché il Delta con valore di corrente maggiore non vada in limitazione di potenza in quanto il limite di carico è di 15kW ciascuno.

$$I_{dc,lim}(j) = \frac{P_{out,lim}}{V_{dc,ref}(j)}$$
(5.24)

dove la potenza di riferimento in uscita $P_{out,lim} = 30kW$ e l'indice j sta ad indicare il ciclo di tensione in cui ci troviamo.

$$I_{max}(j) = I_{dc,lim}(j) - \left(I_{dc,lim}(j) \cdot \frac{squilibrio\%}{2}\right)$$
 (5.25)

dove lo squilibrio è definito in base alla differenza delle potenze presenti sulle due parti del dc-link che si vuole ottenere in uscita al convertitore:

$$squilibrio\% = 2 \cdot \frac{\Delta P}{P_{out,lim}} = 2 \cdot \frac{P_{Delta,1} - P_{Delta,2}}{P_{out,lim}}$$
 (5.26)

Inoltre, essendo che entrambe le espressioni nelle (5.24) e (5.25) sono dipendenti dall'indice j, cioè dalla tensione di dc-link a cui si sta svolgendo la prova, risulta quindi necessario che i limiti di corrente vengano ricalcolati ad ogni ciclo di tensione. Successivamente viene creato un solo vettore I_{ref} contenente i riferimenti di corrente, centrati rispetto ai valori di squilibrio, tra zero ed I_{max} , ricavando poi le correnti di riferimento dei singoli Delta tramite la (5.27) e (5.28).

$$I_{delta,1}(i) = I_{ref}(i) + \left(I_{ref}(i) \cdot \frac{squilibrio\%}{2}\right)$$
 (5.27)

$$I_{delta,2}(i) = I_{ref}(i) - \left(I_{ref}(i) \cdot \frac{squilibrio\%}{2}\right)$$
 (5.28)

Nel caso si volesse lavorare a carico equilibrato è sufficiente impostare squilibrio nullo nella definizione delle condizioni di prova iniziali ottenendo riferimenti uguali per i due Delta in tutti i punti di lavoro.

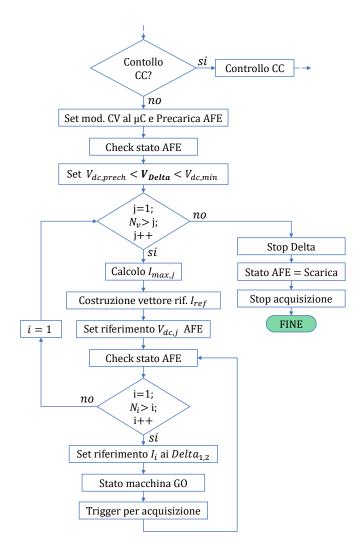


Figura 5.14: Diagramma di flusso per strategia di controllo Constant Voltage.

5.3 Squilibrio del Carico Tramite DutyCycle di Modo Comune e Relativa Saturazione

L'ultima modalità di test per effettuare la caratterizzazione del convertitore ha l'obiettivo di individuare l'intervallo di squilibrio dei carichi entro in cui si riesce a compensare. Nel normale funzionamento degli anelli di controllo delle tensioni di uscita del convertitore, i duty cycle vengono corretti, tramite un contributo aggiunto a quello dato dall'iniezione di modo comune dalla tecnica di modulazione, in modo da avere bilanciamento delle tensioni in uscita per ottenere la condizione $V_+ = V_-$ come mostrato in Fig. 5.15.

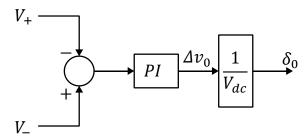


Figura 5.15: Correzione del duty cycle di modo comune per il bilanciamento delle tensioni in uscita.

La prova in oggetto consiste nell'imporre un valore costante di duty cycle di modo comune δ_0 in modo che venga forzata una corrente di mid-point in quanto si viene a creare uno squilibrio delle tensioni in uscita.

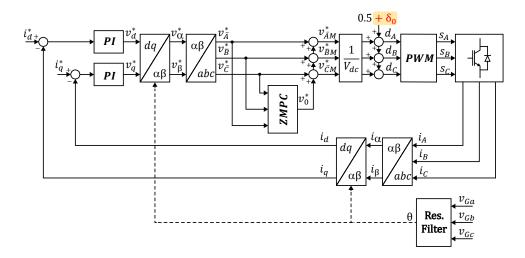
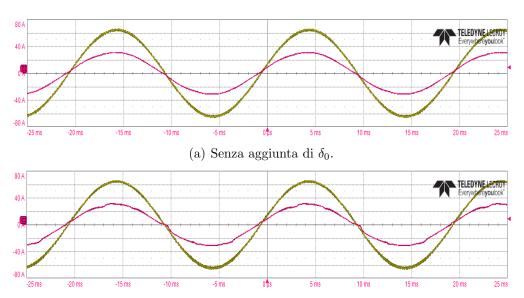


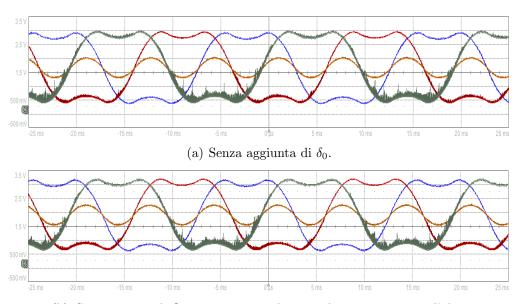
Figura 5.16: Schema a blocchi con aggiunta della quota costante di duty cycle di modo comune.

L'aggiunta di una quantità costante del duty cycle di modo comune ne comporta la loro polarizzazione, visibile in Fig.5.18, creando uno squilibrio all'uscita del convertitore con conseguente aumento, in positivo oppure in negativo, della corrente I_{mid} mostrata in Fig. 5.19.



(b) Con aggiunta di δ_0 positivo, è presente una leggera distorsione delle correnti.

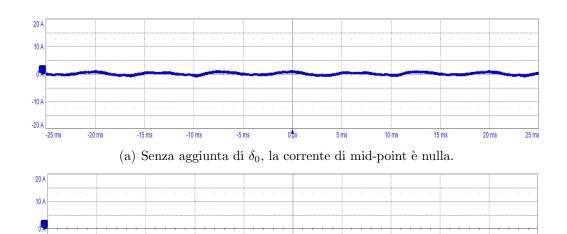
Figura 5.17: Confronto tra corrente (rosa) e tensione (ocra) di fase con e senza aggiunta di duty cycle di modo comune costante δ_0 ; $V_G=230V_{rms}$, $i_d^*=30A$ e $V_{dc}=800V$.



(b) Con aggiunta di δ_0 positivo, con relativa polarizzazione verso l'alto.

Figura 5.18: Confronto dei duty cycle con e senza aggiunta di δ_0 .

64 CAPITOLO 5. ALGORITMO DI CONTROLLO PER L'ESTRAPOLAZIONE AUTOMATIZZATA DELLE MAPPE



(b) Con aggiunta di δ_0 positivo, si forza una corrente di mid-point negativa.

Figura 5.19: Confronto della corrente di mid-point con e senza aggiunta di δ_0 .

Al crescere di δ_0 , i duty cycle si polarizzano sempre di più andando a saturare, con conseguente distorsione della corrente assorbita fino ad arrivare alla perdita del controllo.

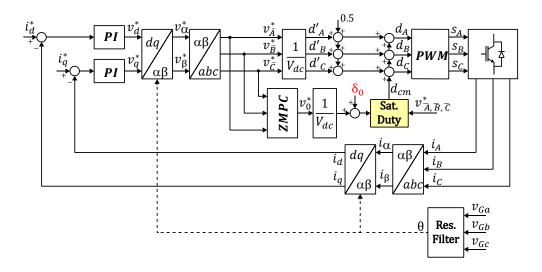
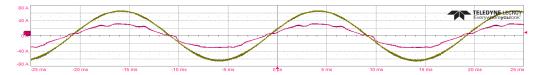


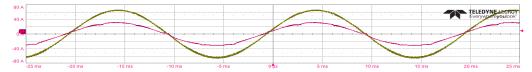
Figura 5.20: Schema a blocchi con implementazione della saturazione dei duty cycle.

25 ms

Per ovviare a questo problema è stato implementato, nel codice di controllo del convertitore, una saturazione sul duty cycle di modo comune risultante da δ_0 più la componente data dalla tecnica di modulazione in modo da estendere l'intervallo in cui si riesce a regolare lo sbilanciamento, contenendo inoltre la distorsione delle correnti. Il relativo schema a blocchi è mostrato in Fig. 5.20, mentre il confronto tra il sistema con e senza saturazione del duty cycle di modo comune, a parità di δ_0 , è mostrato nelle Fig. 5.21, 5.22 e 5.23.

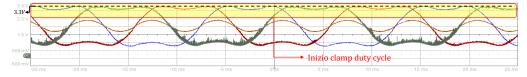


(a) Con aggiunta di δ_0 e saturazione disattivata, la corrente assorbita presenta una distorsione.

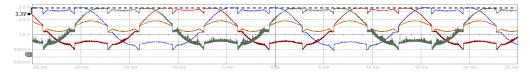


(b) Con aggiunta di δ_0 e saturazione attivata, la distorsione della corrente risultante è contenuta.

Figura 5.21: Confronto tra corrente (rosa) e tensione (ocra) di fase con e senza saturazione del duty cycle di modo comune, a parità di δ_0 ; $V_G = 230V_{rms}$, $i_d^* = 30A$ e $V_{dc} = 800V$.



(a) Con aggiunta di δ_0 e saturazione disattivata, è presente un clamp dei duty cycle con conseguente distorsione della corrente assorbita.



(b) Con aggiunta di δ_0 , saturazione attivata.

Figura 5.22: Confronto tra duty cycle con e senza saturazione del duty cycle di modo comune, a parità di δ_0 .

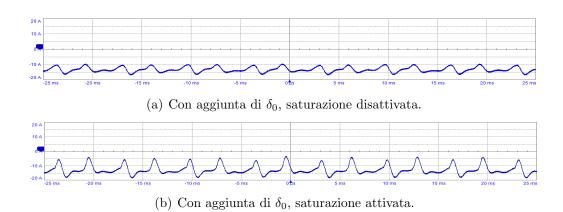


Figura 5.23: Confronto tra corrente di mid-point con e senza saturazione del duty cycle di modo comune, a parità di δ_0 .

Invece, per quanto riguarda la prima parte dell'algoritmo utilizzato per la caratterizzazione del convertitore tramite l'imposizione di valori costanti di δ_0 è piuttosto simile a quella mostrata in Fig. 5.10 utilizzata per le modalità CC e CV. Varia però la definizione delle condizioni di prova in quanto il riferimento di corrente i_d^* è mantenuto allo stesso valore per tutta la durata della prova e si va a lavorare su riferimenti variabili della tensione V_{dc} regolata dai Delta e dei valori aggiuntivi di duty cycle di modo comune δ_0 . Nella prima parte si vanno quindi a definire i seguenti parametri:

- definizione dell'intervallo di lavoro di V_{dc} e δ_0 ed imposizione della corrente di fase lato rete a cui si vuole effettuare la prova;
- scelta risoluzione della mappa (quantità punti di lavoro);
- costruzione dei vettori equi spaziati dei riferimenti V_{dc} e δ_0 ;
- Inizializzazione delle comunicazioni seriale, μC e Delta con impostazione dei limiti di lavoro massimi degli strumenti.

Per la costruzione del vettore dei riferimenti di δ_0 viene impostato il valore massimo $\delta_{0,max}$ voluto nella prova e successivamente creato il vettore nell'intervallo $[-\delta_{0,max}; \delta_{0,max}]$ in modo da caratterizzare il convertitore sia forzando corrente di mid-point I_{mid} positiva che negativa. Lo schema equivalente del setup risulta analogo a quello mostrato in Fig. 5.11, mentre per quanto riguarda la restante parte del procedimento si puo fare riferimento al diagramma di flusso mostrato in Fig. 5.24 ed al codice Matlab presente in appendice B.6.

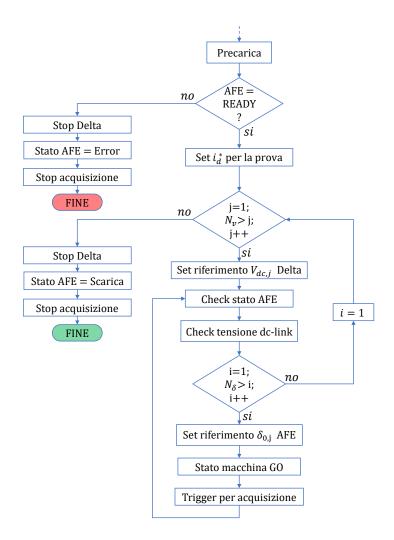


Figura 5.24: Diagramma di flusso per la caratterizzazione del convertitore tramite aggiunta di duty cycle di modo comune δ_0 .

Per le azioni check stato AFE, check tensione dc-link ecc, vale quanto descritto per le modalità viste precedentemente.

Capitolo 6

Risultati Sperimentali

In questa sezione della tesi sono esposti e mostrati tutti i risultati sperimentali ottenuti nelle prove svolte in laboratorio tramite l'utilizzo degli algoritmi definiti nel capitolo precedente; nello specifico verranno mostrati i risultati relativi a:

- Test del filtro LCL in ingresso ed influenza dell'induttanza di rete e banda passante dell'anello di controllo delle correnti con tensione di uscita fissa;
- Mappe di efficienza, THD, fattore di potenza e perdite in condizioni di carico equilibrato a diverse tensioni di rete;
- Mappe in condizioni di carico squilibrato con e senza saturazione del duty cycle di modo comune;
- Ottenimento sperimentale dei limiti per implementare la saturazione dell'anello di tensione di mid-point tramite LUT;
- Prestazioni del convertitore relativi a prove con fattore di potenza non unitario.

Prove	Setup	Controllo AFE	Controllo Delta	Impostazione Matlab	Risultati
Test LCL e valutazione L _g	$ \bigcup_{DG} \bigcup_{OG} \bigcup_{OG}$	i_d	CV	CC, procedimento in Fig. 5.12	Efficienza, THD, PF
Carico equilibrato	$\begin{array}{c c} L_g = 1.25mH \ L_{boost} \\ \hline \\ V_G \\ \hline \\ C_f \\ \hline \end{array} + \begin{array}{c c} V_{delta,1} \\ \hline \\ C_f \\ \hline \end{array}$	i_d	CV	CC, procedimento in Fig. 5.12	Efficienza, THD, PF e Perdite
Carico squilibrato	$L_g = 100\mu H L_{hoost}$ $\downarrow \int_{V_G} \frac{I_{delta, I}}{C_f} \frac{I_{delta, I}}{I_{delta, I}}$	v_{dc}	CC con squilibrio	CV, procedimento in Fig. 5.14	Efficienza, THD, PF e Perdite
Iniezione duty cycle di modo comune costante	$L_g = 100 \mu H L_{boost}$ C_f C_f $L_g = 100 \mu H L_{boost}$ $C_{delta.2}$	$i_a \ \delta_0$	CV	Modalità δ_0 procedimento In Fig. 5.24	Limiti sat. Anello mid-point, I _{mid}
Prestazioni a PF non unitario	$C_{g} = 100 \mu H L_{boost}$ C_{f} C_{f}	[1]	CV	CC + Mod.φ procedimento In Fig. 5.12	THD, PF , I _{mid}

Figura 6.1: Tabella schematica riassuntiva delle prove svolte.

6.1 Test Filtro LCL in Ingresso ed Induttanza di Rete

Nelle prime prove eseguite ho svolto dei test sul convertitore con l'aggiunta del filtro LCL in ingresso a diversi valori dell'induttanza di rete e banda passante del controllo di corrente, in modo da ottenere una caratterizzazione preliminare delle prestazioni in termini di efficienza, THD e fattore di potenza del convertitore oltre a valuatre anche le prestazioni del filtro LCL. In Tab. 6.1 sono riassunte le condizioni utilizzate per lo svolgimento delle prove.

Tensione di Rete	230	V_{rms}
Tensione di dc-link	800	V
Frequenza Rete	50	Hz
Induttanza Filtro	150-200	μH
Induttanza Boost	150-200	μH
Condensatore Filtro	15	μF
Resistenza Smorzamento Filtro	1.0	Ω
Induttanza Rete	0 - 1.25	mH
Banda Anello Corrente $f_{bw,i}$	500 - 850	$_{ m Hz}$

Tabella 6.1: Condizioni per l'esecuzione dei test sul filtro LCL ed induttanza di rete.

Le prove sono state fatte variando anche il valore dell'induttanza di rete poichè nella realtà, non essendo possibile conoscerla a priori, si è voluto valutare l'impatto sulla corrente assorbita e anche sulla stabilità dell'anello di controllo delle correnti. Come si può notare dai dati in Tab. 6.1, l'induttanza di filtro e di boost sono uguali come valori ma anche come costruzione; il loro valore è variabile da 150 a $200\mu H$ in base alla corrente che le attraversa, facendo riferimento ai valori di corrente che si posso avere nel normale funzionamento del convertitore [0; 61.5A]. Inoltre, c'è anche la presenza di una resistenza in serie al condensatore C_f con la funzione di smorzare le oscillazioni poichè il filtro ha una frequenza di risonanza superiore alla banda passante degli anelli di controllo e di conseguenza è necessario smorzare il sistema tramite queste resistenze.

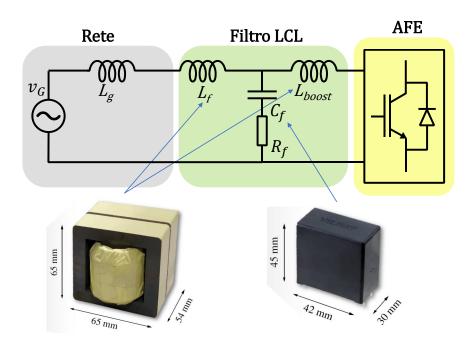


Figura 6.2: Schema monofase equivalente per l'esecuzione dei test sul filtro LCL ed induttanza di rete.

Essendo che la misura di tensione viene effettuata sul condensatore C_f e successivamente viene pesantemente filtrata dal filtro risonante a 50Hz da cui si ottiene l'angolo di riferimento della rete, al piccolo segnale, la dinamica è quella dell'intero sistema fisico poichè non si fornisce in feedforward la tensione direttamente misurata sui condensatori di filtro, dovendo quindi effettuare la taratura del regolatore PI considerando anche la presenza dell'induttanza di filtro e non solo quella di boost tramite le seguenti relazioni:

$$f_{z,i} = \frac{f_{bw,i}}{5} \tag{6.1}$$

$$k_{p,i} = 2\pi \cdot f_{bw,i} \cdot (L_{boost} + L_f) \tag{6.2}$$

$$k_{i,i} = 2\pi \cdot f_{z,i} \cdot k_{p,i} \cdot T_s \tag{6.3}$$

dove $f_{z,i}$, $k_{p,i}$, $k_{i,i}$ sono rispettivamente la frequenza dello zero ed i coefficienti proporzionale ed integrale del regolatore PI. Nella (6.3) è presente il termine T_s in quanto la taratura del PI è implementata nel microcontrollore e quindi è a tempo discreto.

In Tab. 6.2 sono presenti le prove eseguite e successivamente i risultati ottenuti.

Test	$L_g [\mu H]$	$L_f [\mu H]$	$L_{boost} [\mu H]$	$\int f_{bw,i} [Hz]$
Test A	0.0	170	170	500
Test B	0.0	170	170	850
Test C	300	170	170	500
Test D	1250	170	170	500
Test E	1250	170	170	850

Tabella 6.2: Tabella riassuntiva delle condizioni di test sul filtro LCL, induttanza rete e frequenza del controllo.

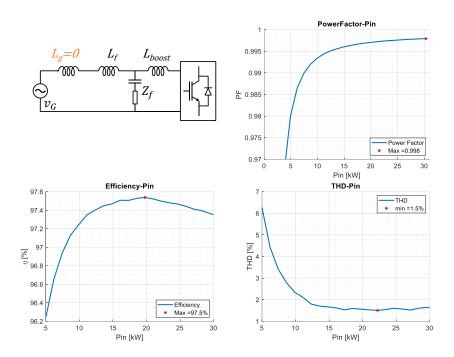


Figura 6.3: Risultati test A su LCL e induttanza rete.

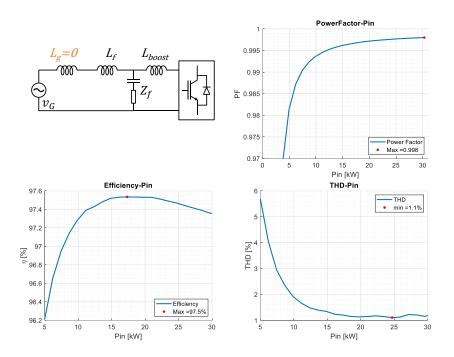


Figura 6.4: Risultati test B su LCL e induttanza rete.

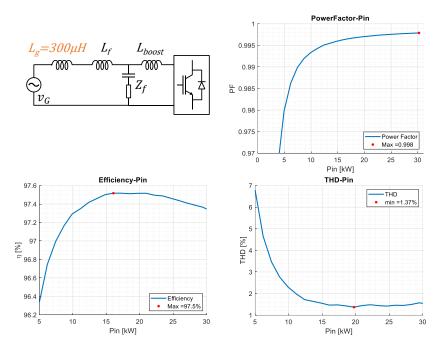


Figura 6.5: Risultati test C su LCL e induttanza rete..

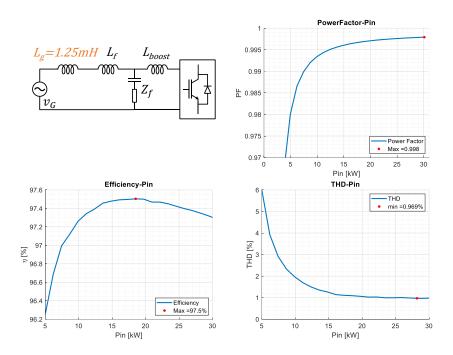


Figura 6.6: Risultati test D su LCL e induttanza rete..

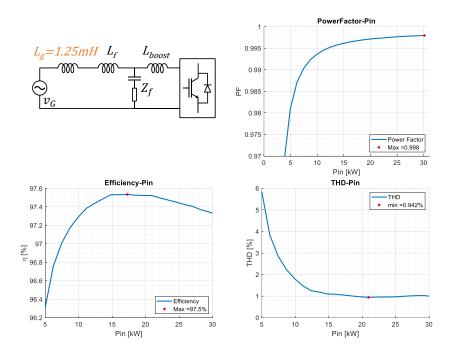


Figura 6.7: Risultati test E su LCL e induttanza rete..

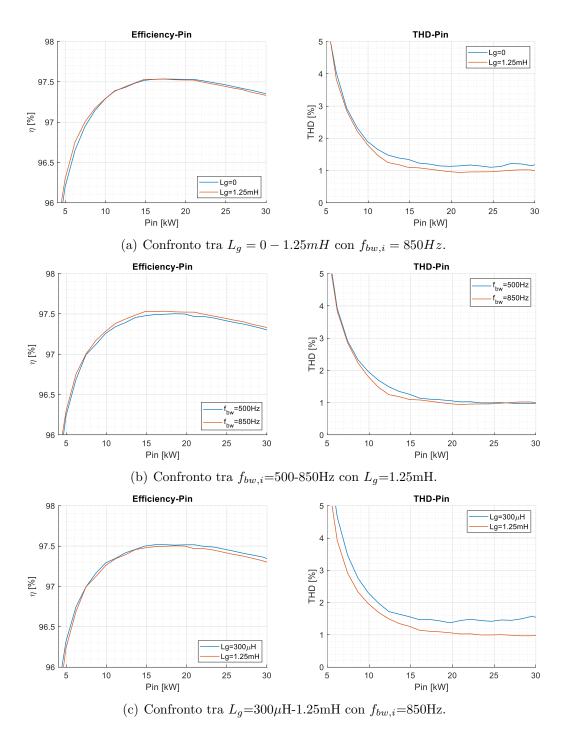


Figura 6.8: Confronto delle prestazioni tra i vari setup con filtro LCL.

Come si può vedere dai risultati mostrati, la variazione dell'induttanza di rete oppure della banda passante dell'anello delle correnti non influisce

sul fattore di potenza del convertitore in quanto è principalmente dominato dalla potenza reattiva dovuta a C_f , mentre, per quanto riguarda il valore di THD l'efficienza si possono fare le seguenti considerazioni:

- A parità di banda passante $f_{b,i}$, al crescere dell'induttanza di rete la qualità della corrente assorbita migliora, essendo maggiormente filtrata, avendo così una distorsione armonica più contenuta e quindi un THD inferiore, non andando però ad influire sull'efficienza del convertitore poichè le misure sono effettuate a valle dell'induttanza L_g , in quanto è ragionevole che non rientri nel computo dell'efficienza. Per contro, potrebbero esserci problemi di leggera instabilità del controllo, ma valutando le grandezze a regime non è possibile verificarlo.
- A parità di induttanza di rete, all'aumentare della banda del controllo, si può notare una piccola variazione delle prestazioni, il THD ha un miglioramento nell'intervallo centrale di potenza (10-20kW) mentre l'efficienza non presenta variazioni significative.

6.2 Mappe di Efficienza, THD, Fattore di Potenza e Perdite con Filtro LCL e Carico Equilibrato

In questo paragrafo vengono mostrati i risultati relativi alle acquisizioni complete svolte con la presenza del filtro LCL in ingresso, induttanza di rete $L_g=1.25mH$ e banda passante dell'anello di controllo delle correnti pari a 500Hz con i seguenti valori di tensione di rete:

- V_G pari a $120\pm10\%V_{rms}$ con V_{dc} variabile nell'intervallo 360-460V;
- V_G pari a 230±10% V_{rms} con V_{dc} variabile nell'intervallo 625-800V.

Inoltre, tutte le prove mostrate successivamente sono state svolte con carico equilibrato utilizzando l'algoritmo in constant current con la modalità φ variabile disattivata, in quanto si vuole potenza reattiva nulla e quindi corrente in fase con l'asse d. Ogni mappa sarà ottenuta tramite prove che fanno lavorare il convertitore in 225 punti poiché ho scelto di operare con:

- 15 riferimenti differenti della tensione di dc-link, regolati dai Delta;
- 15 riferimenti differenti di corrente i_d^* , regolati dal convertitore.

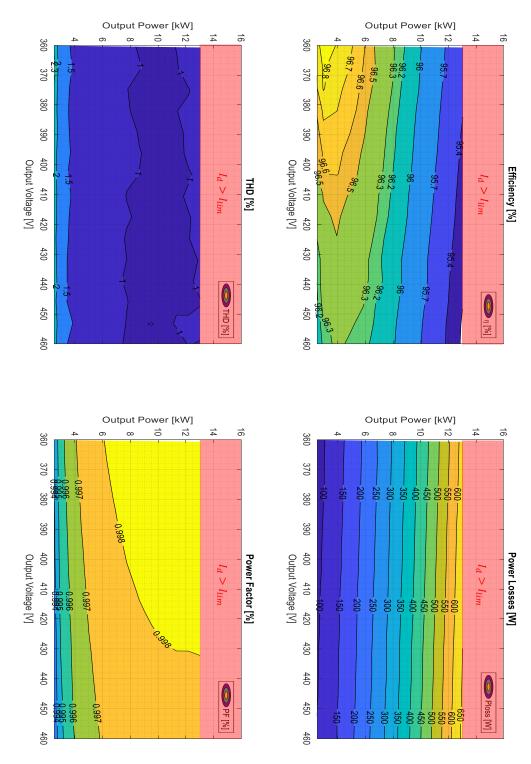


Figura 6.9: Mappe del convertitore con filtro LCL e tensione di rete a 120-10% V_{rms} .

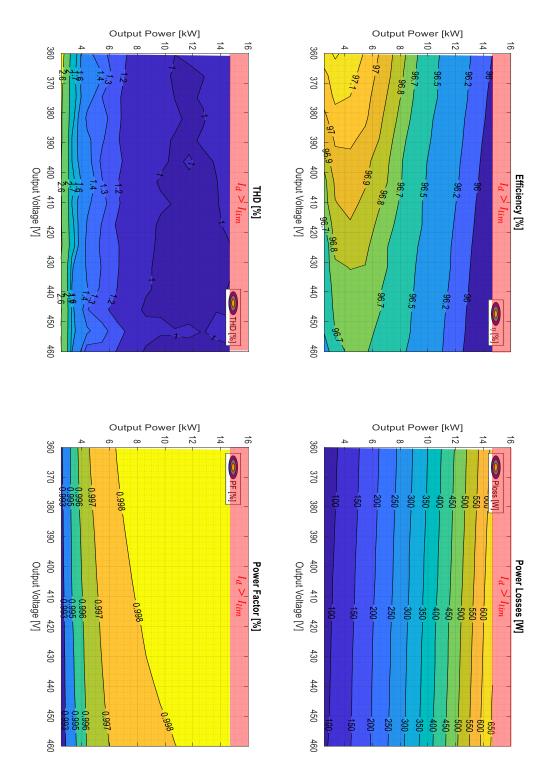


Figura 6.10: Mappe del convertitore con filtro LCL e tensione di rete a $120V_{rms}$.

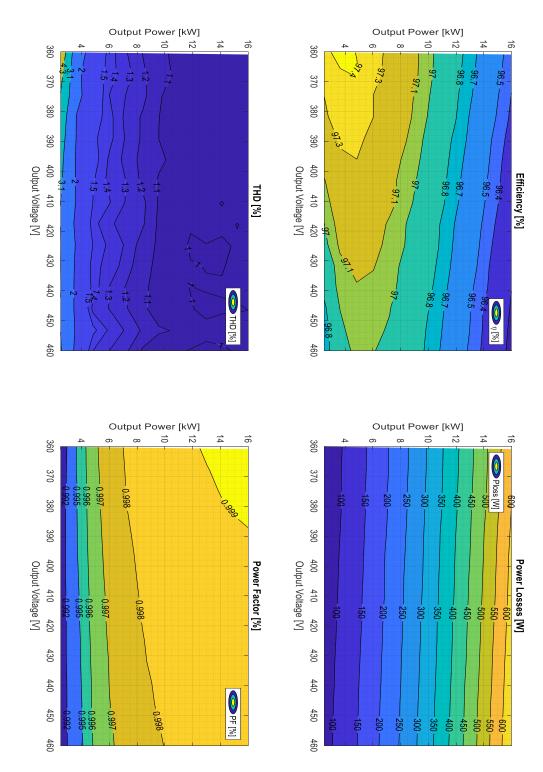


Figura 6.11: Mappe del convertitore con filtro LCL e tensione di rete a 120+10% V_{rms} .

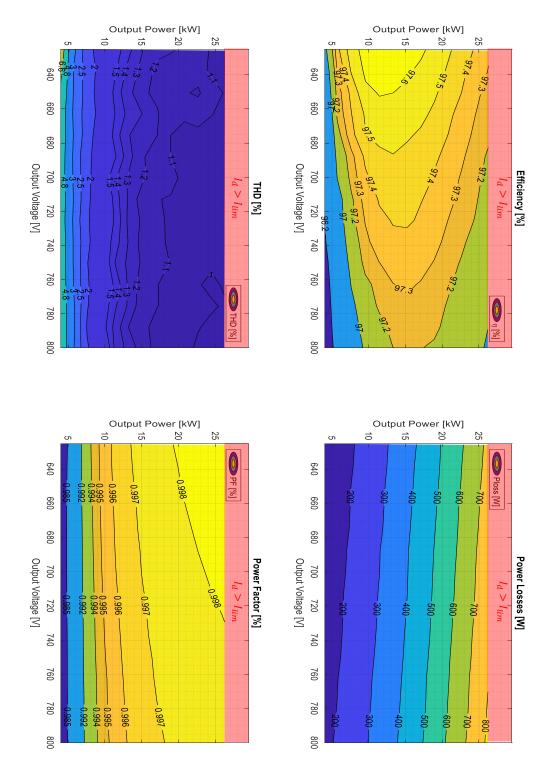


Figura 6.12: Mappe del convertitore con filtro LCL e tensione di rete a 230-10% $V_{rms}.$

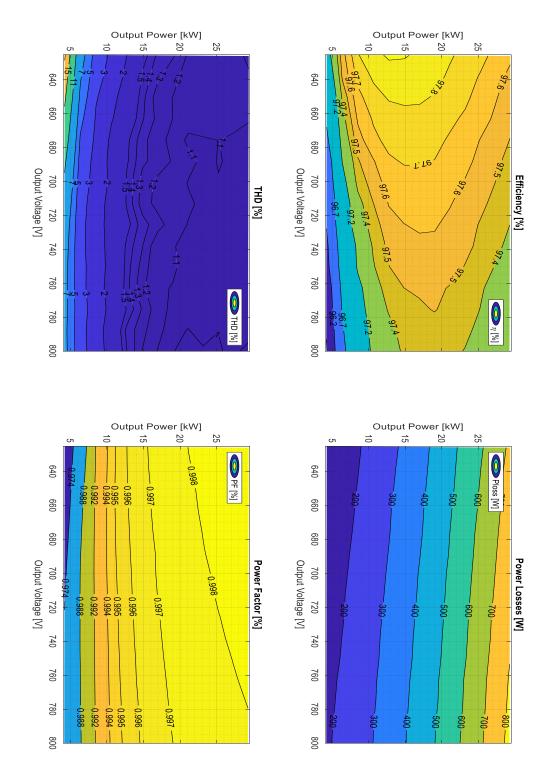


Figura 6.13: Mappe del convertitore con filtro LCL e tensione di rete a $230V_{rms}.$

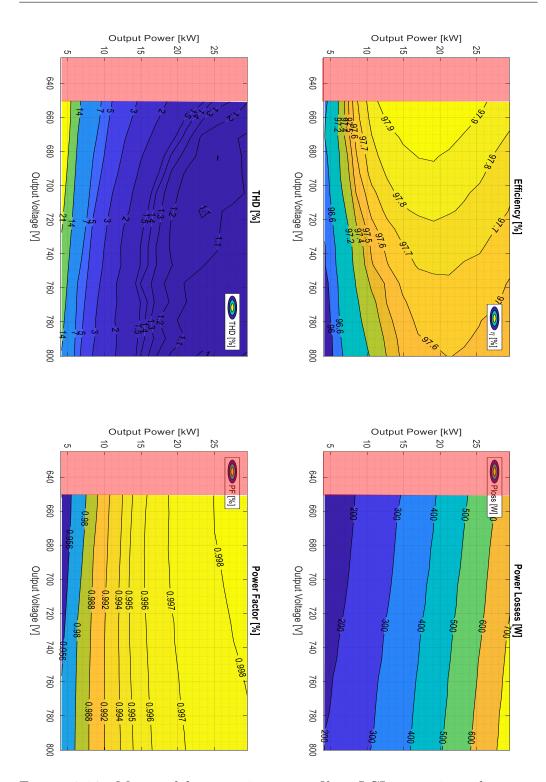


Figura 6.14: Mappe del convertitore con filtro LCL e tensione di rete a $230{+}10\% V_{rms}.$

Nelle mappe appena mostrate, bisogna innanzitutto fare chiarezza sull'intervallo di potenza nel quale il convertitore può essere caratterizzato poiché, avendo valori molto differenti della tensione di rete, il limite è definito dalla corrente di picco massima $I_{d,lim}=61.5A$ che può sostenere il convertitore. Essendo che si sta lavorando a potenza reattiva nulla si ottengono le relazioni mostrate nelle (6.4), (6.5) per ricavare la potenza massima a cui si può arrivare per ogni prova.

$$P_{in}^{prova} = \frac{3}{2} \cdot \hat{V}_G \cdot I_{d,lim} \tag{6.4}$$

$$P_{out}^{prova} = \frac{3}{2} \cdot \hat{V}_G \cdot I_{d,lim} \cdot \eta \tag{6.5}$$

Le zone evidenziate in rosso sulle mappe sono riferite alla situazione appena descritta per la quale si vai in limitazione di corrente. Il fondo scala della potenza in uscita per le prove a $120\pm10\%$ sono riferite a quella che è possibile raggiungere a 120+10%, mentre per le altre mappe la potenza di riferimento per il fondo scala è 30kW, cioè la potenza massima del convertitore in condizioni nominali ($V_G=230V_{rms}$). Invece, la zona evidenziata nella mappa in figura 6.14 non è possibile caratterizzarla poichè il convertitore deve lavorare in modalità boost, per cui la tensione di dc-link dev'essere maggiore del valore di picco della tensione concatenata di rete, rispettando la seguente condizione:

$$V_{dc} > 1.10 \cdot \sqrt{2} \cdot \sqrt{3} \cdot V_G \tag{6.6}$$

Per quanto riguarda l'efficienza si possono fare le seguenti considerazioni sulle perdite per il convertitore in questione. Le perdite negli IGBT sono composte da due quote, una dovuta alla conduzione e l'altra alla commutazione, in prima approssimazione possono essere espresse come:

$$P_{cond} = v_{th} \cdot i + R_s \cdot i^2 \tag{6.7}$$

$$P_{comm} \simeq \frac{1}{2} \cdot V_{dc} \cdot I_{comm} \cdot T_{comm} \cdot f_s \tag{6.8}$$

quindi, ragionevolmente, si avrà una diminuzione dell'efficienza al crescere sia della tensione di dc-link che della potenza in uscita; il contributo di perdita dato dalla tensione di soglia degli IGBT peserà maggiormente rispetto agli altri termini a bassa corrente, inoltre avendo una struttura a tre livelli per analizzare in miglior modo le perdite nei semiconduttori bisognerebbe tenere in considerazione anche il duty cycle e l'indice di modulazione poiché, in base al loro valore, conduce il device comandabile oppure il diodo. Invece, per quanto riguarda le perdite nelle induttanze abbiamo i contributi dati

dalle perdite nel rame e nel ferro, scomposte a loro volta come espresso nelle (6.9) e (6.10).

$$P_{cu} = P_{cu,LF} + P_{cu,HF} = R_{dc} \cdot I_{LF,rms}^2 + R_{ac} \cdot I_{ripple,rms}^2$$
 (6.9)

Dove entrambi i termini, a bassa ed alta frequenza, sono dipendenti quadraticamente dalla corrente efficace con la differenza che per il termine in alta frequenza la corrente considerata è quella di ripple, risultando quindi dipendente sia dalla tensione di ingresso che da quella in uscita poichè conta la differenza di potenziale presente.

$$P_{fe} = P_{fe,LF} + P_{fe,HF} \tag{6.10}$$

anche per le perdite nel ferro i due contributi sono dati da componenti di bassa ed alta frequenza relativi al ciclo di isteresi alla frequenza fondamentale ed ai cicli di isteresi dati dalla corrente di ripple; per gli induttori presenti nel convertitore in oggetto, a causa della loro costruzione, valgono le seguenti condizioni:

$$P_{cu,LF} \gg P_{cu,HF}$$
 ; $P_{fe,HF} > P_{fe,LF}$ (6.11)

Infine, l'ultima quota di perdita si ha nei condensatori C_f di filtro, la quale è dipendente quadraticamente sia dalla tensione di rete che dalla corrente di ripple dando però un contributo pressoché trascurabile rispetto agli altri appena discussi, sopratutto al crescere del carico. Per le altre grandezze considerate nelle mappe si possono fare le seguenti osservazioni:

- THD: avendo induttanza di rete piuttosto grande ed il filtro LCL risulta molto contenuto anche a livelli di carico piuttosto bassi, inoltre, aumenta al crescere della tensione di rete e diminuisce all'aumentare della tensione di dc-link;
- Power Factor: rimane pressoché invariato nelle diverse mappe appena viste poiché, in queste prove stiamo lavorando a potenza reattiva nulla ed il termine che da maggiore contributo è quello relativo alla quota di corrente nella capacità C_f in ingresso che va a gravare maggiormente a basso carico; in aggiunta, sempre a causa della capacità C_f , il fattore di potenza risulta proporzionale alla tensione di rete e con andamento inverso rispetto al livello di carico del convertitore.

6.3 Mappe in Condizioni di Carico Squilibrato con e senza Saturazione del DutyCycle di Modo Comune

In questo paragrafo sono esposti i risultati ottenuti dalle prove svolte in condizioni di carico squilibrato, sia con la saturazione del duty cycle di modo comune, esposta nel paragrafo 5.3, che senza. Le prove in oggetto sono state effettuate con le condizioni mostrate in Tab. 6.3 utilizzando l'algoritmo di controllo in modalità constant voltage. Il convertitore durante la prova lavora in 225 punti, ottenendo mappe con la stessa risoluzione di quelle mostrate precedentemente, in cui verranno inviati 15 riferimenti di tensione di dclink al convertitore e 15 riferimenti di corrente, con i relativi squilibri, agli alimentatori DC. Tutte le prove sono svolte con riferimento di corrente in fase con l'asse d, non assorbendo quindi potenza reattiva.

Tensione di Rete	230	V_{rms}
Tensione di dc-link	625-800	V
Frequenza Rete	50	Hz
Filtro LCL	NO	μH
Induttanza Boost	150-200	μH
Condensatore Filtro	15	μF
Resistenza Smorzamento Filtro	1.0	Ω
Induttanza Rete	100	μH
Banda Anello Corrente $f_{bw,i}$	850	Hz
Squilibrio Percentuale del Carico	0-30	%

Tabella 6.3: Condizioni per l'esecuzione delle prove a carico squilibrato.

Come anticipato precedentemente, se si utilizza la saturazione dei duty cycle di modo comune il convertitore riesce a mantenere il controllo, continuando a regolare le varie grandezze, con squilibri del carico maggiori rispetto a non avere la saturazione implementata. Successivamente verranno mostrati i risultati con i seguenti squilibri:

- Squilibrio 0% (carico equilibrato), $\pm 10\%$ e +15%, senza l'utilizzo della saturazione del duty cycle di modo comune;
- Squilibrio +15%, +20% e +30%, con saturazione attivata.

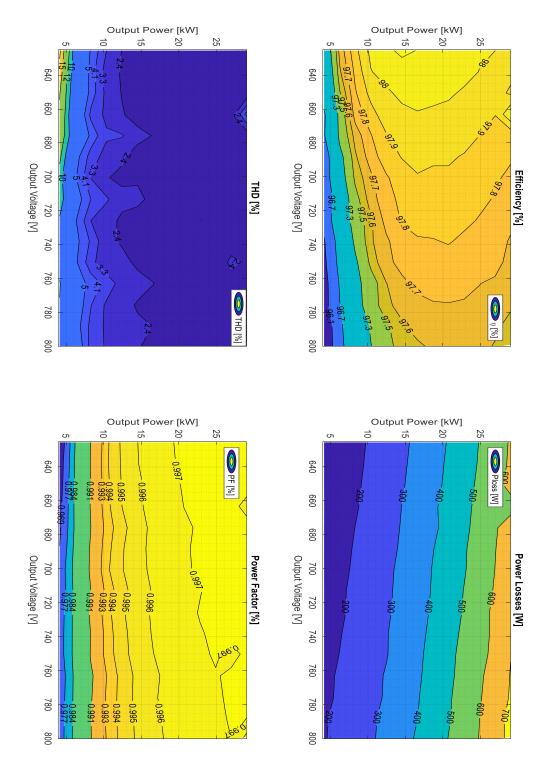


Figura 6.15: Mappe del convertitore con carico equilibrato.

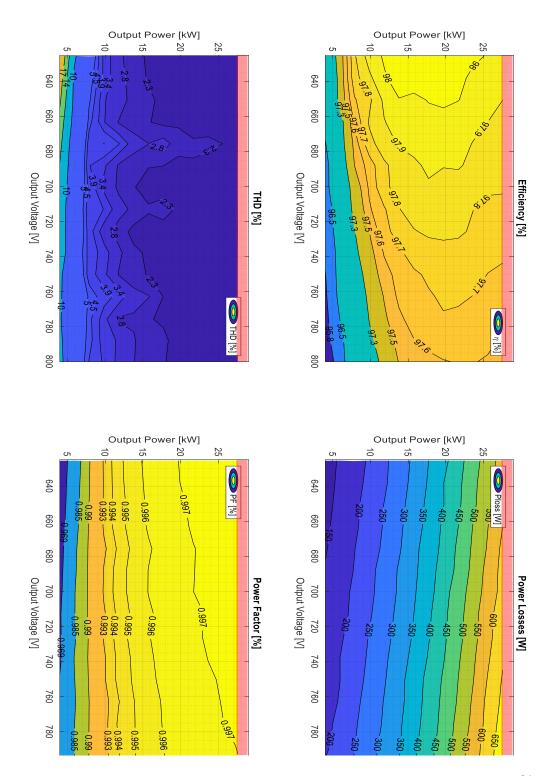


Figura 6.16: Mappe del convertitore con squilibrio del carico pari a +10%, saturazione del duty cycle di modo comune disattivata.

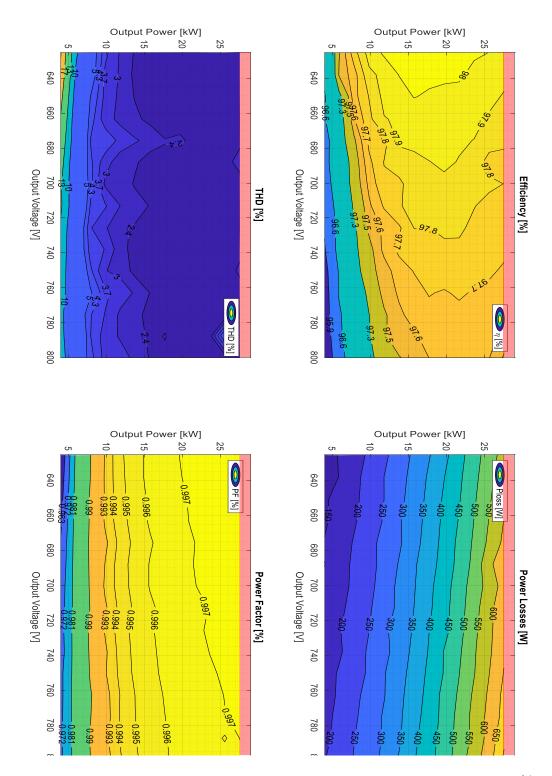


Figura 6.17: Mappe del convertitore con squilibrio del carico pari a -10%, saturazione del duty cycle di modo comune disattivata.

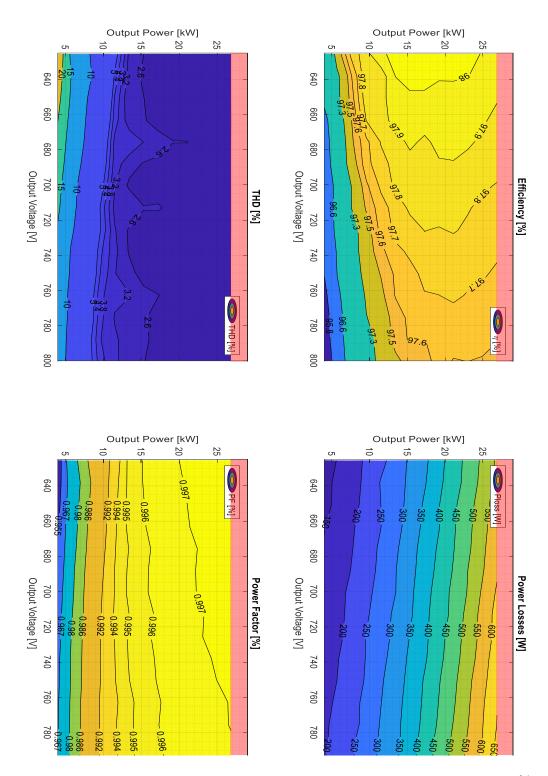


Figura 6.18: Mappe del convertitore con squilibrio del carico pari a +15%, saturazione del duty cycle di modo comune disattivata.

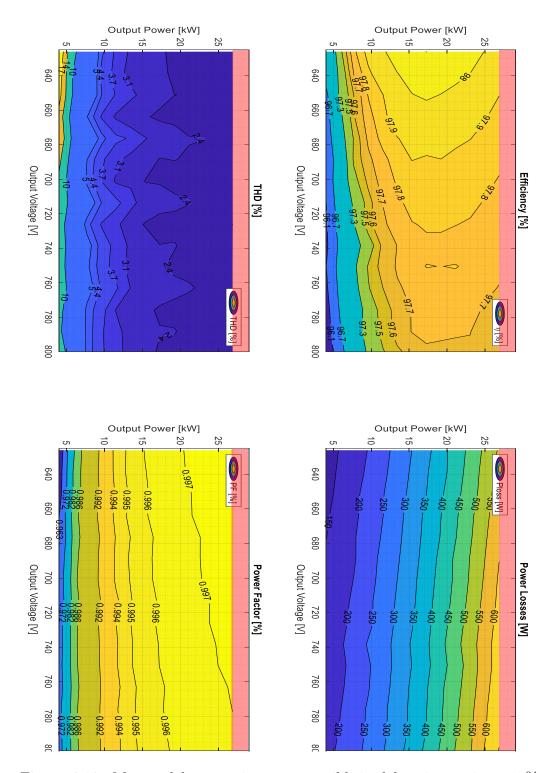


Figura 6.19: Mappe del convertitore con squilibrio del carico pari a +15% con saturazione del duty cycle di modo comune attiva.

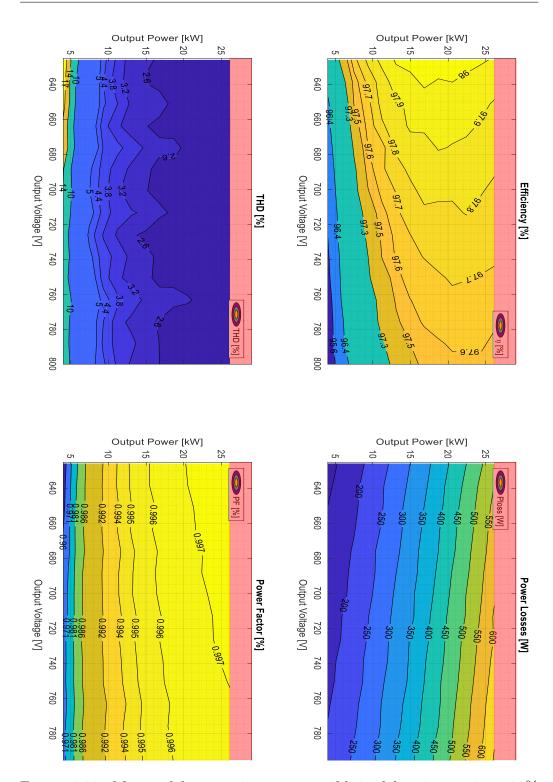


Figura 6.20: Mappe del convertitore con squilibrio del carico pari a +20% con saturazione del duty cycle di modo comune attiva.

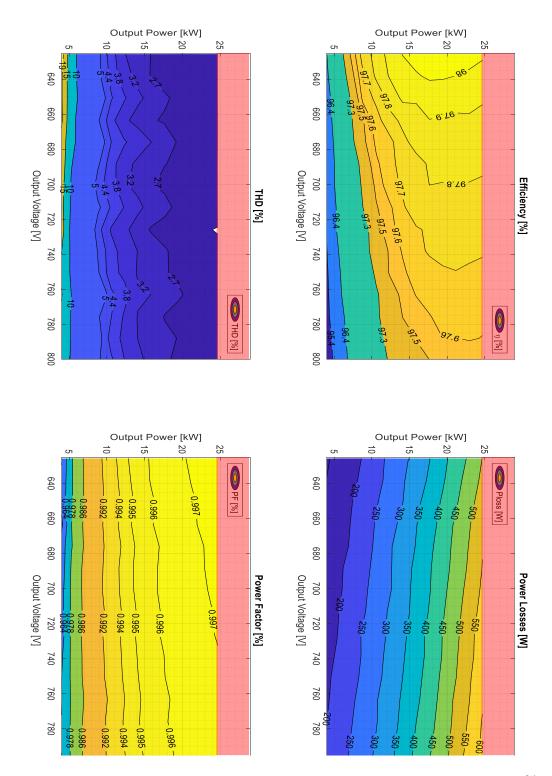


Figura 6.21: Mappe del convertitore con squilibrio del carico pari a +30% con saturazione del duty cycle di modo comune attiva.

Nelle mappe sopra riportate le zone evidenziate in rosso non possono essere caratterizzate a causa di un limite di strumentazione, poichè la potenza massima degli alimentatori DC Delta è 15kW ciascuno. Questo limitazione, durante le prove svolte, si ha solamente su uno dei due Delta poichè si sta lavorando a carico squilibrato. Con i riferimenti di corrente ricavati come mostrato nelle (5.24) e (5.25) per la descrizione della strategia di controllo constant voltage, si può ricavare la potenza massima in uscita per le prove effettuate in base allo squilibrio di carico imposto in cui si riesce a caratterizzare il convertitore:

$$P_{out,max}^{prova} = V_{dc}(j) \cdot I_{max}(j) = P_{out,lim} \cdot \left(1 - \frac{squilibrio\%}{2}\right)$$
 (6.12)

dove $P_{out,lim}=30kW$ è la potenza massima complessiva in uscita e j è l'indice del vettore dei riferimenti di tensione ed indica quindi la V_{dc} a cui si sta lavorando.

Un primo confronto si può fare tra la mappa in Fig. 6.15 e quella mostrata precedentemente in Fig. 6.13 poiché entrambe hanno tensione di rete $230V_{rms}$ con la differenza che nel primo caso non è presente il filtro LCL e l'induttanza di rete è inferiore rispetto al secondo; si può quindi notare un miglioramento delle prestazioni in termini di efficienza in assenza del filtro LCL in quanto non si hanno più le perdite dell'induttanza L_f , avendo inoltre che il miglioramento di efficienza diventa più evidente al crescere del carico in quanto non c'è più il contributo di perdite nel rame che varia quadraticamente con la corrente, andando però a perdere in termini di qualità della corrente assorbita ottenendo un THD maggiore poichè la corrente viene filtrata meno. Mentre, confrontando le varie prove svolte in condizione di carico sbilanciato senza la saturazione del duty cycle di modo comune si può vedere che si ha un calo delle prestazioni all'aumentare dello squilibrio in quanto si ha un aumento considerevole del THD ed un leggero peggioramento del fattore di potenza al di sotto del 30% della potenza nominale del convertitore, invece, riguardo all'efficienza e quindi anche alle perdite non si hanno variazioni significative al variare dello squilibrio se non in punti di lavoro a bassissima potenza $(P < 15\% \cdot P_{nom})$. Introducendo la saturazione del duty cycle di modo comune si posso effettuare prove con squilibri nettamente più marcati senza perdere il controllo, potendo testare il convertitore fino ad uno squilibrio doppio rispetto a non avere la saturazione; un confronto diretto tra le due casistiche si può effettuare tra i risultati di Fig. 6.18 e quelli di Fig. 6.19 in cui a parità di squilibrio si può vedere un miglioramento della qualità della corrente assorbita, sopratutto a basse potenze, ed un leggero miglioramento

dell'efficienza nella zona a valori elevati della tensione di dc-link per la prova con saturazione del duty cycle attiva.

6.4 Ottenimento Sperimentale dei Limiti per la Saturazione dell'Anello di Tensione di Mid-Point tramite LUT;

I risultati di questa prova sono stati ottenuti utilizzando il procedimento esposto nel paragrafo 5.3 con i passaggi mostrati nel diagramma di flusso in Fig. 5.24 andando quindi a caratterizzare il convertitore forzando una corrente di mid-point tramite l'addizione di un valore costante di duty cycle di modo comune. Tramite questa prova saranno ottenuti due risultati principali:

- 1. Confronto tra corrente di mid-point I_{mid} ottenuta con tecnica di modulazione ZMPCPWM e SPWM(Sinusoidal PWM), in funzione di δ_0 ;
- 2. Estrapolazione dei limiti per la saturazione dell'anello di controllo della tensione di mid-point tramite l'utilizzo di una Look Up Table.

Il primo risultato si è ottenuto tramite una prova effettuata per 4 riferimenti di tensione di dc-link, cioè ogni 50V, compresi tra $V_{dc,min}$ e $V_{dc,max}$ variando δ_0 nell'intervallo [-0.25; 0.25]. I risultati delle prova sono mostrati in Fig. 6.22 e 6.23.

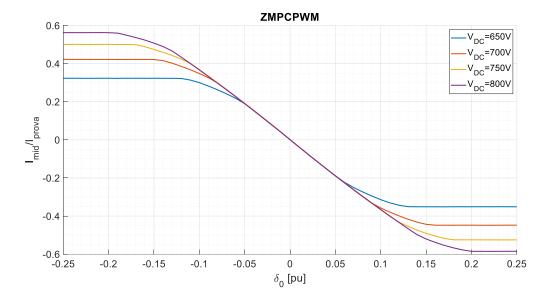


Figura 6.22: Corrente di mid-point in funzione dell'addizione del duty cycle di modo comune δ_0 con tecnica di modulazione ZMPCPWM.

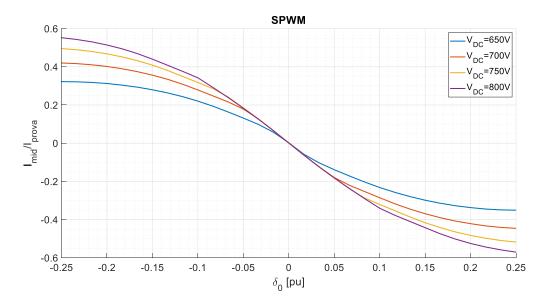


Figura 6.23: Corrente di mid-point in funzione dell'addizione del duty cycle di modo comune δ_0 con tecnica di modulazione SPWM.

In termini di tensione, sapendo che la quantità aggiuntiva di modo comune è ottenuta come:

$$\Delta v_0 = \delta_0 \cdot V_{dc} \tag{6.13}$$

equivale a lavorare con Δv_0 che varia nell'intervallo $\left[-V_{dc}/4; V_{dc}/4\right]$. Inoltre, riscrivendo la (4.11) per il caso in questione si ottiene la (6.14)

$$I_{mid} \approx -\frac{12}{\pi} \cdot \frac{\Delta v_0}{V_{dc}} \cdot I_{prova} \tag{6.14}$$

dove I_{prova} è il valore di picco della corrente di fase (i_d^*) utilizzato durante la prova e con cui vengono normalizzati i valori di I_{mid} presenti sull'asse delle ordinate nelle immagini appena mostrate, ottenendo così la sola dipendenza da δ_0 e dalla tensione di dc-link. In riferimento alle relazioni mostrate e alle Fig. 6.22 e 6.23 si nota che la quantità della grandezza di modo comune δ_0 (oppure Δv_0) iniettabile è direttamente proporzionale alla tensione di dc-link e che nel caso in cui si utilizza la ZMPCPWM, cioè in cui è presente anche una componetene di modo comune iniettata di terza armonica, si ha un maggior intervallo in cui le caratteristiche sono lineari ed è quindi valida anche la (6.14), non andando a modificare però il valore massimo della corrente di mid-point.

Invece, per ottenere i limiti per saturare il regolatore dell'anello di tensione di mid-point è stata effettuata una prova, sempre con la stessa modalità di quella precedente ed utilizzando la ZMPC, facendo lavorare il convertitore con soli due valori di $\delta_0 = \pm 0.25$ a molti riferimenti della tensione di dc-link in modo da andare ad acquisire tutti i punti estremi dei valori di I_{mid} ottenendo le due caratteristiche, per riferimenti di δ_0 positivi e negativi, mostrate in figura 6.24.

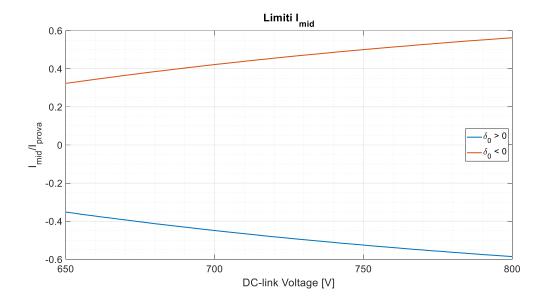


Figura 6.24: Limiti per la saturazione dell'anello di tensione di mid-point con tecnica di modulazione ZMPCPWM.

In seguito ho implementato i risultati ottenuti tramite questa prova nel codice di controllo eseguito dal microcontrollore, in modo tale da impostare i limiti inferiore e superiore del regolatore PI utilizzato per l'anello di tensione di mid-point tramite una LUT contenente i valori estrapolati di $I_{mid,max}$. I limiti del regolatore sono quindi presi tramite LUT, ottenendo così i valori ottimali di saturazione in base alla tensione di dc-link v_{dc} misurata in quel momento dal μC in seguito ad una ulteriore interpolazione lineare tra i due valori sperimentali, superiore ed inferiore, rispetto al punto di lavoro considerato in quel momento, in modo tale da ottenere limiti del regolatore con maggiore precisione.

6.5 Prestazioni del Convertitore in Condizioni di Fattore di Potenza non Unitario

Per la valutazione delle prestazioni del convertitore in condizioni di fattore di potenza non unitario è stata utilizzata la strategia di controllo dell'algoritmo constant current con la modalità per lavorare a φ variabile attivata, in modo da potere controllare tramite l'AFE sia il modulo della corrente che la fase negli assi di riferimento dq. Nonostante il raddrizzatore attivo possa lavorare a power factor non unitario, le sue capacità di lavoro in queste condizioni sono limitate dalla sua natura unidirezionale, comportando dei limiti piuttosto contenuti dell'angolo φ raggiungibili durante il suo funzionamento, i quali vengono definiti nella (6.15)[3].

$$\varphi_{max} = -\varphi_{min} = \sin^{-1}\left(\frac{V_{dc}}{2\sqrt{3} \cdot \hat{V}_G}\right) - \frac{\pi}{6}$$

$$(6.15)$$

Come si è potuto notare dalla (6.13) e (6.14), la corrente di mid-point è fortemente dipendente dalla tensione di modo comune iniettata e di conseguenza è direttamente correlata anche con la tensione di dc-link. Risulta quindi che l'angolo φ ottenibile sarà maggiore al crescere della tensione di dc-link. Di seguito sono mostrati i risultati ottenuti dalle prove sperimentali:

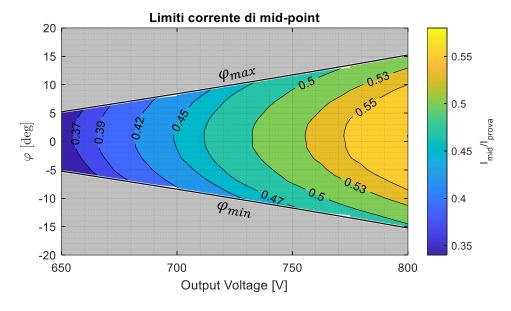
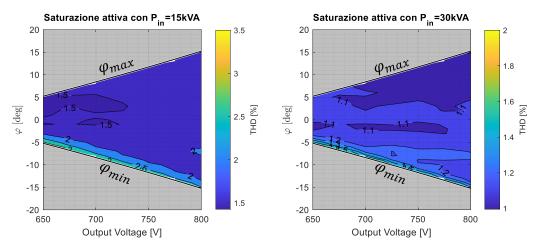
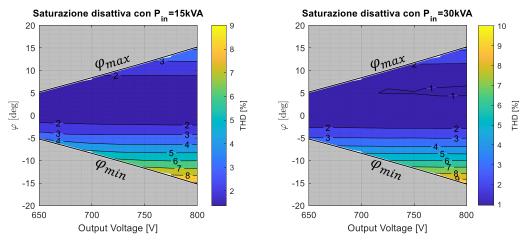


Figura 6.25: Limiti della corrente di mid-point in funzione dell'angolo φ e tensione di dc-link.



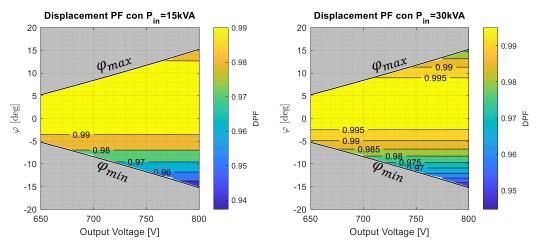
(a) THD con saturazione di modo comune attiva al 50% e 100% della potenza nominale in funzione dell'angolo φ e tensione di dc-link.



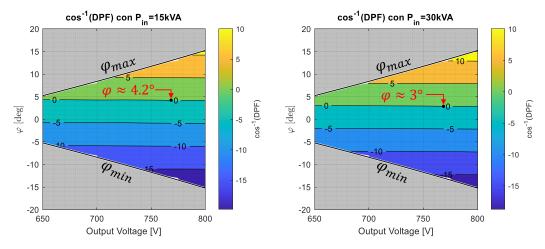
(b) THD con saturazione di modo comune disattiva al 50% e 100% della potenza nominale in funzione dell'angolo φ e tensione di dc-link.

Figura 6.26: Prestazioni in termini di THD per funzionamento a fattore di potenza non unitario con e senza saturazione di modo comune.

Dalla Fig. 6.26 si può notare che anche in questo caso c'è un netto miglioramento della qualità della corrente assorbita in seguito all'utilizzo della saturazione del duty cycle di modo comune che permette di ottenere anche in condizioni di fattore di potenza non unitario livelli di THD inferiori al 2% su tutta la regione di lavoro.



(a) DPF al 50% e 100% della potenza nominale in funzione dell'angolo φ e tensione di dc-link.



(b) Angolo del DPF al 50% e 100% della potenza nominale in funzione dell'angolo φ e tensione di dc-link.

Figura 6.27: Prestazioni in termini di Displacement Power Factor (DPF) e relativo angolo per funzionamento a fattore di potenza non unitario.

Come si può vedere dalle immagini in Fig 6.27, il DPF e l'angolo φ non coincidono poichè nella corrente misurata in ingresso è compresa anche la quota di corrente capacitiva che circola nel condensatore C_f del filtro lato AC. E' interessante notare che al 50% ed al 100% della potenza nominale la potenza reattiva del filtro in ingresso è compensata rispettivamente per valori di φ pari a circa 3.0° e 4.2°, potendo eventualmente prendere in considerazione di effettuare una compensazione nel normale funzionamento del raddrizzatore attivo.

Capitolo 7

Conclusioni

7.1 Conclusioni

Per raggiungere l'obiettivo principale del progetto di tesi in oggetto, ossia quello di ottenere la caratterizzazione sperimentale del convertitore, ho svolto le seguenti attività:

- Allestimento del prototipo e relativo setup di misura ed acquisizione dati;
- Implementazione della procedura di carica e scarica del dc-link;
- Verifica e valutazione degli anelli di controllo di tensione e corrente in condizioni stazionarie e dinamiche;
- Sviluppo dell'algoritmo di controllo, scritto su Matlab, per l'acquisizione di misure e dati, tramite procedura automatizzata, per eseguire successivamente la caratterizzazione del convertitore;
- Estrapolazione sperimentale delle mappe di efficienza, THD, fattore di potenza e perdite.

In seguito a tutti i test effettuati, è stato possibile verificare il reale e corretto funzionamento del raddrizzatore attivo in diverse condizioni, avendo anche la possibilità di mappare tutti i risultati grazie all'utilizzo dell'algoritmo di controllo sviluppato; i risultati sperimentali che ho ottenuto sono i seguenti:

- Test del filtro LCL e influenza dell'induttanza di rete;
- Mappatura dell'AFE in condizioni di carico equilibrato e squilibrato a diverse tensioni di rete;

- Prestazioni del convertitore in condizioni di fattore di potenza non unitario;
- Ottenimento sperimentale dei limiti per implementare la saturazione dell'anello di tensione di mid-point.

potendo così arrivare alla conclusione che il raddrizzatore attivo in questione è una buona soluzione per l'applicazione a cui è destinato, poichè garantisce ottime prestazioni in termini di efficienza, con rendimenti superiori al 98%, distorsione delle correnti assorbite molto ridotta, con THD inferiore al 5% per gran parte dell'intervallo di funzionamento, rendendolo compatibile con le norme vigenti per la connessione in rete dei dispositivi ed, infine, fattore di potenza pressoché unitario ad ogni livello di carico. Inoltre, è stato possibile verificare sperimentalmente anche il funzionamento con carico squilibrato e fattore di potenza non unitario, confermando quanto appena detto precedentemente anche per questi casi.

I risultati del mio lavoro tesi sono stati inseriti nella pubblicazione: Davide Cittanti, Matteo Gregorio, Eugenio Bossotto, Fabio Mandrile, and Radu Bojoi. Full digital control and multi-loop tuning of a three-level t-type rectifier for electric vehicle ultra-fast battery chargers. Electronics, 10(12), 2021.[4]

Appendice A

Codice C Stati Macchina

A.1 Stato Soft Star

```
case SOFT_START:
    HAL_GPIO_WritePin(K_DCLINK_GPIO_Port, K_DCLINK_Pin,
     GPIO_PIN_RESET);
    HAL_GPIO_WritePin(LED_G_GPIO_Port, LED_G_Pin, GPIO_PIN_RESET);
    Error\_code = NO\_ERROR\_STATE;
    log_{error_AFE} = 0x0000000;
    \log_{\text{error}} AFE_2 = 0x0000000;
    Stop_Button = 0;
    Disable_All_PWM();
    count_checkRelay = 0;
    if (CheackReady_AllGateDriver() == 1)
10
11
     HAL_GPIO_WritePin(K_1_GPIO_Port, K_1_Pin, GPIO_PIN_SET);
12
     SoftStart1 = 1;
     count_precharge++;
14
     if(count_precharge > TIMEENABLE.CHECKPRECHARGE)
16
      if (CheckSoftStartVar())
18
       count_RelayPrech++;
19
       HAL_GPIO_WritePin(K_2_GPIO_Port, K_2_Pin, GPIO_PIN_SET);
20
       if ((count_RelayPrech > DELAY_PRECHARGEMAIN))
22
        HAL_GPIO_WritePin(K_1_GPIO_Port, K_1_Pin, GPIO_PIN_RESET);
        Start_Button = 0;
        k_save = 0;
25
        State\_AFE = READY;
26
27
      if(count_precharge > TIMEOUT_PRECHARGE)
```

A.2 Stato Discharge dc-link

```
1 case DISCHARGE_DCLINK:
_2 HAL_GPIO_WritePin (K_DCLINK_GPIO_Port, K_DCLINK_Pin, GPIO_PIN_SET
3 HAL_GPIO_WritePin(K_1_GPIO_Port, K_1_Pin, GPIO_PIN_RESET);
4 HAL_GPIO_WritePin(K_2_GPIO_Port, K_2_Pin, GPIO_PIN_RESET);
5 count_checkRelay = 0;
6 count_dischargeDClink++;
7 if (vdc < vDCSAFE)
   HAL_GPIO_WritePin(K_DCLINK_GPIO_Port, K_DCLINK_Pin,
     GPIO_PIN_RESET);
   State\_AFE = ERROR\_AFE;
11 }
12 if (count_dischargeDClink > TIMEOUT_DISCHDCLINK)
   HAL_GPIO_WritePin(K_DCLINK_GPIO_Port, K_DCLINK_Pin,
14
     GPIO_PIN_RESET);
   State\_AFE = ERROR\_AFE;
   Error_code = SW_TIMEOUT_DISCHDCLINK;
   log_error_AFE_2 |= SW_TIMEOUT_DISCHDCLINK_MSK;
18 }
19 break;
```

Appendice B

Script Matlab per Algoritmo di Controllo

```
1 %% STEP DI TESIONE E CORRENTE
2 close all
3 clear
4 clc
5 %% INCLUDE Library
6 CurrentFolder = pwd;
7 addpath(genpath(CurrentFolder));
9 %% DICHIARAZIONE VARIABILI
11 global seriale StDelta1 StDelta2 TimePause SocketPortSupply ModIndex Maps
      Voltage Imod Theta
12 ModIndex = [];
13 Voltage = [];
14 Imod = [];
15 Theta = [];
day = datestr(clock,'YYYY/mm/dd HH:MM'); %Year-Month-Day string
17 %-----MAPS-----
                                       %tensione TOTALE dc-link
19 Maps. VdcMin = 650;
20 Maps.VdcMax = 800;
21 Maps.Vgrms = 230;
                                       %VOLTAGE MUST BE SET
                                       %tensione di rete
22 Maps.ThetaMin = 0;
                                      %fase corrente min [deg]
23 Maps. ThetaMax = 0;
                                      %fase corrente max [deg]
24 Maps. IMin = 61;
                                       %modulo corrente minimo
25 \text{ Maps.IMax} = 61;
                                       %modulo corrente massimo
26 Maps.AFEControl = 'CC';
                                       %Control Stategy: CC = ConstantCurrent
                                                         CV = ConstantVoltage
28 Maps.EnablePhaseCurrentLoop = 1;
                                      %0=disable, 1=enable
30 DeltaVoltage = 300; %tensione singolo Delta per mod CV
31 Squilibrio = 0/100; %Squilibrio [%] per mod. CV
32 Pout_max = 29e3;
                  -----STEP-----
35 %step number
36 step_V = 2; %numero step tensione
37 step I = 1: %numero step corrente
37 step_I = 1;
                      %numero step corrente
38 step_Theta = 1; %numero step fase corrente
```

```
40 %-----Select DAC number and LOG-----
41
42 DAC1 = 26;
43 DAC2 = 27;
44 \text{ DAC3} = 28;
45 \text{ DAC4} = 50;
46 \text{ Log1} = 12;
47
48 %----- control BIT -----
50 BIT.PhaseAdvancing = 0; % 0 --> Disable
                         % 1 --> Enable
53 BIT.EnabledOSat = 1;
                         % 0 --> Disable
                         % 1 --> Enable
55
56 BIT.FixedD0 = 0;
                         % 0 --> Disable
                         % 1 --> Enable
58
59 BIT. Modulation = 4;
                         % 0 --> SPWM
60
                         % 1 --> THIPWM
                         % 2 --> 2LSVPWM
61
                         % 3 --> 3LSVPWM
63
                         % 4 --> ZMPCPWM
                         % 5 --> 3LDPWMA
64
                         % 6 --> 3LDPWMB
66
67 BIT.DutyORef = 0;
                       % DutyOReg
68
69 %-----DELTA LIMITS-----
70
71 % Limiti Delta
72 Delta.MaxP_p = 500;
                              % + [W]
73 Delta.MaxP_n = 15000;
74 Delta.MaxI_p = 0.5;
                              % + [A]
75 Delta.MaxI_n = 80;
                              % - [A]
77 %-----AFE------
79 % AFE Limit (DON'T CHANGE THE VALUE)
80 AFElimit.Pmax = 30e3; %W
81 AFElimit.VdcMax = 800; %V
82 AFElimit.VdcMin = 625; %V
83 AFElimit.IgMax = 62;
                         % A
84 AFElimit.IgMin = 0;
                         % A
                       %deg
85 AFElimit.Theta = 30;
87 %--
88
89 %% LIMIT Maps Range
91 %limit max current
92 if (Maps.IMax > AFElimit.IgMax)
Maps.IMax = AFElimit.IgMax;
94 end
95 %limit min current
96 if (Maps.IMin < AFElimit.IgMin)
97 Maps.IMin = AFElimit.IgMin;
98 end
99 %limit max DClink voltage
100 if (Maps.VdcMax > AFElimit.VdcMax)
```

```
101 Maps.VdcMax = AFElimit.VdcMax;
102 end
103 %limit min DClink voltage
104 if (Maps.VdcMin < AFElimit.VdcMin)</pre>
      Maps.VdcMin = AFElimit.VdcMin;
106 end
107
108 % Vectors Definition
109 ReferenceVoltageAFE = linspace(Maps.VdcMin, Maps.VdcMax,step_V);
                                                                               % V
110 ReferenceVoltageDelta = linspace(Maps.VdcMin/2, Maps.VdcMax/2,step_V);
                                                                               % V
111 ReferenceCurrent = linspace(Maps.IMin, Maps.IMax,step_I);
                                                                               % A
112 ReferenceTheta = linspace(Maps.ThetaMin,Maps.ThetaMax,step_Theta);
                                                                               %deg
113
114 trv
115 %% INIT USART COM (Matlab to Micro)
117 %Set Virtual COM port
118 Com_port = 'COM5';
119 % Pause communication
120 TimePause = 0.01;
121 % Init Virtual COM
122 [DataLengthLog, seriale] = InitComUSART(Com_port,TimePause);
123 %Reset Micro
124 Error = ResetMicro(seriale, TimePause);
125
126 %% INIT PERCEPTION
127 %StartPerception();
128
129 %% INIT MICRO
130
131 % Set Error_State
132 Error = EmergencyButton(seriale,TimePause);
133 % Read Status
134 [AFE, Stato] = ReadStatus(seriale, TimePause);
135 % Check Status after RESET (Must be ERROR_STATE!)
136 if(AFE.Stato ~= 0)
                            % 0 --> Errore
137
       error('Status must be ERROR after RESET')
138 end
139 % Force Stop Button
140 Error = StopButton(seriale, TimePause);
141
142 Error = SetLog(Log1, seriale, TimePause);
143 Error = SetDac1(DAC1, seriale, TimePause);
144 Error = SetDac2(DAC2, seriale, TimePause);
145 Error = SetDac3(DAC3, seriale, TimePause);
146 Error = SetDac4(DAC4, seriale, TimePause);
147 Error = SetPhaseAdvancing(BIT.PhaseAdvancing, seriale, TimePause);
148 Error = SetDutyOSaturation(BIT.EnabledOSat, seriale, TimePause);
149 Error = SetConstantDutyO(BIT.FixedDO, seriale, TimePause);
150 Error = SetModulation(BIT.Modulation, seriale, TimePause);
151 Error = SetReferenceDutyO(BIT.DutyORef, seriale, TimePause);
152
153 %% INIT DELTA 1 COM (Matlab to Source)
154
155 % Delta Power Supply SM500-CP-90 REMOTE COMMAND (TCP/IP Protocol)
156 % IP ADDRESS OF DELTA (MUST BE SET)
157 addressDCsupply = '192.168.88.2';
158 % Gateway is 10.0.0.1 (Router SMnet)
159 SocketPortSupply = 8462;
160 % Opens TCP/IP Communication
161 StDelta1 = ConnectTCPIP(addressDCsupply, SocketPortSupply);
162 % Set limits DELTA
```

```
163 DeltaInit(StDelta1, Delta.MaxI_p, Delta.MaxI_n, Delta.MaxP_p, Delta.MaxP_n);
165 %% INIT DELTA 2 COM (Matlab to Source)
166
167 % Delta Power Supply SM500-CP-90 REMOTE COMMAND (TCP/IP Protocol)
168 % IP ADDRESS OF DELTA (MUST BE SET)
169 addressDCsupply = '192.168.88.3';
170 % Gateway is 10.0.0.1 (Router SMnet)
171 SocketPortSupply = 8462;
172 % Opens TCP/IP Communication
173 StDelta2 = ConnectTCPIP(addressDCsupply, SocketPortSupply);
174 % Set limits DELTA
175 DeltaInit(StDelta2, Delta.MaxI_p, Delta.MaxI_n, Delta.MaxP_p, Delta.MaxP_n);
176
177 %% UPDATE CONTROL STRATEGY
178
179 if (Maps.AFEControl == 'CC')
180
       Error = SetFlagControl(2,seriale,TimePause)
       %PRECHARGE AFE
181
       Error = StartButton(seriale, TimePause);
182
       pause(5);
183
       %read state AFE
184
       185
                               % 2 --> READY
           error('Status AFE must be READY after precharge')
187
188
       {\tt VoltageLoopDelta(ReferenceVoltageDelta,\ ReferenceCurrent,\ ReferenceThetalloop)}
189
       , Maps.EnablePhaseCurrentLoop);
190
191 else (Maps.AFEControl == 'CV')
192
       Error = SetFlagControl(0, seriale, TimePause)
       %PRECHARGE AFE
193
194
       Error = StartButton(seriale, TimePause);
195
       pause(5);
196
       %read state AFE
       197
198
           error('Status AFE must be READY after precharge')
199
       end
200
       %Set Delta Voltage
       DeltaSetV(StDelta1, DeltaVoltage);
                                             %voltage between prech and Vdc,min
202
203
       DeltaSetV(StDelta2, DeltaVoltage);
       %Abilito Delta
       fprintf(StDelta1, 'OUTP ON');
fprintf(StDelta2, 'OUTP ON');
205
206
       pause(2);
207
       VoltageLoopAFE(ReferenceVoltageAFE, step_I, Squilibrio);
208
209 end
210
211
212
213 %-----
fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
216 DeltaSetV(StDelta1, 0);
217 DeltaSetV(StDelta2, 0);
218 Error = EmergencyButton(seriale, TimePause);
219 %StopPerception();
221 % Save data
222 SaveMaps.Theta = Theta;
223 SaveMaps.Imod = Imod;
```

```
224 SaveMaps.Voltage = Voltage;
225
226 save('MappaAFE1.0.mat', 'Maps', 'ReferenceVoltageAFE', 'ReferenceCurrent',
                    'ReferenceTheta', 'ModIndex', 'BIT', 'SaveMaps', 'day');
227
228 disp('Procedure OK');
220
230
231 catch e
232
       fprintf(1,'The identifier was:\n%s',e.identifier);
                                                                   fprintf(1,'There
233
       was an error! The message was:\n%s',e.message);
      % StopPerception();
234
       %Disabilito Delta
235
       fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
236
237
       DeltaSetV(StDelta1, 0);
238
239
       DeltaSetV(StDelta2, 0);
       Error = EmergencyButton(seriale, TimePause);
240
241
242
       % Save data
243
       SaveMaps.Theta = Theta;
       SaveMaps.Imod = Imod;
244
245
       SaveMaps.Voltage = Voltage;
246
247
       save('MappaAFE1.0.mat', 'Maps', 'ReferenceVoltageAFE', 'ReferenceCurrent
        , ...
                         'ReferenceTheta', 'ModIndex', 'BIT', 'SaveMaps', 'day');
248
249 end
```

B.1 Funzione "VoltageLoopDelta"

```
1 function [] = VoltageLoopDelta(DeltaVoltage, ReferenceCurrent,
       ReferenceTheta, EnablePhaseCurrentLoop)
 _2 %VoltageLoopDelta(DeltaVoltage, ReferenceCurrent, ReferenceTheta,
       EnablePhaseCurrentLoop)
3 %Input data for Delta Voltage Loop
5 global seriale StDelta1 StDelta2 TimePause Maps Voltage
7 for j=1:length(DeltaVoltage)
8 %Set Voltage Reference Delta
9 DeltaSetV(StDelta1, DeltaVoltage(j));
10 DeltaSetV(StDelta2, DeltaVoltage(j));
11 %Enable Output Delta (Source)
fprintf(StDelta1, 'OUTP ON');
fprintf(StDelta2, 'OUTP ON');
14 pause (2);
                                                   %Wait Source Turn-ON
16 [AFE, Stato] = ReadStatus(seriale, TimePause);
17 if(AFE.Stato ~= 2)  % 2 --> Ready
                             % 2 --> Ready
       fclose(seriale);
       %Disabilito Delta
19
      fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
20
21
      DeltaSetV(StDelta1, 0);
22
       DeltaSetV(StDelta2, 0);
23
       % Set Error_State
      Error = EmergencyButton(seriale, TimePause);
25
       error('State AFE is not READY')
26
27 end
28
{\tt 29} \ \ {\tt ModuleCurrentLoop} \ ({\tt ReferenceCurrent} \ , \ {\tt ReferenceTheta} \ , \ {\tt EnablePhaseCurrentLoop} \ ,
      2*DeltaVoltage(j));
30 Voltage = vertcat(Voltage, 2*DeltaVoltage(j));
32 end
33 end
```

B.2 Funzione "ModuleCurrentLoop"

```
1 function [] = ModuleCurrentLoop(ReferenceCurrent, ReferenceTheta,
       EnablePhaseCurrentLoop, VdcRef)
{\tt 2~\%ModuleCurrentLoop(ReferenceCurrent,~ReferenceTheta,~EnablePhaseCurrentLoop,}\\
        DeltaVoltage)
3 %ReferenceCurrent --> Input vector of current's module
4 %ReferenceTheta --> Input vector of theta current
5 %EnablePhaseCurrentLoop --> 0 disable
                            --> 1 enable
6 %
  global seriale StDelta1 StDelta2 TimePause Imod
10 [AFE, Stato] = ReadStatus(seriale, TimePause);
if (AFE.Stato ~= 2)
                            % 2 --> Ready
       fclose(seriale);
12
      %Disabilito Delta
13
      fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
14
15
      DeltaSetV(StDelta1, 0);
      DeltaSetV(StDelta2, 0);
17
18
       % Set Error_State
       Error = EmergencyButton(seriale,TimePause);
19
       error('State AFE is not READY')
20
21 end
22
23 for i=1:length(ReferenceCurrent)
25 %Check Vdc
26 if(abs(AFE.vdc - VdcRef) > 20 )
27
       fclose(seriale);
      %Disabilito Delta
28
      fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
29
30
31
      DeltaSetV(StDelta1, 0);
       DeltaSetV(StDelta2, 0);
       % Set Error_State
33
34
      Error = EmergencyButton(seriale, TimePause);
       error('Voltage on DClink Error')
35
36 end
37 %Display SetPoint
38 clc
39 disp(['Setpoint Modulo Corrente | I | = ' num2str(ReferenceCurrent(i)) '[A]']);
41 %set reference current
42 Error = SetReferenceMod(ReferenceCurrent(i), seriale, TimePause); %modulo
      della corrente
43
44 if (EnablePhaseCurrentLoop == 1)
45
       PhaseCurrentLoop(ReferenceTheta, VdcRef);
46
       Imod = vertcat(Imod, ReferenceCurrent(i));
47 else
      Error = SetReferencePhase(0, seriale, TimePause); %fase della corrente
48
49
       %Current Pulse (100ms wait + 400ms)
50
51
       Error = StartButton(seriale, TimePause);
       pause (0.5);
      54
        fclose(seriale);
56
```

```
%Disabilito Delta
57
               fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
DeltaSetV(StDelta1, 0);
58
59
60
               DeltaSetV(StDelta2, 0);
61
               % Set Error_State
62
               Error = EmergencyButton(seriale,TimePause);
error('AFE in not Ready')
63
65
         end
66 end
67 end
68 end
```

B.3 Funzione "PhaseCurrentLoop"

```
1 function [] = PhaseCurrentLoop(ReferenceTheta, VdcRef)
2 %PhaseCurrentLoop(ReferenceTheta)
3 %ReferenceTheta --> Input vector of theta current
5 global seriale StDelta1 StDelta2 TimePause ModIndex Maps Theta
6 Mref = 2*sqrt(2)*Maps.Vgrms/(VdcRef);
7 phiMax = ceil((-pi/6+asin(1/(sqrt(3)*Mref)))*180/pi);
9 [AFE, Stato] = ReadStatus(seriale, TimePause);
      if (AFE.Stato ~= 2)
                                 % 2-->READY
           fclose(seriale):
11
12
           %Disabilito Delta
           fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
13
14
           DeltaSetV(StDelta1, 0);
           DeltaSetV(StDelta2, 0);
16
           % Set Error_State
17
           Error = EmergencyButton(seriale, TimePause);
           error('AFE in not Ready')
19
20
21
22 for k=1:length(ReferenceTheta)
23
24
       if (abs(ReferenceTheta(k)) <= phiMax)</pre>
25
26
       disp(['Setpoint Fase Corrente Theta=' num2str(ReferenceTheta(k)) '[deg]'
27
28
       %set reference current phase
29
30
       Error = SetReferencePhase(ReferenceTheta(k), seriale, TimePause); %fase
       della corrente
31
       %Current Pulse (100ms wait + 400ms)
32
       Error = StartButton(seriale, TimePause);
33
       pause(1);
34
35
       [AFE, Stato] = ReadStatus(seriale, TimePause);
if(AFE.Stato ~= 2) % 2-->READY
36
37
           fclose(seriale);
38
39
           %Disabilito Delta
           fprintf(StDelta1, 'OUTP OFF');
40
           fprintf(StDelta2, 'OUTP OFF');
41
42
           DeltaSetV(StDelta1, 0);
           DeltaSetV(StDelta2, 0);
43
           % Set Error State
44
45
           Error = EmergencyButton(seriale, TimePause);
46
           error('AFE in not Ready')
47
       DebugLOG = ReadLog(1, seriale, TimePause, 128);
       ModIndex = [ModIndex, mean(DebugLOG(2:end))];
49
       Theta = vertcat(Theta, ReferenceTheta(k));
50
51
52 end
53 end
```

${\bf B.4 \quad Funzione} \ "Voltage Loop AFE"$

```
1 function [] = VoltageLoopAFE(AFEVoltage, step_current, Sqlb)
2 %VoltageLoopAFE(AFEVoltage, ReferenceCurrent)
     Detailed explanation goes here
3 %
5 global seriale TimePause StDelta1 StDelta2
7 for j=1:length(AFEVoltage)
      %define reference currents
9
      Imax = Pmax/AFEVoltage(j);
      Imax = Imax - (Imax * Sqlb/2);
11
      I_ref_Delta = linspace(0, Imax, step_current);
12
13
      %set reference
      Error = SetReferenceV(AFEVoltage(j), seriale, TimePause);
14
     % 2 --> Ready
16
          fclose(seriale);
17
         %Disabilito Delta
          fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
19
20
         DeltaSetV(StDelta1, 0);
21
          DeltaSetV(StDelta2, 0);
22
23
          % Set Error_State
         Error = EmergencyButton(seriale,TimePause);
24
          error('State AFE is not READY')
25
26
27
      CurrentLoopDelta(I_ref_Delta, Sqlb);
28 end
```

B.5 Funzione "CurrentLoopDelta"

```
1 function [] = CurrentLoopDelta(ReferenceCurrent, Sqlb)
2 %CurrentLoopDelta(ReferenceCurrent)
3 % Detailed explanation goes here
5 global seriale StDelta1 StDelta2 TimePause;
7 for i=1:length(ReferenceCurrent)
      9
          fclose(seriale);
10
          %Disabilito Delta
11
          fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
12
13
          DeltaSetV(StDelta1, 0);
14
          DeltaSetV(StDelta2, 0);
          % Set Error_State
16
          Error = EmergencyButton(seriale,TimePause);
17
          error('State AFE is not READY')
      end
19
20
      %Display SetPoint
21
      disp(['Setpoint Attuale Corrente I=' num2str(ReferenceCurrent(i)) '[A]'
22
23
      %set reference current Delta
      I_ref1 = ReferenceCurrent(i)+(ReferenceCurrent(i)*Sqlb/2);
2.4
      I_ref2 = ReferenceCurrent(i)-(ReferenceCurrent*Sqlb/2);
25
      DeltaSetC(StDelta1, I_ref1);
                                       %Su riferimento NEG. dei Delta
26
27
      DeltaSetC(StDelta2, I_ref2);
      pause(0.2);
28
29
30
      % Current Pulse (100ms wait + 400ms)
31
      Error = StartButton(seriale, TimePause);
      pause(1);
32
33 end
34
35 end
```

B.6 Algoritmo per Caratterizzazione tramite Aggiunta di DutyCycle di Modo Comune

```
1 %% STEP DI TESIONE E CORRENTE
2 close all
3 clear
4 clc
6 %% INCLUDE Library
7 CurrentFolder = pwd;
8 addpath(genpath(CurrentFolder));
10 %% DICHIARAZIONE VARIABILI
12 Vdc_max=800;
                                                    %VOLTAGE MUST BE SET
13 Vrms=230; %tensione di rete
14 I_prova = 30;
15 duty_zero = 0.25;
16 Step_d0 = 15;
17 Step_V =15;
19 duty_ref = linspace(-duty_zero,duty_zero,Step_d0);
20 DeltaVoltage = linspace(Vdc_min/2, Vdc_max/2, Step_V); %V
21 RefPower = 30000; %W
22 Vac = Vrms*sqrt(2); %Vpicco
24 try
25 %% INIT USART COM (Matlab to Micro)
27 %Set Virtual COM port
28 Com_port = 'COM3';
29 % Pause communication
30 TimePause = 0.1;
31 % Init Virtual COM
32 [DataLengthLog, seriale] = InitComUSART(Com_port,TimePause);
34 %% INIT MICRO
35
36 % Set Error_State
37 Error = EmergencyButton(seriale, TimePause);
38 % Read Status
39 [AFE, Stato] = ReadStatus(seriale, TimePause);
40 % Check Status after RESET (Must be ERROR_STATE!)
41 if (AFE.Stato ~= 0) % 0 --> Errore
error('Status must be ERROR after RESET')
43
44 end
45
46 % Force Stop Button
47 Error = StopButton(seriale, TimePause);
49 %% Limiti Delta
50 Delta.MaxP_p = 500;
                              % + [W]
51 \text{ Delta.MaxP_n} = 15000;
                              % - [W]
52 Delta.MaxI_p = 1;
                              % + \Gamma \Lambda I
53 Delta.MaxI_n = 90;
55 SetDac1(26, seriale, TimePause);
56 SetDac2(27, seriale, TimePause);
```

```
57 SetDac3(28, seriale, TimePause);
58 SetDac4(50, seriale, TimePause);
60 %% INIT DELTA 1 COM (Matlab to Source)
62 % Delta Power Supply SM500-CP-90 REMOTE COMMAND (TCP/IP Protocol)
63 % IP ADDRESS OF DELTA (MUST BE SET)
64 addressDCsupply = '192.168.88.2';
65 % Gateway is 10.0.0.1 (Router SMnet)
66 SocketPortSupply = 8462;
67 % Opens TCP/IP Communication
68 StDelta1 = ConnectTCPIP(addressDCsupply, SocketPortSupply);
69 % Set limits DELTA
70 DeltaInit(StDelta1, Delta.MaxI_p, Delta.MaxI_n, Delta.MaxP_p, Delta.MaxP_n);
72 %% INIT DELTA 2 COM (Matlab to Source)
73
74 % Delta Power Supply SM500-CP-90 REMOTE COMMAND (TCP/IP Protocol)
75 % IP ADDRESS OF DELTA (MUST BE SET)
76 addressDCsupply = '192.168.88.3';
77 % Gateway is 10.0.0.1 (Router SMnet)
78 SocketPortSupply = 8462;
79 % Opens TCP/IP Communication
80 StDelta2 = ConnectTCPIP(addressDCsupply, SocketPortSupply);
81 % Set limits DELTA
82 DeltaInit(StDelta2, Delta.MaxI_p, Delta.MaxI_n, Delta.MaxP_p, Delta.MaxP_n);
83 %% START ROUTINE
84
85 %PRECHARGE AFE
86 Error = StartButton(seriale, TimePause);
87 pause (5);
88 %read state AFE
89 [AFE, Stato] = ReadStatus(seriale, TimePause);
90 if (AFE.Stato ~= 2)
                            % 2 --> READY
       error('Status AFE must be READY after precharge')
92 end
93
94 Error = SetReferenceP(I_prova, seriale, TimePause);
95 %% STEP VOLTAGE DELTA
96 for j=1:length(DeltaVoltage)
       %Set Voltage Reference Delta
97
98
       DeltaSetV(StDelta1, DeltaVoltage(j));
       DeltaSetV(StDelta2, DeltaVoltage(j));
99
       %Enable Output Delta (Source)
100
101
       fprintf(StDelta1, 'OUTP ON');
       fprintf(StDelta2, 'OUTP ON');
102
       pause(2);
                                                   %Wait Source Turn-ON
103
104
       [AFE, Stato] = ReadStatus(seriale, TimePause);
105
       if (AFE.Stato ~= 2)
106
                                 % 2 --> Ready
            fclose(seriale);
107
           %Disabilito Delta
108
           fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
109
110
           DeltaSetV(StDelta1, 0);
111
           DeltaSetV(StDelta2, 0);
112
           % Set Error_State
113
114
           Error = EmergencyButton(seriale, TimePause);
           error('State AFE is not READY')
116
       end
117 %% STEP DUTY_ZERO
118
```

```
119
       for i=1:length(duty_ref)
120
121
            [AFE, Stato] = ReadStatus(seriale, TimePause);
            if (AFE.Stato ~= 2)
                                      % 2 --> Ready
122
123
                 fclose(seriale);
                 %Disabilito Delta
124
                 fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
125
                 DeltaSetV(StDelta1, 0);
127
128
                 DeltaSetV(StDelta2, 0);
129
                 % Set Error_State
                 Error = EmergencyButton(seriale,TimePause);
130
131
                 error('State AFE is not READY')
132
            end
133
134
            %Check vdc
            if(abs(AFE.vdc - 2*DeltaVoltage(j)) > 20 )
135
136
                 fclose(seriale);
                 %Disabilito Delta
137
                fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
138
139
                 DeltaSetV(StDelta1, 0);
140
                 DeltaSetV(StDelta2, 0);
141
                 % Set Error_State
142
                 Error = EmergencyButton(seriale,TimePause);
143
144
                 error('Voltage on DClink Error')
145
146
147
            %Display SetPoint
148
            disp(['Setpoint Attuale duty d=' num2str(duty_ref(i))]);
149
150
            %set reference current
152
            Error = SetReferenceMid(duty_ref(i), seriale, TimePause);
153
            % Current Pulse (100ms wait + 400ms)
154
155
            Error = StartButton(seriale, TimePause);
            pause (0.9);
156
            159
160
                 fclose(seriale);
                 %Disabilito Delta
161
                 fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
162
163
                 DeltaSetV(StDelta1, 0);
164
                 DeltaSetV(StDelta2, 0);
165
166
                 % Set Error_State
167
                 Error = EmergencyButton(seriale, TimePause);
168
                 error('Voltage on DClink Error')
169
170
        end
171 end
fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');
174 DeltaSetV(StDelta1, 0);
175 DeltaSetV(StDelta2, 0);
176 Error = EmergencyButton(seriale, TimePause);
177 disp('Procedure OK');
178
179 catch
%Disabilito Delta
```

Politecnico di Torino

```
fprintf(StDelta1, 'OUTP OFF');
fprintf(StDelta2, 'OUTP OFF');

DeltaSetV(StDelta1, 0);
DeltaSetV(StDelta2, 0);

end
```

Bibliografia

- [1] D. Cittanti. Active front-end 3-level rectifiers. In *Presentazione interna PEIC Politecnico di Torino*, 2019.
- [2] Davide Cittanti and Matteo Gregorio. Control tuning of three-level active front end. *Documenti interni PEIC, Politecnico di Torino*, 2019.
- [3] Davide Cittanti and Matteo Gregorio. Analytical assessment of 3-level unidirectional rectifier under non-unity power factor. *Documenti interni PEIC, Politecnico di Torino*, 2021.
- [4] Davide Cittanti, Matteo Gregorio, Eugenio Bossotto, Fabio Mandrile, and Radu Bojoi. Full digital control and multi-loop tuning of a three-level t-type rectifier for electric vehicle ultra-fast battery chargers. *Electronics*, 10(12), 2021.