### POLITECNICO DI TORINO

Corso di Laurea Magistrale in Ingegneria Elettronica

Tesi di Laurea Magistrale

### Progetto di un oscillatore in tecnologia CMOS a 65 nm per applicazioni Internet of Things



Relatore: Paolo Stefano Crovetti Correlatore: Roberto Rubino

Candidato: Andrea Malacrino

Luglio 2020

#### Sommario

Le emergenti applicazioni nel campo dell'Internet of Things (IoT) permettono di stabilire una connessione tra Internet e le attività del mondo fisico, monitorandolo tramite una rete wireless di dispositivi, chiamati nodi, in grado di svolgere operazioni di *sensing*, *processing* e trasmissione/ricezione dati. Ai nodi di una rete IoT, come per esempio sensori atmosferici/biomedicali, è richiesto di operare per lunghi periodi di tempo (es .anni) con batterie di piccolo volume o energy harvester (es. PVC *Photovoltaic cell*), suscettibili alle condizioni ambientali.

Fortunatamente, in molte applicazioni IoT, le quantità fisiche osservate presentano un cambiamento lento nel tempo, che attuare di abilitare una significativa riduzione del *duty-cycling* dei sensori e della sezione radio front-end, diminuendo sensibilmente la potenza media consumata nel nodo.

Il consumo medio in questi sistemi duty-cycling è determinato sostanzialmente dalla potenza consumata a riposo dai circuiti di polarizzazione e di temporizzazione (es. oscillatore locale) sempre attivi nel nodo. Ottenere una bassa potenza consumata a riposo da parte dell'oscillatore locale (es. 1-2 nW per kHz) è una condizione necessaria, ma non sufficiente per la diminuzione della potenza media nel nodo. In particolare, la dipendenza della stabilità in frequenza dell'oscillatore a causa delle variazioni della tensione di alimentazione, della temperatura e del processo (PVT), introduce un'incertezza sulla durata della fase di *sleep*, che necessita di una finestra temporale aggiuntiva, nella quale la potenza consumata è la medesima della fase attiva del nodo, tale da garantire il corretto sincronismo durante la trasmissione/ricezione dei dati fra i differenti nodi wireless. Lo standard di comunicazione BLE (*Bluetooth Low Energy*), per esempio, richiede un'incertezza complessiva di  $\pm$  500 ppm.

Sotto tali condizioni, è stato fatto un confronto preliminare in ambiente Matlab analizzando le principali figure di merito (potenza e stabilità PVT) per individuare la tipologia di oscillatore più performante per risolvere il tradeoff imposto dalle applicazioni IoT. L'oscillatore progettato nella tesi, in ambiente Cadence e tecnologia CMOS a 65 nm, è noto come RFLO (*Resistive Frequency Locked Oscillator*), poiché l'oscillatore interno all'anello di retroazione impone una frequenza tale per cui una resistenza a capacità commutate risulta equivalente a una di riferimento.

Una volta effettuate le simulazioni post-layout per ricavare il coefficiente di temperatura (ppm/°C), la line-sensitivity (%/V), la robustezza rispetto alle variazioni di processo e la potenza consumata dell'oscillatore progettato è stato confrontato con gli oscillatori a rilassamento presenti allo stato dell'arte per valutare l'equilibrio tra potenza/stabilità PVT e il minimo valore di duty cycle a cui l'attività del nodo può tendere.

Uno sviluppo futuro potrebbe includere la possibilità di ottenere una frequenza variabile in funzione dell'applicazione IoT scelta.

#### Abstract

The emerging applications in the field of the Internet of Things (IoT) enable to establish an interaction involving the Internet and the several activities of the physical world. The latter is monitored through a chain of wireless devices, namely IoT nodes, which can perform sensing and processing tasks as well as data transmission and reception. Nodes of an IoT network, such as atmospheric sensors and biomedical sensors, are required to work for a long period (some years) with small volume batteries or energy harvesters, (e.g PVC *Photovoltaic cell*), which are sensitive to environmental conditions.

The physical parameters, that affects many IoT nodes operations, actually introduce slow variations in time so that a remarkable reduction of duty-cycle, concerning sensors and RF front-end operations, is enabled. The duty-cycle limitation turns out to be a powerful advantage since it allows a considerable average power of node to be saved.

The average power consumption in those duty-cycled systems is set basically by the resting consumed power of bias circuits and timing systems, e.g local oscillators, which are always on. Moreover, reaching low resting power consumption from the local oscillator (1-2 nW/kHz) is a necessary but not sufficient condition to ensure the node average power reduction. Specifically, the local oscillator frequency stability dependence on PVT (supply voltage, temperature, and process) variations imply an uncertainty on the sleep mode period, so that an additional time window is required to guarantee the right synchronization during the data exchange among wireless nodes. Unfortunately, that extra period shows the same power consumption of the active working phase of the node. For instance, in BLE (*Bluetooth Low Energy*) communication standard maximum extra time is  $\pm$  500 ppm.

In this scenario, an initial comparison has been carried out in the Matlab tool by analyzing the main figures of merit, such as power and PVT stability, to find out the best oscillator topology to solve the trade-off imposed by IoT applications. The oscillator, designed in this work on the Cadence environment and implemented within the 65 nm STMicroelectronics PDK, is known as RFLO (*Resistive Frequency Locked Oscillator*), as the oscillator in the feedback loop set a frequency such that a switching capacitive resistance is equivalent to a reference one. Once post-layout simulations are performed to extract the temperature coefficient (ppm/°C), the line-sensitivity (%/V), the robustness concerning process variations and power consumption of the designed oscillator are compared with those of state-of-art relaxation oscillators to evaluate the power/ PVT stability balance and to explore the minimum duty-cycle the node activity tend to. Future developments could include the will to achieve a variable frequency based on specific IoT applications.

## Contents

1	Introduzione all'Internet of Things				
	1.1	Proble	emi energetici relativi all'IoT	3	
	1.2	Scopo	della tesi	7	
<b>2</b>	2 Oscillatori per IoT				
	2.1	Reti w	vireless, tecnologie e standard di comunicazione per IoT .	9	
		2.1.1	Standard per reti WLAN	9	
		2.1.2	Standard e tecnologie per reti WPAN	10	
	2.2	Modal	ità operative a bassa potenza di un nodo Io T $\ .\ .\ .\ .$	13	
	2.3	Oscilla	atore al quarzo	18	
2.4 Oscillatore MEMS				20	
	2.5 Oscillatori Integrati				
		2.5.1	Oscillatore LC	23	
		2.5.2	Oscillatore ad anello	24	
		2.5.3	Oscillatori a rilassamento	25	
	2.6	.6 Stato dell'arte		30	
		2.6.1	Compensazione di $ au_{comp}$ in temperatura	31	
		2.6.2	Eliminazione di $\tau_{comp}$ tramite integrazione	38	
		2.6.3	Rimozione del comparatore nell'oscillatore a rilassamento	40	
3	RCxO libero				
	3.1	Figure	e di merito	44	
	3.2 Oscillatore Integrato a due fasi		atore Integrato a due fasi	53	
		3.2.1	Riferimento di corrente	56	
		3.2.2	Riferimento compensato in temperatura e tensione	57	

	3.3	Progettazione e Simulazioni	61			
4	Res	sitive Frequency Locked Oscillator 71				
	4.1	Progettazione e Simulazioni				
		4.1.1 Riferimento di corrente <b>GEN</b>	73			
		4.1.2 Frequenza di Riferimento $\mathbf{REF}$	78			
		4.1.3 Amplificatore differenziale <b>OTAn</b>	81			
		4.1.4 Voltage Controlled Oscillator <b>VCO</b>	91			
		4.1.5 Analisi della stabilità in frequenza	95			
		4.1.6 Resistive Frequency Locked Oscillator <b>RFLO</b>	104			
	4.2	2 Simulazioni post-layout				
	4.3	Confronto con lo stato dell'arte	118			
5	Conclusioni					
Bibliography 13						
Ringraziamenti 13						

## Chapter 1

# Introduzione all'Internet of Things

L'IoT, acronimo inglese di Internet of Things, esprime la volontà di estendere la rete Internet al mondo degli oggetti e luoghi concreti. Questa nuova evoluzione della rete permette ai dispositivi, connessi tra loro, di monitorare e gestire da remoto oggetti di uso comune come frigoriferi e elettrodomestici. Tutto ciò porterà a un miglior controllo delle risorse e dei consumi a partire dalla nostra vita personale fino a quella pubblica.

L'obiettivo dell'Internet delle cose è quindi di dare un'identificazione elettronica a ciò che ci circonda in modo da digitalizzare la vita reale monitorandola. Il grande obiettivo dell'IoT è quello di permettere una connessione globale e quindi integrarsi al meglio con la rete Internet fornendo ai nostri dispositivi IoT un indirizzo IP univoco.

Si può pensare quindi che questi oggetti, come per esempio sensori per assistenza sanitaria, sensori per il monitoraggio delle condizioni climatiche e smartwatch, diventino dei nodi IoT della rete Internet.

Secondo le stime di Assodel nel 2025 il numero totale di dispositivi connessi nel mondo sarà pari a 21.4 miliardi, portando il mercato dell'IoT a un fatturato di 1567 miliardi di dollari.



Figure 1.1: Numero totale di dispositivi connessi alla rete [1]



Figure 1.2: Fatturato Totale [1]

### 1.1 Problemi energetici relativi all'IoT

Visto l'elevato numero di nodi IoT uno tra i problemi principali diventa la gestione energetica dei nostri dispositivi che spesso devono funzionare per molto tempo, per esempio anni, con batterie o accumulatori di piccole capacità.

Le dimensioni dei nodi IoT sono imposte dal loro consumo di energia al fine di evitare qualsiasi tipo di manutenzione relativa alla batteria per tutta la vita del nodo. E' necessario quindi analizzare l'energia erogata dalla batteria e la potenza assorbita dal nodo [2] per fare una stima in termini di tempo di vita come si può vedere nell'equazione 1.1.

$$\tau_{lifetime} = \frac{E_{battery}}{P_{AVG}} \tag{1.1}$$

In Fig.1.3 fissate potenze medie dell'ordine del  $\mu$ W bisogna avere batterie con un volume considerevole, che varia tra i 500-2500 mm<sup>3</sup>, per avere un tempo di vita ragionevole (per es. anni) in applicazioni IoT. Per questo motivo spesso le batterie vengono affiancate nel nodo da un'altra sorgente di energia: *energy harvesters*. Gli *energy harvesters* sono in grado di raccogliere dall'ambiente esterno o dallo stesso nodo oggetto dell'applicazione IoT l'energia utile per alimentare il nodo stesso, cercando di risolvere il problema relativo all'autonomia energetica richiesta nelle applicazioni IoT. Esempi di *energy harvesters* sono:

- Le PVC *photovoltaic cell* che convertono l'energia solare in energia elettrica.
- I PEH *piezoelectric harvester* che sfruttano il movimento o vibrazioni umane per convertirle in energia elettrica (es. apllicazioni indossabili di natura medicale).
- I TEG *termo-elettric generator*, che per mezzo di una differenza di temperatura tra due materiali riescono a generare una differenza di potenziale grazie all'effetto Seebek.



Figure 1.3: Tempo di vita vs potenza media [2]

• I MFC *microbial fuell cell*, che convertono l'energia chimica in energia elettrica sfruttando l'azione di microorganismi.

Gli *harvesters* sono più compatti, rilassando cosi i vincoli sulle dimensione imposti da una sistema alimentato puramente a batteria, ma l'energia che possono fornire dipende da fattori esterni non sempre controllabili. Unendo le due fonti di energia descritte, si può ottenere un ottimo risultato in termini di tempo di vita in Fig. 1.4.

E' chiaro come una volta scelte il tipo e le dimensioni della sorgente di



Figure 1.4: Tempo di vita vs potenza media [2]

energia occorra ridurre il più possibile la potenza consumata dal nodo per massimizzare il tempo di vita, così da rendere il nodo stesso sostanzialmente autonomo energeticamente.

Un nodo IoT deve essere in grado di svolgere attività di *sensing*, operazioni di calcolo sui dati acquisiti e ricezione/trasmissione dati da/verso la base station [3] in modalità wireless. Per garantire il corretto sincronismo di

ricezione/trasmissione dati con la base station sarà necessario utilizzare un oscillatore interno al nodo, che all'occorrenza abiliterà la parte a radiofrequenza del nodo stesso. Tutte le attività appena descritte devono essere garantite sia in caso di cambiamenti della temperatura esterna (es. -20 °C +80 °C), sia in caso di variazioni della sorgente di energia dovuta a cambiamenti climatici quando vengo utilizzati *harvesters* (es. PVC, TEG) oppure al semplice scaricamento della batteria.

La potenza media consumata del nodo dipenderà da quanto frequentemente l'applicazione IoT richiederà l'attività di *sensing*, calcolo, comunicazione con l'esterno e dalla potenza statica consumata dall'oscillatore interno.

Quest'ultimo è sempre acceso, perciò determina il consumo intrinseco del nodo sotto al quale non si può andare. Inoltre la frequenza di oscillazione sarà soggetta a variazioni a causa del cambiamento nelle condizioni ambientali a cui è sottoposto il nodo.

Se da un lato viene richiesto un basso consumo di potenza dell'oscillatore interno (es. nW/qualche  $\mu$ W), allo stesso tempo è richiesta una buona robustezza della frequenza di oscillazione al variare delle condizioni ambientali (es ±500 ppm) [3], poiché, definito lo standard/tecnologia di comunicazione (es. Bluetooth, Zigbee) [3], l'oscillatore deve garantire il corretto sincronismo con la base station nella fase di ricezione/trasmissione dati.

### 1.2 Scopo della tesi

La tesi ha per obiettivo il progetto di un oscillatore a basso consumo ("*wake-up timer*") con elevata efficienza e accuratezza in frequenza adatti a soddisfare i requisiti IoT. Essa comprende la progettazione completa del circuito, a partire dal confronto di diverse soluzioni in letteratura, progettazione ad alto livello, implementazione in ambiente Cadence in tecnologia CMOS 65nm, simulazioni in condizioni nominali ed al variare della temperatura, della tensione di alimentazione e dei parametri di processo, layout e simulazione post-layout.

La tesi sarà strutturata come segue:

- Nel secondo capitolo verranno descritti brevemente gli standard e le reti di comunicazione, le modalità operative a basso consumo di un nodo IoT a partire dall'equazione di bilancio energetico del nodo. In seguito vi sarà un descrizione di differenti tipi di oscillatori (es. Quarzo, MEMS, Integrati), con l'obiettivo di comprendere quale tra questi sia la migliore soluzione per soddisfare i requisiti IoT. Un maggiore approfondimento è dedicato agli oscillatori a rilassamento con l'analisi delle diverse architetture presenti nello stato dell'arte.
- Nel terzo capitolo, a partire dalla potenza media consumata dal nodo, verranno definite le nuove figure di merito, che sono state utilizzate nel confronto dello stato dell'arte per i diversi oscillatori a rilassamento con l'obbiettivo di studiare potenza consumata e robustezza in frequenza alle variazioni PVT(*Process-Voltage-Temperature*) dell'oscillatore a rilassamento. Inoltre verrà progettato e simulato in ambiente Cadence un semplice oscillatore a rilassamento, in tecnologia CMOS a 65 nm grazie all'utilizzo del Process Design Kit di STMicroelettronics, per comprendere al meglio eventuali potenzialità e criticità legati a questo tipo di oscillatore.
- Nel quarto capitolo, in accordo con quanto analizzato precedentemente nello stato dell'arte, sarà scelta l'architettura più adatta a soddisfare i requisiti IoT. Definite le specifiche di progetto, si procederà con la

progettazione in ambiente Cadence dell'oscillatore in tecnologia CMOS a 65nm. Verranno valutate tramite simulazione pre-layout e post-layout le stesse figure di merito utilizzate nel capitolo precedente al fine di collocare il nuovo oscillatore nello stato dell'arte.

## Chapter 2

## Oscillatori per IoT

In questo capitolo verranno inizialmente descritti gli standard di comunicazione generalmente utilizzati nelle applicazioni IoT. Successivamente verrà presentata una soluzione architetturale ad alto livello per la comunicazione wireless nodo/base station nella quale sarà approfondita la trattazione inerente ai consumi. Infine, verranno presentate le diverse topologie allo stato dell'arte per la realizzazione di un oscillatore a basso consumo.

### 2.1 Reti wireless, tecnologie e standard di comunicazione per IoT

La rete WSN ("Wireless sensor network")[3] indica una rete wireless costituita da un insieme di dispositivi elettronici autonomi capaci di comunicare tra loro e monitorare l'ambiente circostante. Definita questa rete di nodi IoT bisogna scegliere la tecnologia radio da utilizzare. L'interfaccia radio sarà basata sugli *standard* presenti.

#### 2.1.1 Standard per reti WLAN

Lo standard che viene maggiormente utilizzato nelle reti WLAN ("Wireless local area network")[3] è *IEEE 802.11x* [4]. In *IEEE 802.11a/b/g* la velocità di trasferimento varia da 1 Mbps fino a 54 Mbps, mentre il range di trasmissione varia da 75 m fino a 125 m [5].

#### Low Power Wifi

Il Low Power Wifi [4], per range fino a 30 m, è la tecnologia più conosciuta che si basa sullo standard descritto precedentemente, ma anche la meno utilizzata in ambito IoT a causa dell'elevata potenza richiesta nel trasferimento dati, circa 15-20 dBm in trasmissione, sopportabile solo per alcune ore nei dispositivi a batteria [5].

#### 2.1.2 Standard e tecnologie per reti WPAN

Gli standard che vengono utilizzati nelle reti WPAN ("Wireless personal area network")[3] sono rispettivamente il Bluetooth, ZigBee e 6LoWPAN [4]. Questo tipo di rete personale basato su questi standard nasce dall'esigenza di poter comunicare con dispositivi diversi vicini al singolo utente, fino a 100 m, con una attenzione maggiore ai consumi energetici.

#### Bluetooth

Il Bluetooth [4] è un standard di comunicazione a corto raggio da 10 a 100 m, che si presta molto bene al collegamento di dispositivi IoT a batteria grazie ai bassi consumi, circa 0-4 dBm, a scapito della velocità di trasmissione, fino a 1 Mbps [5]. Nel 2011 è stato introdotto lo standard Bluetooth Low Energy (BLE)[3], che riduce notevolmente i consumi dei dispositivi attivando la connessione solo quando necessaria e mantenendo la modalità sleep nel tempo restante, allungando la vita media della batteria.

#### Zigbee e 6LoWPAN

Lo standard ZigBee si basa sull'*IEEE 802.15.4* [4], mentre 6LoWPAN ("IPv6 over Low -Power Wireless Personal Area Networks") mantiene esclusivamente l'interoperabilità con *IEEE 802.15.4*[4].

Entrambe permettono una velocità di trasferimento massima pari a 250 Kbps. Il range e la potenza di trasmissione in Zigbee sono rispettivamente da 10 a 100 m e 0 dBm, mentre in 6LoWPAN il range è ridotto a circa 10 m con una potenza di -3 dBm [5]. Il vero punto di forza di questo tipo di standard è l'adozione di IPv6 come protocollo d rete. E' possibile in questo standard infatti associare al nodo IoT della rete WSN un indirizzo IP univoco, permettendo quindi una connessione diretta alla più grande rete WAN ("Wide area network") realizzata, Internet. Questo infatti è lo scopo primario dell'IoT, la connessione globale.

#### RFID e NFC

Un'altra tecnologia, che può essere considerata appartenente alla rete WPAN, utilizzata per l'identificazione e/o memorizzazione di informazioni relativi a oggetti prossimi all'utente è RFID(Radio frequency identification) [3]. I dispositivi sono provvisti di etichette elettroniche chiamate *tag* in grado di memorizzare dati e rispondere se interrogati. L'identificazione avviene grazie all'uso di onde radio, dove il *reader* è in grado di richiedere e/o aggiornare le informazioni presenti nei tag.

La tecnologia che ora affonda le sue radici nel RFID è l'NFC.

L'NFC [3], che significa letteralmente near field comunication, permette oltre alla connessione senza fili a corto raggio (10 cm) anche una comunicazione bidirezionale che opera alla frequenza di 13,56 MHz [3].

L'NFC non richiede un'alimentazione propria, poiché sfrutta l'induzione elettromagnetica per traferire informazioni. Essa rappresenta una comunicazione locale con al massimo due dispositivi connessi per volta a basso consumo.

In Fig.2.1 e Fig.2.2 vengono mostrate rispettivamente gli standard delle varie reti e un confronto tra gli standard delle reti WLAN/WPAN, poiché sono principalmente quelli utilizzati nei nodi IoT.

La strada intrapresa per le reti WWAN nell'ambito IoT passa per gli stan-



Figure 2.1: Standard di reti WPAN/WLAN/WWAN [5]

## ZigBee, Bluetooth, NFC, vs., WiFi

	Low Energy Bluetooth	ZigBee	NFC	Low Power WiFi
Frequency (MHz)	2402 – 2482	868 - 868.8, 902 - 928, 2402 - 2482	13.56	2400 - 2500
Channels	3	16	1	3
Modulation	GFSK	BPSK & QPSK	ASK	64QAM
Max potential data rate	1 Mbps	250 Kbps	424 Kbps	54 Mbps
Range	10m	100+m	10cm	30m
Power Profile	Days	Months/Years	Months/Years	Hours
Complexity	Complex	Simple	Simple	Complex
Nodes/Master	7	65,000	1+1	
Extendibility	No	Yes	No	Yes 37

Figure 2.2: Standard di reti WPAN/WLAN a confronto

dard LoRa e Sigfox [4]. Non sono adatti per usi a banda larga, ma permettono di coprire range elevati di trasmissione, fino a 50 km [5].

Fornito un certo standard e un certo tipo di rete è necessario capire l'energia che viene richiesta al nodo IoT per processare i dati ricevuti e trasmetterli nuovamente. Inoltre, in funzione dell'applicazione in cui è utilizzata la rete di nodi IoT, è necessario capire quanto frequentemente devono comunicare con la base station per delineare un bilancio dei consumi.

### 2.2 Modalità operative a bassa potenza di un nodo IoT

Un nodo IoT all'interno di una rete WSN deve essere in grado, come già detto, di poter ricevere/trasmettere dati con una certa periodicità dettata dall'applicazione che deve svolgere. Inoltre il nodo deve mantenere il corretto sincronismo con la base station della rete in modo da essere pronto a trasmettere o ricevere secondo tempistiche definite dall'applicazione svolta dal nodo stesso.

Possiamo quindi pensare a un nodo IoT come un Synchronized transceiver, dove sono presenti un wake-up timer a bassa frequenza (kHz-MHz) e un wakeup radio ad alta frequenza (GHz) nell'intorno della banda che lo standard (es. BLE, Low Power WiFi, Zigbee) richiede. In questa topologia in Fig. 2.3, il primo è l'oscillatore interno che ha il compito di abilitare, mediante un contatore a n bit e alla logica di controllo, con il corretto sincronismo il wake-up radio, in modo da ottenere una corretta ricezione dei dati e una successiva trasmissione. Questo modo di operare è usato nelle reti che implementano lo standard Zigbee e BLE [3].

A partire dall'equazione 2.1 sul bilancio energetico del nodo è possibile ricavare la sua potenza media consumata, analizzando dettagliatamente i diversi contributi. La potenza  $P_{SLP}$  durante la fase di *sleep*, il tempo di guardia  $t_{GB}$  per garantire il corretto sincronismo durante la comunicazione nodo/base station, legato all'accuratezza del *wake-up timer*, e il duty cycle D (rapporto temporale tra la modalità  $t_{ON}$  attiva e il tempo totale  $t=t_{SLP} + t_{ON}$ ) sono i fattori principali che determinano la potenza media del nodo  $P_{AVG}$  nella formula 2.2.

$$E_{AVG} = P_{OSC}t + P_{ON}(t_{ON} + t_{GB})$$

$$P_{AVG} = \frac{E_{AVG}}{t} = P_{OSC} + P_{ON}(\frac{t_{ON}}{t} + \frac{t_{GB}}{t})$$

$$D = \frac{t_{ON}}{t}$$

$$P_{AVG} = P_{SLP} + P_{ON}(D + \frac{t_{GB}}{t})$$

$$(2.1)$$

dove  $P_{ON}$  è la potenza di trasmissione.

Analizziamo ora le diverse grandezze presenti nella formula 2.2 e rappresentate in Fig. 2.4 :

- $P_{ON}$  è la potenza attiva consumata in fase di trasmissione/ricezione. In funzione dello standard scelto varia da 500  $\mu$ W fino a 10 mW. Questa non si somma in maniera assoluta alla potenza media del nodo, ma è pesata dalla somma del duty cycle D e t<sub>GB</sub>.
- Il duty cycle D è il rapporto temporale tra il tempo impiegato nella ricezione/trasmissione dati e il tempo totale di ogni ciclo. Per alcune applicazioni IoT, come per esempio la misura di temperatura, umidità e  $CO_2$ , non è necessario acquisire frequentemente dati, poiché le quantità fisiche monitorate presentano un lento cambiamento nel tempo. Questo ci permette di operare con piccoli valori di duty cycle (da 0.01 % fino 1%), riducendo così la potenza media nel nodo e aumentando il tempo di vita  $\tau_{lifetime}$ . Si ricorda come questo debba essere espresso in termini di anni. Il meccanismo del duty cycling è necessario per contenere i consumi del nodo e quindi rilassare i vincoli sulle dimensioni delle sorgenti di energia del nodo stesso.
- $P_{SLP}$  è la potenza consumata dal nodo durante la fase di *sleep*, quindi per un tempo pari a  $t_{SLP}$ . L'oscillatore interno presente nel nodo è sempre acceso anche durante la fase di *sleep*, cioè di non trasmissione/ricezione, perciò il suo consumo è spesso dominante rispetto a

tutti gli altri blocchi presenti nel nodo e deve pertanto essere ridotto al minimo. Si ricorda infatti che esso deve sempre essere attivo per abilitare nel momento giusto il *wake-up radio*. Il suo contributo di potenza, come si può vedere nella formula 2.2, si somma in maniera assoluta accrescendo la potenza media del nodo.

• Il tempo di guardia  $t_{GB}$  viene introdotto per garantire la sovrapposizione temporale tra la fase di abilitazione del *wake-up radio* e la fase di ricezione/trasmissione. In questo modo si ha la certezza che il nodo venga abilitato con il corretto sincronismo dal *wake-up timer* per compiere le azioni richieste. La potenza richiesta durante questa fase è identica alla fase attiva del nodo. Il tempo di guardia diventa di conseguenza parametro fondamentale nella valutazione della potenza media del nodo, poiché per tutto quel tempo è come se il nodo stesse trasmettendo.

Gli ultimi due parametri che sono stati descritti meritano un approfondimento maggiore, poiché essi sono legati tra loro. La potenza  $P_{SLP}$  rappresenta il consumo intrinseco del nodo, poiché grazie al meccanismo di duty cycling e per tempi di guardia tendenti a zero, la potenza media del nodo tenderebbe con la potenza consumata dal *wake-up timer*. Per minimizzare il tempo di guardia, occorre migliorare l'accuratezza in frequenza del *wake-up timer*. Il tempo di guardia, infatti, è definito come:

$$t_{GB} = C_U t_{SLP}$$

dove  $C_U$  è l'accuratezza in frequenza del wake-up timer e  $t_{SLP}$  è il tempo di sleep del nodo. L'accuratezza  $C_U$  del wake-up timer sarà tanto maggiore quanto la sua frequenza di oscillazione sarà robusta a cambiamenti della temperatura esterna e dell'alimentazione del nodo. Una maggiore resistenza al cambiamento di queste condizioni esterne richiede di aumentare la potenza a disposizione del wake-up timer, cioè  $P_{SLP}$ .

Occorre, quindi, cercare il giusto bilanciamento tra il consumo intrinseco e l'accuratezza del *wake-up timer* con lo scopo di minimizzare la potenza media del nodo.



Figure 2.3: Synchronized transceiver



Figure 2.4: Sequenza temporale in un nodo IoT



Figure 2.5: Potenza media nel nodo vs incertezza wake-up timer

In Fig. 2.5, è stata rappresenta la  $P_{AVG}$  del nodo in funzione dell'accuratezza  $C_U$ , al variare del duty cycle D. La potenza durante la fase attiva è  $P_{ON} = 1$  mW, mentre la potenza del *wake-up timer* è  $P_{SLP} = 400$  nW. Come si può osservare per piccoli valori di  $C_U$  la curva è piatta, sottolineando come il consumo dipenda esclusivamente dal duty cycle D e  $P_{SLP}$ .

Come precedentemente visto, il wake-up timer è un circuito che deve fornire al nodo l'indicazione di quando riattivarsi per trasmettere/ricevere dati. Quest'ultimo servirà per incrementare un semplice contatore all'interno del nostro nodo IoT in Fig. 2.3. Per garantire l'interoperabilità fra i vari sistemi esso dovrà funzionare anche quando il nodo è spento e il suo consumo di potenza, che varia da centinaia di nW fino a qualche  $\mu$ W, si andrà a sommare alla potenza media del nodo.

Ci sono diversi modi per realizzare un *wake-up timer*, ma successivamente ne verranno analizzati tre configurazioni diverse che sono rispettivamente:

- Oscillatore al quarzo (XO)
- Oscillatore MEMS
- Oscillatori Integrati (a rilassamento, ad anello, LC)

### 2.3 Oscillatore al quarzo

Il più comune tra tutti gli oscillatori è certamente quello al quarzo, in particolare seguendo la tipologia di Pierce in Fig. 2.6. Il cristallo al quarzo può essere rappresentato da quattro elementi a parametri concentrati,  $R_m$ ,  $L_m$ ,  $C_m \in C_o$ . Il  $C_o$  è il condensatore che rappresenta gli elettrodi del cristallo. Nel suo valore di capacità sono incluse anche le capacità parassite derivanti dal packaging del cristallo. I rimanenti tre parametri rappresentano le proprietà acustiche del cristallo. Il parametro  $L_m$  rappresenta il comportamento induttivo,  $C_m$  quello capacitivo e  $R_m$  quello resistivo, che è responsabile delle dissipazioni di potenza del cristallo. Il quarzo, quindi, può essere rappresentato come un circuito RLC serie, trascurando il condensatore  $C_o$ . Il quarzo è progettato in termini di dimensioni spaziali a risuonare a una precisa desiderata frequenza una volta fissato il suo carico  $C_L$ . Il circuito attivo esterno ha una transconduttanza pari  $g_m$ , che simula una resistenza negativa con il fine di creare e sostenere la risonanza nel materiale piezoelettrico. Infine il resistore  $R_{fb}$  serve per fissare il punto di lavoro a meta della caratteristica dell'inverter



Figure 2.6: Oscillatore al quarzo di Pierce

[3]. La frequenza di oscillazione naturale, la frequenza desiderata dovuta al carico  $C_L$  e il fattore di merito Q sono pari a:

$$f_s = \frac{1}{2\pi\sqrt{L_m C_m}}$$
$$f_L = f_s \left(1 + \frac{C_m}{2(C_L + C_o)}\right)$$
$$Q = \frac{1}{R_m} \sqrt{\frac{L_m}{C_m}}$$

Il fattore di merito Q ci dà un indicazione sulla selettività in frequenza dell'oscillatore, cioè la sua riluttanza a modificare la sua frequenza di risonanza a causa di cambiamenti esterni. Nei moderni oscillatori al quarzo i transistor possono essere disposti nello stesso package del quarzo, dove è presente anche la parte a RF(utilizzata dal wake-up radio), con l'oscillatore al quarzo esterno. Il principale vantaggio in questa topologia è:

• Ottima stabilità in frequenza da 50 fino a 100 ppm per un ampio intervallo di temperature tra -40 e +90°C [6].

Questo permette una riduzione del  $t_{GB}$  in modo da diminuire la potenza media del nodo.

L'oscillatore al quarzo è caratterizzato da un elevato fattore merito Q (es. 80,000-100,000), infatti al variare delle condizioni ambientali sarà molto difficile che la frequenza di risonanza cambi [3].

I principali svantaggi sono:

- Le rilevanti dimensioni limitano il *form factor* del nodo IoT [6].
- Le capacità  $C_L$ , una volta integrate, presentano un basso fattore di qualità e inoltre il loro valore cambia al variare della temperatura, perciò la frequenza di oscillazione risulterà diversa da quella desiderata.
- L'elevata sensibilità a urti o vibrazioni può provocare uno spostamento della frequenza di risonanza [3].
- Il costo [3] .
- La potenza consumata  $P_{OSC}$  che come si può vedere nell'articolo [6], nonostante le avanzate tecniche utilizzate, la potenza rimane a un valore di circa 100  $\mu$ W per una frequenza di oscillazione di 24 MHz.

### 2.4 Oscillatore MEMS

Un altra tipologia sono i MEMS(*micro electro-mechanical system*). Questi tipi di risonatori sfruttano le vibrazioni o movimenti meccanici per trasformarli in segnali elettrici. Per la realizzazione dei *wake-up timers* i MEMS spesso sfruttano la trasduzione elettrostatica in Fig. 2.7.

Per esempio, una massa che vibra sopra una capacità all'interno di un risonatore ne cambia il valore generando così una forza elettrostatica. Questo segnale viene guidato verso l'elettrodo di ingresso in modo da eccitare la risonanza stessa. In ogni caso bisogna accoppiare l'oscillatore con un amplificatore in moda da generare una resistenza negativa che sostenga l'oscillazione, proprio come negli oscillatori al quarzo.

I principali vantaggi di questa topologia sono:

Energetic domain	Effort e	Flow f
Translational mechanics	Force	Velocity
Rotational mechanics	Torque	Angular velocity
Electricity	Voltage	Current
Hydraulic	Pressure	Volume flow rate
Thermal	Temperature	Entropy change rate
	Pressure	Volume change rate
Magnetic	Magneto-motive force	Magnetic flow

Figure 2.7: Cambiamento di Dominio [7]

- Dimensioni minori rispetto all'oscillatore al quarzo diminuendo il *form factor* del nodo IoT con possibilità di inserirlo nello stesso package della parte a radiofrequenza.
- Grazie alle dimensioni ridotte saranno così anche i parassiti, perciò diminuirà anche il consumo per sostenere l'oscillazione [3].
- Resistenza maggiore a urti e vibrazioni.

Invece, gli svantaggi principali sono:

- Stabilità in frequenza  $\pm 7,000$  ppm [8] per un intervallo di temperature tra -40 e +85 °C a differenza degli oscillatori al quarzo.
- Compensazione in temperatura necessaria. Questa viene attuata introducendo un materiale con coefficiente in temperatura come del biossido di Silicio  $SiO_2$ , degradando però il fattore di merito Q del risonatore.
- Incremento del costo e del consumo di potenza se occorre introdurre un sensore di temperatura per compensare attivamente le variazioni

della frequenza dovute alla temperatura [8]. Inoltre, l'integrabilità nello stesso package di questo tipo di oscillatore comporta che venga utilizzato un processo di tipo MEMS per la usa realizzazione, perciò un costo aggiuntivo.

Gli oscillatori MEMS, [9] e [8] sono generalmente impiegati per frequenze sub-GHz/GHz, come *wake-up radio*, con potenze delle centinaia di  $\mu$ W. Gli oscillatori al quarzo (XO), [6] e [10], essendo risonatori meccanici non riescono a raggiungere tali frequenze, ma si fermano a frequenze massime di qualche decina di MHz. La potenza consumata negli oscillatori al quarzo è anch'essa di decine/centinaia di  $\mu$ W.

Per realizzare un *wake-up timer* tramite questi oscillatori occorre utilizzare un divisore di frequenza per ottenere frequenze di oscillazione di una decina di kHz/qualche MHz. La potenza consumata da questi tipi di oscillatori sia nella fase attiva sia nella fase di *sleep* degraderebbe il tempo di vita del nodo a valori inaccettabili (es. ore/giorni).

### 2.5 Oscillatori Integrati

L'ultima categoria che viene analizzata sono gli oscillatori integrati. Diverse possono essere le tipologie:

- Oscillatore LC
- Oscillatore ad anello
- Oscillatore a rilassamento

Ciò che accomuna queste diverse tipologie di oscillatori è la possibilità di integrare il *wake up timer* sullo stesso silicio del circuito a radiofrequenza(*wake up radio*) rilassando così i vincoli dimensionali imposti da un determinato form factor nelle applicazioni IoT.

#### 2.5.1 Oscillatore LC

La prima tipologia di oscillatore integrato presentata viene chiamata LC. Se il quarzo poteva essere rappresentato come un circuito RLC serie a parametri concentrati, anche in questo caso si tratta dello stesso circuito con la differenza che i componenti sono integrabili sul silicio. La frequenza di risonanza rimane la medesima del quarzo, dove il resistore rappresenta le perdite di potenza. A differenza del quarzo, però, un oscillatore LC presenta bassi valori di merito Q (es. 200-1,000) [3], compromettendo così la stabilità in frequenza. Diversi possono essere i modi per realizzare un condensatore o un induttore integrato.

I condensatori principalmente utilizzati possono essere realizzati come MIM (*Metal-Insulator-Metal*), MOM (*Metal-Oxide-Metal*) oppure sfruttando la capacità intrinseca di un MOSFET [11]. I MIM, realizzati mediante due o più strati di metallo ponendo l'isolante *high k* nel mezzo, presenta un'elevata capacità per unità di area (es.  $0.5 \text{ fF}/\mu\text{m}^2$ ), ma costoso nella sua realizzazione, poiché deve essere utilizzata una nuova *mask* nel processo di fabbricazione. I condensatori MOM, dove al posto dell'isolante viene utilizzato il SiO<sub>2</sub>, è di più facile realizzazione, quindi, costi contenuti, ma occupa più area a parità di capacità rispetto al precedente. Infine nell'utilizzo del MOSFET come capacità viene utilizzato il sottile strato di ossido come isolante tra gate e substrato, che fungono rispettivamente da *top* e *bottom plate* per la capacità. Sebbene presenti il più alto valore di capacità per unità di area (es. 25 fF/ $\mu$ m<sup>2</sup>) grazie al sottilissimo strato di isolante, il suo valore di capacità nel substrato [11].

Gli induttori integrati su silicio sono generalmente *spiral inductors*. Gli *spiral inductors* di tipo *stacked* sono costruiti a partire dal substrato, usando i diversi livelli di interconnessioni (es .M1/M2/M3),condividendo lo stesso processo di fabbricazione dei dispositivi attivi. Questi tipi di induttori presentano perdite ohmiche nel metallo e nel substrato a causa del silicio in cui sono immersi, degradando il fattore di merito Q [12]. Negli *spiral inductors stacked* è possibile realizzare induttanze di dell'ordine di decine di nH e non oltre, poiché sarebbe richiesta un eccessivo consumo di area per ogni livello di metallizzazione [12].

Sebbene l'integrabilità sia un punto di forza in questa topologia di oscillatori, se si cerca di imporre la frequenza di risonanza alle frequenze tipiche di un wake up timer sarebbe richiesta un'induttanza troppo grande (es.  $\mu$ H-mH) per essere integrata. Proprio come nei MEMS e negli oscillatori al quarzo vengono usati divisori di frequenza [13], portando però alle stesse conclusioni viste precedentemente.

#### 2.5.2Oscillatore ad anello

Se si considera un numero N dispari di inverter collegati in cascata, con  $N \geq 3$ , e poi si riporta l'uscita dell'ultimo all'ingresso del primo è possibile realizzare un oscillatore ad anello, rappresentato in Fig. 2.8. La frequenza di oscillazione è pari a:

$$f_s = \frac{1}{N(t_{pLH} + t_{pHL})}$$

dove N è il numero di inverter,  $t_{pLH}$  è il ritardo di propagazione sull'uscita dell'inverter dal valore logico alto a quello basso, mentre  $t_{pHL}$  rappresenta la condizione opposta alla precedente. I ritardi di propagazione della singola porta logica all'interno dell'anello dipendono dal valore di resistenza equivalente  $R_{eq}$  del PMOS/NMOS, inversamente proporzionale a  $W_p/W_n$ , e dalla capacità di carico  $C_{eq}$  che l'inverter successivo impone sul precedente. Gli inverter sono identici tra loro e, inoltre, le dimensioni dei transistor PMOS/NMOS che li compongono sono dimensionati in modo da avere ritardi di propagazioni sia in salita che in discesa identici.

La frequenza di oscillazione perciò sarà:

$$f_s = \frac{1}{2Nt_p}$$

dove  $t_p = t_{pLH} = t_{pHL}$ .

Noti questi parametri si può scegliere la frequenza di oscillazione desiderata. Essendo i ritardi di propagazione di un inverter, in un processo a 65 nm a dimensioni minime, dell'ordine di qualche picosecondo per ottenere una bassa frequenza, compatibile con la realizzazione di un *wake up timer*, occorre un elevato numero di inverter (es. 10,000-100,000). Questo comporta sia un'inaccettabile potenza consumata nelle applicazioni IoT e, inoltre, compromette i vincoli imposti dal *form factor* del nodo. In definitiva, anche questa topologia non risulta essere adatta nella realizzazione di un *wake up timer*, ma la stessa cosa non si può dire con l'obiettivo di ottenere un oscillatore ad alta frequenza [14][15] (es. GHz).



Figure 2.8: Oscillatore ad anello a 3 stadi

#### 2.5.3 Oscillatori a rilassamento

Tutti gli oscillatori presentati fino ad ora escludendo l'oscillatore ad anello, integrati e non, generano un segnale sinusoidale in uscita alla frequenza per la quale sono stati progettati. Il segnale sinusoidale in uscita viene poi trasformato, da un opportuno circuito di condizionamento, in un'onda quadra necessaria nelle applicazioni digitali.

L'oscillatore a rilassamento è un circuito non lineare che produce in uscita un segnale non sinusoidale ripetitivo, come un'onda quadra. Un oscillatore a rilassamento, in generale, è costituito da un circuito di retroazione contenente un dispositivo di commutazione (es. transistor, comparatore, amplificatore operazionale) che carica un condensatore tramite un resistore fino al raggiungimento della soglia, per poi scaricarlo successivamente, ricaricarlo nuovamente e così via. La tesi si è concentrata sulla ricerca di un oscillatore di questo tipo nello stato dell'arte, poiché esso, come verrà mostrato in seguito, presenta le caratteristiche adatte nella realizzazione di un *wake up timer* per applicazioni IoT. Innanzitutto, verranno presentate la tipologia generale al



Figure 2.9: Oscillatore a rilassamento

fine di comprendere meglio il funzionamento di base, con i rispettivi vantaggi e svantaggi. Successivamente, verranno esposte le diverse tecniche utilizzate allo stato dell'arte per migliorare la stabilità in frequenza rispetto alle variazioni PVT e permettere un basso consumo di potenza simultaneamente. L'idea di base nell'oscillatore a rilassamento a singola fase, in Fig. 2.9, è quella di caricare una capacità  $C_1$  a corrente costante  $I_{REF}$ . Quest'ultima non deve essere necessariamente costante nella realizzazione di questo tipo di oscillatore. Non appena la tensione  $V_1$  sul condensatore raggiunge il valore  $V_{REF} = R_1 I_{REF}$ , dopo un intervallo di tempo, viene scaricata tramite
un interruttore. Inoltre nel medesimo intervallo temporale  $V_{RST}$  si porterà a livello logico alto, in modo da permettere la successiva commutazione dello stato logico attuale del D Flip-flop.

La sequenza temporale degli eventi sopra descritti è stata rappresentata in Fig. 2.10. Il periodo di oscillazione  $T_{OSC}$ , assumendo di considerare tutti i contributi, è pari a:

$$T_{OSC} = 2(\tau_{RC} + \tau_{comp} + \tau_{buff} + \tau_{rst})$$

dove  $\tau_{RC} = \frac{C_1 V_{REF}}{I_{REF}} = R_1 C_1$  è il tempo di carica del condensatore,  $\tau_{comp}$  è il ritardo del comparatore e  $\tau_{buff} + \tau_{rst}$  è tempo di scarica del condensatore.

Solitamente il tempo impiegato nella fase di scarica può essere trascurato, poiché molto minore del periodo di oscillazione  $\left(\frac{\tau_{buff} + \tau_{rst}}{T_{OSC}} << 0.1\%\right)$ . Diversamente invece si deve dire di  $\tau_{comp}$  che non può essere trascurato nel calcolo della frequenza di oscillazione. Occorrerà, perciò, cercare di quantificare questo ritardo con l'obiettivo di ottenere il periodo di oscillazione corretto.



Figure 2.10: Sequenza temporale

I principali svantaggi sono:

• Il ritardo del comparatore  $\tau_{comp}$ , contributo indesiderato, diminuisce all'aumentare della banda del comparatore ed, inoltre, è dipendente dalla temperatura.

Per ridurre questo ritardo occorre incrementare la banda del comparatore dissipando, però, maggiore potenza [16]. Si deve anche cercare il modo di compensare la sua dipendenza dalla temperatura [16]. Se non compensato in temperatura questo ritardo porta a una stabilità in frequenza di ± 100,000 ppm in un intervallo di temperature compreso tra -20 °C e 80 °C, non accettabile negli standard utili alle applicazioni IoT (es. BLE, Zigbee). Si ricorda che il comparatore rimane sempre attivo, consumando potenza non solo durante la fase di superamento della soglia e, quindi, la fase di commutazione sul segnale  $V_{RST}$ .

- Il segnale  $V_{RST}$ , che permette la commutazione del D Flip-flop, non riesce a raggiungere la tensione di alimentazione nell'intervallo di tempo  $\tau_{buff} + \tau_{rst}$ , perciò questa architettura risulta essere sensibile al rumore [17].
- La dipendenza dal processo dei componenti passivi/attivi integrati  $R_1$ ,  $C_1$ , MOSFET e della tensione di soglia  $V_{TH}$  dei transistor, che portano a una variazione sulla frequenza di oscillazione. Viene quindi richiesta una calibrazione prima dell'utilizzo [16].

I principali vantaggi sono invece:

- Le dimensioni e la completa integrabilità di questo tipo di oscillatore permettono di rilassare i vincoli imposti dal *form-factor* del nodo IoT [17]. L'area occupata da un oscillatore a rilassamento tipicamente varia da 0,01 mm<sup>2</sup> fino a un massimo di 0,5 mm<sup>2</sup>.
- Il costo.
- La possibilità di ottenere frequenze di oscillazione nell'intervallo di interesse per la realizzazione di un *wake-up timer* (es. kHz-MHz) senza l'utilizzo di divisori di frequenza.

• Il basso consumo di potenza  $P_{OSC}$  dell'oscillatore a rilassamento. La possibilità di operare in regione di sub-threshold permette una diminuzione della tensione di alimentazione (es. 0.4 - 0.8 V) che porta principalmente a due benefici. Il primo è certamente la riduzione della potenza statica  $P_{OSC}$  e, quindi, anche di  $P_{AVG}$ , il secondo è il rilassamento dei vincoli sulle dimensioni delle sorgenti di energia che provvedono all'alimentazione del nodo. Questo tipo di oscillatore permette, infatti, consumi di potenza di una decina di nW per frequenze di oscillazione di un centinaio di kHz [17]. La netta diminuzione della potenza, rispetto agli oscillatori precedentemente descritti, ha come conseguenza l'aumento del tempo di vita del nodo  $\tau_{lifetime}$  portandolo a valori accettabili nelle applicazioni IoT [2] (es. anni).

L'obiettivo delle tecniche utilizzate nello stato dell'arte, che verranno successivamente discusse nella sezione seguente, è di ottenere una frequenza di oscillazione, pari a:

$$F_{OSC} = \frac{I_{REF}}{C_1 V_{REF}} = \frac{1}{R_1 C_1}$$

dipendente quindi esclusivamente dallo costante di tempo  $\tau_{RC}$ .

Questo parametro è sotto il nostro controllo, poiché è definito da scelte progettuali ben precise. Inoltre, come verrà successivamente mostrato nello stato dell'arte, poiché è nota la sua dipendenza dalla temperatura può essere utilizzato come parametro libero per compensare eventuali dipendenze dalla temperatura in altre parti del circuito che formano l'oscillatore a rilassamento. Detto ciò, due strade differenti sono state percorse nello stato dell'arte: la prima è cercare di compensare il ritardo del comparatore in modo da rendere il periodo di oscillazione indipendente da esso, mentre la seconda non prevede più l'utilizzo del comparatore, ma una soluzione circuitale topologicamente differente.

### 2.6 Stato dell'arte

Nello stato dell'arte sono state ricercate le soluzioni adottate e, successivamente, sono state valutate le figure di merito per trovare il miglior compromesso tra stabilità in frequenza e potenza dell'oscillatore.

### 2.6.1 Compensazione di $\tau_{comp}$ in temperatura

Innanzitutto, nell'articolo [17], per risolvere il problema legato alla sensitività rispetto al rumore sul segnale  $V_{RST}$  e l'introduzione di un D Flip-flop sull'uscita per ottenere un'onda quadra con duty cycle del 50 %, l'oscillatore a rilassamento singola fase viene trasformato in uno a due fasi grazie all'utilizzo di un Set-Reset latch come in Fig. 2.11.

In questo tipo di configurazione l'uscita è un' onda quadra con duty cycle



Figure 2.11: Oscillatore a rilassamento a due fasi

del 50% senza l'utilizzo del D Flip-flop come divisore di frequenza e dal momento che i condensatori vengono caricati separatamente per metà periodo ciascuno, eliminando così il ritardo introdotto dallo scaricamento del condensatore verso ground. La sequenza temporale degli eventi è mostrata in Fig. 2.12. Come si può osservare il ritardo  $\tau_{rst}$  non compare nel periodo di oscillazione  $T_{OSC}$ , ma si aggiunge il ritardo del SR latch. Infatti il periodo di oscillazione ora è pari a:

$$T_{OSC} = 2(\tau_{RC} + \tau_{comp} + \tau_{SR}) = 2(\tau_{RC} + t_d)$$
$$t_d = \tau_{comp} + \tau_{SR}$$

dove  $C_1 = C_2 = C$ ,  $\tau_{RC} = \frac{CV_{REF}}{I_{REF}} = R_{REF}C$ ,  $\tau_{comp}$  è il ritardo del comparatore e  $\tau_{SR}$  è il ritardo del SR latch.



Figure 2.12: Sequenza temporale

Sempre nell'articolo [17] preso in considerazione, la corrente  $I_{REF}$  viene generata tramite l'utilizzo di un riferimento di corrente chiamato beta-multiplier [11] in Fig. 2.13. Inoltre, al fine di rendere minima la potenza consumata, il riferimento di corrente è stato realizzato per operare in regione di subthreshold.



Figure 2.13: Riferimento di corrente (beta-multiplier)

La corrente  $I_{REF}$  che fluisce nei due rami del riferimento di corrente è pari a [17]:

$$I_{REF} = \frac{1}{R_{b0}[1 + \alpha(T - T_0)]} \frac{\eta kT}{q} \ln\left[\frac{(\frac{W}{L})_{M5}}{(\frac{W}{L})_{M6}}\right]$$

dove T è la temperatura,  $R_{b0}$  rappresenta la resistenza di  $R_b$  per T=0 °C,  $\eta$ è il *sub-threshold slope* e k è la costante di Boltzmann.  $R_b$  è un resistore ottenuto un normale layer di diffusione N+ con un coefficiente di temperatura positivo (*thermal-coefficient*) pari a  $\alpha$ .

Come si può osservare la corrente progettata è di tipo PTAT(*proportional to absolute temperature*). Detto ciò ora vedremo la dipendenza dalla temperatura di tutti e tre i contributi che formano il periodo di oscillazione:

• Il ritardo dovuto al SR latch  $\tau_{SR}$ . Il SR latch è del tipo current-starved [11], poiché è formato da due NOR current-starved in Fig. 2.14, perciò il sua ritardo sarà proporzionale a:

$$\tau_{SR} \propto \frac{V_{DD}C_{int}}{mI_{REF}}$$

dove  $V_{DD}$  è la tensione di alimentazione,  $C_{int}$  è la capacità interna e m $I_{REF}$  è la corrente di bias.



Figure 2.14: NOR a 2 ingressi current-starved

Come si può vedere  $\tau_{SR}$  presenta un TC (Temperature Coefficient) negativo, poiché m $I_{REF}$  a denominatore ha TC positivo.

• La costante di tempo  $\tau_{RC}$ .  $R_{REF}$  presenta lo stesso comportamento in temperatura di  $R_b$ , mentre il condensatore C è ottenuto interdigitando linee di interconnessioni metalliche indipendente dalla temperatura. La costante di tempo  $\tau_{RC}$  è pari a:

$$\tau_{RC} = R_{REF}C = R_{REF,0}[1 + \alpha(T - T_0)]$$

In questo caso  $\tau_{RC}$  presenta un TC positivo.

• Il ritardo del comparatore  $\tau_{comp}$ . In Fig. 2.11, il ritardo del comparatore è inversamente proporzionale allo slew rate  $SR_{comp}$  [11] al nodo SET/RESET, il quale dipende dal guadagno in tensione di M3/M4 e dallo slew rate sull'ingresso  $V_{C1}/V_{C2}$ :

$$\tau_{comp} \propto (SR_{comp})^{-1}$$
$$SR_{comp} = g_{m_{M3,M4}} r_{ds_{M3,M4}} \frac{\partial V_C}{\partial t} = g_{m_{M3,M4}} r_{ds_{M3,M4}} \frac{I_{REF}}{C}$$

Dal momento che M2-M4 lavorano in regione di sub-threshold la loro transconduttanza e la resistenza drain-to-source può essere espressa come:

$$g_m = \frac{I_{REF}}{\eta \frac{kT}{q}}$$
$$r_{ds} = \frac{I_{REF}}{V_A}$$

dove  $V_A$  è la tensione di Early, che ha una dipendenza trascurabile dalla temperatura.

Sostituendo i due parametri appena discussi nella formula dello  $SR_{comp}$  otteniamo:

$$\tau_{comp} \propto \frac{R_{b0}[1 + \alpha(T - T_0)]C}{V_A \ln\left[\frac{(\frac{W}{L})_{M3}}{(\frac{W}{L})_{M4}}\right]}$$

Anche  $\tau_{comp}$  presenta un TC positivo

In conclusione, sia  $\tau_{comp}$  che  $\tau_{RC}$  presentano un TC positivo in temperatura, mentre  $\tau_{SR}$  negativo. E' possibile dunque progettare un la compensazione del ritardo sul comparatore  $\tau_{comp}$ , variando il coefficiente in temperatura degli altri due [17].

L'idea chiave, quindi, che è stata utilizzata anche negli articoli [16] e [18] seppur con altri accorgimenti, è cercare di compensare attivamente il ritardo del comparatore in temperatura, piuttosto che aumentare la potenza consumata dal comparatore per rendere questo ritardo trascurabile.

Con questa tecnica il coefficiente di temperatura medio sul periodo di oscillazione varia da un minimo di 65 ppm/°C fino a 327 ppm/°C. Sebbene questi valori possano essere considerati ancora troppo alti, la potenza consumata  $P_{OSC}$  in [17] è pari 14.4 nW per una frequenza di oscillazione di 122 kHz.

#### 2.6.2 Eliminazione di $\tau_{comp}$ tramite integrazione

L'oscillatore a rilassamento proposto nell'articolo [19], in Fig. 2.15, utilizza un integratore per cambiare dinamicamente la soglia del comparatore  $V_{th}$  con l'obiettivo di eliminare  $\tau_{comp}$  nel calcolo del periodo. Inoltre, l'utilizzo di resistori compositi, cioè resistori con diversi comportamenti in temperatura, permette la realizzazione di resistori complessivamente con TC $\approx$ 0. La sequenza temporale degli eventi è la stessa del precedente oscillatore analizzato in Fig. 2.11, senza l'utilizzo dell'integratore.



Figure 2.15: Oscillatore a rilassamento con IEF

Il periodo di oscillazione infatti è pari a:

$$T_{OSC} = 2 \left[ \frac{C_{ref} V_{th}}{\frac{V_{DD} - V_{ref}}{R_{ref}}} + t_d \right]$$

dove  $t_d$  è il ritardo dominato dai comparatori.

La stessa formula può essere riscritta in funzione della tensione di picco  $V_{c,peak}$ raggiunta alternativamente sui due condensatori, infatti la tensione sui condensatori  $V_{c,ref}$  supera la soglia dei comparatori  $V_{th}$  per un certo tempo  $t_d$ raggiungendo così la tensione  $V_{c,peak}$ . In altri termini:

$$T_{OSC} = 2R_{ref}C_{ref}\frac{V_{c,peak}}{V_{DD} - V_{ref}}$$

mostrando così che la stabilità in frequenza è principalmente dipendente dalla sensitività di  $V_{c,peak}$  e  $R_{ref}$  dalla temperatura.

Occorre, quindi, eliminare l'overshoot sulle tensione dei due condensatori  $V_{c,ref1} \in V_{c,ref2}$  dovute al ritardo  $t_d$ , grazie all'utilizzo di un integratore chiamato IEF(*Integrated Error Feedback*) in Fig, 2.15.

Il meccanismo implementato è molto semplice:

- 1. Il condensatore  $C_{ref}$  viene caricato per metà periodo dalla corrente  $I_{ref} = \frac{V_{DD} - V_{ref}}{R_{ref}}.$
- 2. Non appena la tensione sul condensatore  $V_c$  supera la soglia  $V_{th}$  il comparatore, dopo un certo ritardo  $t_d$ , cambia il suo stato terminando metà periodo e attivando simultaneamente l'integratore IEF, che grazie al condensatore di sensing  $C_s$  riesce a campionare la tensione di picco  $V_{c,peak}$  sul condensatore  $C_{ref}$ .
- 3. Il condensatore  $C_s$  è connesso al terminale negativo dell'amplificatore facente parte dell'integratore IEF. A causa del corto circuito virtuale imposto dall'amplificatore con retroazione negativa, la tensione su  $C_s$ scenderà al valore di  $V_{set}$  che è la tensione collegata al terminale positivo dell'amplificatore.
- 4. La carica in eccesso è trasferita a  $C_{int}$ , collegato tra il terminale negativo dell'amplificatore e la tensione di soglia  $V_{th}$ , portando a una diminuzione di quest'ultima nel prossimo ciclo di oscillazione.

L'errore in tensione  $V_{c,peak} - V_{set}$  è integrato in  $C_{int}$  per correggere dinamicamente la soglia  $V_{th}$  fino a quando  $V_{c,peak} \approx V_{set}$ . Questa operazione richiede un numero N di integrazioni per fare in modo che la differenza  $V_{c,peak} - V_{set}$ sia minore di una certa soglia prefissata.

Il periodo di oscillazione diventa ora quindi:

$$T_{OSC} = 2R_{ref}C_{ref}\frac{V_{set}}{V_{DD} - V_{ref}} = 2R_{ref}C_{ref}\frac{\beta}{(1-\alpha)}$$

dove  $\beta = \frac{V_{set}}{V_{DD}}$  e  $\alpha = \frac{V_{ref}}{V_{DD}}$ . La tensione  $V_{set}$ , così come la tensione  $V_{ref}$ , viene generata tramite partitori di tensione resistivi. Il coefficiente in temperatura del periodo di oscillazione è dominato da  $R_{ref}$  dato che sia  $\alpha$  che  $\beta$  sono rapporti tra resistenze.

In altri termini, grazie a questa architettura, è necessario realizzare un resistore  $R_{ref}$  con TC $\approx 0$  ottenuto grazie alla tecnica dei resistori compositi per avere frequenza di oscillazione indipendente dalla temperatura.

Nell'articolo [19] il TC sulla frequenza di oscillazione è di 21.8 ppm/°C. La potenza consumata  $P_{OSC}$  è moderatamente alta, circa 18  $\mu$ W, ma comunque ragionevole anche perché la frequenza di oscillazione è pari a 51.3 MHz.

# 2.6.3 Rimozione del comparatore nell'oscillatore a rilassamento

In questa sezione verrà analizzata una nuova tipologia di oscillatore, che vede la rimozione del comparatore, poiché, come visto in precedenza, esso, essendo sempre attivo, consuma una significativa porzione di potenza dell'oscillatore e limita la stabilità in temperatura a causa del suo ritardo  $t_d$ dipendente dalla temperatura. La compensazione di quest'ultimo per raggiungere valori di 10-15 ppm/°C sul periodo di oscillazione risulta essere piuttosto ardua. Occorre evidenziare che nei precedenti oscillatori a rilassamento analizzati il miglioramento della stabilità in temperatura di  $t_d$  comporti anche un aumento della potenza complessiva, evidenziando così il compromesso interno in un oscillatore a rilassamento convenzionale.

L'oscillatore proposto da [20] chiamato RFLO(*Resistive-Frequency-Locked-on-chip Oscillator*), in Fig. (2.16), propone una topologia FLL(*Frequency-locked-loop*) di tipo resistivo per la generazione di una accurata frequenza di oscillazione. Questo tipo di oscillatore si basa sul principio che un circuito a capacità commutate controllato a una certa frequenza può funzionare come un resistore.

Nella struttura RFLO il comparatore viene rimosso dall'anello di oscillazione e utilizza un FLL, che comprende un operazionale a basso consumo. L'idea di base è generare una frequenza stabile eguagliando la resistenza equivalente



Figure 2.16: Oscillatore RFLO

del circuito a capacità commutate  $(C_{SW})$  al valore di resistenza del resistore  $(R_{REF})$ , il quale è compensato in temperatura. La frequenza del segnale di controllo OUT del circuito a capacità commutate è la frequenza di uscita  $F_{OSC}$  di questo oscillatore. La frequenza di oscillazione sarà pari a:

$$F_{OSC} = \frac{1}{R_{REF}C_{SW}}$$

Il meccanismo di aggancio del RFLO nel dominio del tempo è mostrato in Fig. 2.17, partendo dalla condizione per la quale  $F_{OUT}$  è minore della frequenza di oscillazione attesa. In questa condizione, la carica iniettata fuori da  $C_{SW}$  sul nodo  $V_{IN+}$  è minore della carica che viene iniettata dentro da  $I_{REF}$ , perciò la tensione su  $V_{IN+}$  cresce. Quando  $V_{IN+}$  raggiunge lo stesso valore di  $V_{IN-}$ , la frequenza di oscillazione si aggancia al valore desiderato  $F_{OUT} = F_{OSC}$  e le fluttuazioni di quest'ultima dipendono dal damping ratio del FLL. In termini di potenza consumata è possibile utilizzare un amplificatore con basso consumo di potenza, poiché quest'ultimo deve essere in grado di seguire il cambiamento delle variazioni ambientali del VCO. I cambiamenti in temperatura sono lenti rilassando i vincoli sulla banda dell'amplificatore, risparmiando così potenza [11].

Questo tipo di architettura viene utilizzata negli articoli [20]-[21], ottenendo prestazioni notevoli. Nel primo la potenza consumata è di 110 nW per una frequenza di oscillazione di 70.4 kHz con un TC pari a 34.3 ppm/°C, mentre nel secondo la potenza consumata è pari a 35.4 nW per una frequenza di 32.7 KHz con solo un TC pari 13.2 ppm/°C.



Figure 2.17: Sequenza temporale

# Chapter 3

# **RCxO** libero

In questo capitolo verranno prima definite le nuove figure di merito di un oscillatore a rilassamento e, indipendentemente dalla tecnica utilizzata, verranno messi a confronto tutti gli oscillatori allo stato dell'arte presi in considerazione con l'obiettivo di trovare il migliore per la realizzazione del wake-up timer.

Successivamente verrà progettato un oscillatore a rilassamento, in tecnologia CMOS a 65 nm grazie all'utilizzo del Process Design Kit di STMicroelettronics, senza alcuna tecnica di compensazione con l'obiettivo di simulare criticità e potenzialità che questo di tipo di architettura a da offrire.

## 3.1 Figure di merito

Occorre definire le figure di merito che sono state valutate negli articoli e che, poi, sono state riproposte anche nella valutazione del progetto dell'oscillatore di questa tesi. Il cuore dell'analisi condotta è di stimare l'effetto delle variazioni PVT(Process-Voltage-Temperature) sulla stabilità in frequenza e determinare la potenza consumata dall'oscillatore.

Si ricorda innanzitutto la formula da cui siamo partiti,

$$P_{AVG} = P_{SLP} + P_{ON}(D + \frac{C_U t_{SLP}}{t})$$
(3.1)

la quale può essere riscritta per bassi valori di duty cycle, essendo  $t \cong t_{SLP}$ , come:

$$\frac{P_{AVG}}{P_{ON}} = \frac{P_{SLP}}{P_{ON}} + C_U + D \tag{3.2}$$

Il primo e il secondo contributo nell'equazione (3.2) sono indesiderati e devono essere minimizzati, però, come già evidenziato precedentemente, riducendo l'incertezza  $C_U(P, V, T)$  dell'oscillatore dovuta a variazioni PVT come conseguenza aumenta  $P_{SLP} = P_{OSC}$  e viceversa. Occorre dunque trovare il miglior rapporto tra stabilità in frequenza e potenza consumata.

Al fine di valutare in modo oggettivo stabilità in frequenza e potenza consumata degli oscillatori a rilassamento analizzati nello stato dell'arte è stato definito uno scenario tipico di lavoro per quest'ultimi nelle applicazioni IoT. L'intervallo di temperature nella quale l'oscillatore deve garantire il corretto funzionamento è da -20 °C a 80 °C. La tensione di alimentazione del nodo può subire variazioni fino al 30% rispetto al valore nominale. In questo caso la tensione di lavoro scelta è pari a a 0.65 V, poiché può essere facilmente prodotta da energy harvesters come per esempio PVC(photovoltaic cell)[2]. Le variazioni sulla tensione di alimentazione sono dovute all'utilizzo degli energy harvesters come fonti di energia, sensibili ai cambiamenti atmosferici, oppure semplicemente a causa della scarica della batteria.

La stabilità dell'oscillatore in termini di variazioni PVT è stata definita come somma quadratica dei contributi di errore:

$$C_U = \sqrt{C_T^2 + C_V^2 + C_P^2} \tag{3.3}$$

•  $C_T = \left(\frac{t_{osc,MAX} - t_{osc,MIN}}{t_{osc,NOM}}\right)_T$  è l'errore relativo sul periodo di oscillazione dovuto alla variazione di temperatura tra -20 °C e 80 °C.  $t_{osc,NOM}$ . Nella valutazione di questo parametro la tensione di alimentazione è quella nominale e il processo è quello tipico.  $t_{osc,MAX} - t_{osc,MIN}$  è la differenza tra il periodo di oscillazione massimo e quello minimo in un intervallo di temperature da -20 °C a 80 °C.  $t_{osc,NOM}$  è il periodo di oscillazione in condizioni nominali perciò T=27°C,  $V_{DD} = V_{NOM}$  e Process = TYP.

- $C_V = (\frac{t_{osc,MAX} t_{osc,MIN}}{t_{osc,NOM}})_V$  è l'errore relativo sul periodo di oscillazione dovuto alla variazione sulla tensione di alimentazione rispetto al valore nominale. Nella valutazione di questo parametro la temperatura è fissa a T=27 °C e il processo è quello tipico.  $t_{osc,MAX} - t_{osc,MIN}$  è la differenza tra il periodo di oscillazione massimo e quello minimo a causa delle fluttuazioni sulla tensione di alimentazione.  $t_{osc,NOM}$  è il periodo di oscillazione in condizioni nominali perciò T=27°C,  $V_{DD} = V_{NOM}$ e Process = TYP. Una volta calcolato questo parametro, espresso generalmente in %/V, è stato moltiplicato per il rapporto tra la tensione di riferimento di 0.65 V e la tensione di alimentazione nominale dell'articolo preso in esame. Il semplice motivo è valorizzare le basse tensioni di alimentazioni, poiché anche piccole variazione possono influenzare fortemente il comportamento complessivo dell'oscillatore.
- L'ultimo contributo  $C_P = (\frac{t_{osc,MAX} t_{osc,MIN}}{t_{osc,NOM}})_P$  è l'errore relativo sul periodo di oscillazione dovuto alla variazione di processo. Questo tipo di errore viene stimato grazie a una simulazione Monte Carlo a 250 campioni. Per questa figura di merito la sia tensione che la temperatura sono quelle nominali. La differenza  $t_{osc,MAX} - t_{osc,MIN}$  viene posto uguale  $2\sigma$  della distribuzione gaussiana ottenuta dalle simulazioni.  $t_{osc,NOM}$  è la media di questa distribuzione.

Si ricorda che la stabilità in frequenza  $C_U$  non può essere considerata il parametro assoluto nella valutazione dell'oscillatore a rilassamento, poiché anche il rapporto di potenza  $P_{SLP}/P_{ON}$ , in formula (3.2), si somma al duty cycle del nodo degradandone il tempo di vita. La potenza consumata, fissato il tempo di vita, determina la necessità di disporre di una certa energia nel nodo, che a sua volta incide sul *form-factor* del nodo stesso. Considerato che la potenza tende a scalare linearmente con la frequenza, è stata perciò l'energia per ciclo (nW/MHz) come termine di paragone per oscillatori a frequenza diversa. Analizziamo ora su un livello quantitativo ciò che è stato precedentemente descritto.

I grafici in Fig. 3.1 riportano sull'asse delle ordinate i tre contributi che compongono  $C_U$  in funzione dell'energia per ciclo, mentre in tabella 4.19 è presenta una legenda degli articoli analizzati.



Figure 3.1: Errore relativo sul periodo  $t_{OSC}$  dovuto a variazioni sulla tensione di alimentazione, della temperatura e di processo

Anno	2018	2018	2013	2016	2014	2017	2016	2015	2019	
re   Titolo/Rivista	A 0.4-V 0.93-nW/kHz Relaxation Oscillator/IEEE Journal of Solid-State Circuits	A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer/IEEE Journal of Solid- State Circuits	A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator/IEEE Transactions on Circuits and Systems I	Nanopower CMOS Relaxation Oscillators/IEEE Transactions on Circuits and Systems II	A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	A 110 nW Resistive Frequency Locked On-Chip Oscillator/IEEE Journal of Solid-State Circuits	A 14.4nW 122KHz dual-phase current-mode relaxation oscillator/IEEE Custom Integrated Circuits Conference	A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference/IEEE Journal of Solid-State Circuits	
Articolo[]/Auto	[16] H. Jiang	[21] J. Jung	[18] Y. Chiang	[26] J. Wang	[25] Y. Chiang	[19] Y. Tsai	[20] Y. Shi	[17] S. Dai	[24] A. Savanth	

Table 3.1: Articoli analizzati

In Fig. 3.1, nel grafico relativo alle variazioni di processo, non sono state inserite le prestazioni di tutti gli oscillatori pubblicati negli ultimi anni, poiché sia [17] sia [19] non fornivano alcuna informazione. Per tale motivo, in questa analisi, nel calcolo del  $C_U$  non è presente la componente derivante dal processo, anche se nella scelta complessiva dell'architettura dell'oscillatore a rilassamento si è anche tenuto conto della conoscenza di quest'ultimo.

In Fig. 3.2 l'articolo [21] presenta il valore più basso di  $C_U$  pari a circa



Figure 3.2:  $C_U$  privo del contributo di processo

Articolo[]/Autore   Titolo/Rivista		Anno
[16] H. Jiang	A 0.4-V 0.93-nW/kHz Relaxation Oscillator/IEEE Journal of Solid-State Circuits	2018
[21] J. Jung	A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer/IEEE Journal of Solid- State Circuits	2018
[18] Y. Chiang	A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2013
[26] J. Wang	A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator/IEEE Transactions on Circuits and Systems I	2016
[25] Y. Chiang	Nanopower CMOS Relaxation Oscillators/IEEE Transactions on Circuits and Systems II	2014
[19] Y. Tsai	A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2017
[20] Y. Shi	A 110 nW Resistive Frequency Locked On-Chip Oscillator/IEEE Journal of Solid-State Circuits	2016
[17] S. Dai	A 14.4nW 122KHz dual-phase current-mode relaxation oscillator/IEEE Custom Integrated Circuits Conference	2015
[24] A. Savanth	A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference/IEEE Journal of Solid-State Circuits	2019

Table 3.2: Articoli analizzati

0.82% con energia per ciclo pari 1.08  $\mu$ W/MHz, mentre il secondo migliore [19] in termini di stabilità in frequenza presenta un  $C_U$  pari circa 1.3% con energia per ciclo pari 350 nW/MHz. I due articoli sopra citati implementano rispettivamente come tecnica di compensazione la rimozione del comparatore e l'eliminazione di  $\tau_{comp}$  tramite integrazione.

Adesso verrà rappresentata la somma complessiva dei due contributi  $C_U$  e  $P_{OSC}/P_{ON}$  dell'equazione (3.2) per diverse potenze di trasmissione. Questa figura di merito ci permette di mostrare due aspetti importanti dell'oscillatore a rilassamento. Il primo aspetto è semplicemente evidenziare quale oscillatore, fissata la potenza di trasmissione  $P_{ON}$ , sia il miglior compromesso in termini di stabilità in frequenza e potenza consumata. Il secondo aspetto che viene mostrato è il limite inferiore del duty cycle D alla quale si può lavorare, infatti con valori più bassi di duty cycle l'oscillatore risulterebbe nella fase attiva per più tempo a causa dell'instabilità in frequenza, a causa dei primi due contributi di errore nella formula (3.2), che durante l'effettiva fase di trasmissione.

La potenza  $P_{OSC}$  è stata calcolata moltiplicando l'energia per ciclo per una frequenza di oscillazione  $F_{OSC}$  pari a 20 MHz.



Figure 3.3: Somma $C_U + \frac{P_{OSC}}{P_{ON}}$  con $P_{ON}$ da 0.25 mW a 2.5 mW

Articolo[]/Autore	Titolo/Rivista	Anno
[16] H. Jiang	[16] H. Jiang A 0.4-V 0.93-nW/kHz Relaxation Oscillator/IEEE Journal of Solid-State Circuits	
[21] J. Jung	A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer/IEEE Journal of Solid- State Circuits	2018
[18] Y. Chiang	A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2013
[26] J. Wang	A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator/IEEE Transactions on Circuits and Systems I	2016
[25] Y. Chiang	Nanopower CMOS Relaxation Oscillators/IEEE Transactions on Circuits and Systems II	2014
[19] Y. Tsai	A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2017
[20] Y. Shi	A 110 nW Resistive Frequency Locked On-Chip Oscillator/IEEE Journal of Solid-State Circuits	2016
[17] S. Dai	A 14.4nW 122KHz dual-phase current-mode relaxation oscillator/IEEE Custom Integrated Circuits Conference	2015
[24] A. Savanth	A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference/IEEE Journal of Solid-State Circuits	2019

Table 3.3: Articoli analizzati

Come si può vedere all'aumentare della potenza di trasmissione  $P_{ON}$  in Fig. 3.3 il limite inferiore a cui il duty cycle può tendere diminuisce fino al minimo di 1.58% nell'articolo [19] per una potenza di trasmissione  $P_{ON}$ pari 2.5 mW, compatibile con lo standard Bluetooth [5]. In ultima analisi in Fig. 3.4 i due contributi nell'equazione (3.2) sono stati rappresentati separatamente sugli assi cartesiani con l'obiettivo di comprendere al variare della potenza di trasmissione quale sia quello preponderante.



Figure 3.4:  $C_U$  e  $\frac{P_{OSC}}{P_{ON}}$  con  $P_{ON}$  da 0.25 mW 2.5 mW

Articolo[]/Autore	Titolo/Rivista	Anno
[16] H. Jiang A 0.4-V 0.93-nW/kHz Relaxation Oscillator/IEEE Journal of Solid-State Circuits		2018
[21] J. Jung A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer/IEEE Journal of Solid- State Circuits		2018
[18] Y. Chiang	A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2013
[26] J. Wang	A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator/IEEE Transactions on Circuits and Systems I	2016
[25] Y. Chiang	Nanopower CMOS Relaxation Oscillators/IEEE Transactions on Circuits and Systems II	2014
[19] Y. Tsai	A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2017
[20] Y. Shi	A 110 nW Resistive Frequency Locked On-Chip Oscillator/IEEE Journal of Solid-State Circuits	2016
[17] S. Dai	A 14.4nW 122KHz dual-phase current-mode relaxation oscillator/IEEE Custom Integrated Circuits Conference	2015
[24] A. Savanth	A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference/IEEE Journal of Solid-State Circuits	2019

Table 3.4: Articoli analizzati

In base alle figure di merito precedentemente viste, sebbene l'energia per ciclo non sia la migliore, l'articolo [21] che rimuove il comparatore nella propria architettura sembra essere il più equilibrato in termini di potenza consumata e stabilità in frequenza come si può vedere in Fig. 3.4. Risulta quindi essere il miglior candidato nella realizzazione dell'oscillatore a rilassamento. Esso, inoltre, fornisce un'indicazione su come le variazioni di processo possano influenzare la stabilità in frequenza.

L'utilizzo di un FLL nella sua architettura, tramite un amplificatore e un VCO, dà la possibilità di progettare l'oscillatore a rilassamento con più gradi di libertà rispetto all'architettura convenzionale, che richiede in ogni caso la compensazione o l'eliminazione di  $\tau_{comp}$  dovuto al comparatore.

## 3.2 Oscillatore Integrato a due fasi

Per la prima realizzazione di questo studio sugli oscillatori a rilassamento, in Fig. 3.5, si è scelto di optare per una configurazione a due fasi  $Q \in Q_n$ , dove il comparatore è un FF S/R e il generatore di corrente costituito da un PMOS verrà specchiato da due differenti configurazioni: la prima un semplice specchio di corrente, mentre la seconda sarà un rifermento in corrente progettato per essere compensato in temperatura e robusto a variazioni sulla tensione di alimentazione.

Ora verrà descritto dal punto di vista teorico il funzionamento di questo tipo di oscillatore, successivamente, ne sarà descritto il progetto e l'implementazione in tecnologia CMOS 65nm.

In questo tipo di oscillatore sono presenti quattro interruttori, due condensatori e un Set-Reset latch e un generatore di corrente. La frequenza di oscillazione si trova in uscita a uno dei due terminali del SR latch chiamati rispettivamente  $Q \in Q_n$ . Essi vengono anche utilizzati per controllare gli interruttori chiamati rispettivamente  $SQ \in SQ_n$  in Fig. 3.6.

L'oscillazione è possibile grazie a cicli di carica e di scarica di questi condensatori  $C_0$  e  $C_1$ . Per come è stata progettata questa rete di interruttori



Figure 3.5: Oscillatore a due fasi

tramite due PMOS in alto e due NMOS in basso, solo un condensatore sarà caricato per volta, mentre l'altro sarà contemporaneamente sarà scaricato. La corrente  $I_{REF}$  è fornita dal transistor PMOS  $M_{10}$ , mentre la tensione di riferimento  $V_{REF}$  alla quale vi è la commutazione sarà pari alla tensione di soglia del S/R , che funziona da comparatore.

Le operazioni dell'oscillatore sono illustrate in Fig. 3.7 sotto forma di se-



Figure 3.6: Interruttori e condensatori

quenza temporale e descritto come segue:

- 1. Se Q è uguale alla tensione di alimentazione, il condensatore  $C_1$  si sta scaricando verso ground, mentre  $C_0$  si sta caricando a corrente costante  $I_{REF}$ .
- 2. Quando la tensione sul condensatore  $C_0$  supera la tensione di soglia





Figure 3.7: Sequenza temporale

Figure 3.8: Oscillatore integrato a due fasi

 $V_{REF}$  il terminale di Reset porterà a ground il pin di uscita Q. Inoltre il condensatore  $C_0$  sarà cortocircuitato verso ground, mentre  $C_1$  si sta caricando a corrente costante  $I_{REF}$ .

3. Quando la tensione sul condensatore  $C_1$  supera la tensione di soglia  $V_{REF}$  il terminale di Set porterà nuovamente alla tensione di alimentazione il pin di uscita Q.Inoltre il condensatore  $C_1$  sarà cortocircuitato verso ground, mentre  $C_0$  sarà caricato a corrente costante  $I_{REF}$  e il ciclo tutte le volte i egual modo.

Bisogna ricordare inoltre che la tensione sui condensatori è la stessa dei pin di Set e Reset ed inoltre la tensione di soglia  $V_{REF}$  dipende dalla soglia dei transistor presenti all'interno del SR latch, comunque può essere considerata circa la metà della tensione di alimentazione. Il tempo di carica del condensatore  $C_0$  da 0 V  $V_{REF}$  è pari a  $t_c = \frac{C_0 V_{REF}}{I_{REF}}$ , perciò se i due condensatori il periodo di oscillazione è dato da:

$$t_{OSC} = \frac{(C_0 + C_1)V_{REF}}{I_{REF}} = 2t_c$$

La Fig. 3.8 mostra complessivamente l'oscillatore a rilassamento. Il riferimento in corrente, come spiegato in seguito, verrà collegato alla tensione  $V_P$ .

#### 3.2.1 Riferimento di corrente

Nel **riferimento a specchio di corrente**, in Fig. 3.9, sono presenti un transistor PMOS e un resistore. Il PMOS connesso a diodo permette a quest'ultimo di trovarsi sempre in regione di saturazione una volta superata la tensione di soglia, mentre il resistore serve per polarizzarlo. La corrente sarà pari a:

$$I_{REF} = \frac{V_{DD} - V_{SG}}{R}$$

Per quanto riguarda il coefficiente di temperatura della corrente  $I_{REF}$ , usando sempre la stessa formula vista in precedenza, si avrà:

$$TCI_{REF} = \frac{1}{I_{REF}} \frac{\partial I_{REF}}{\partial T} = -\frac{1}{R} \frac{\partial R}{\partial T} - \frac{1}{V_{DD} - V_{SG}} \frac{\partial V_{SG}}{\partial T}$$

La dipendenza della tensione gate-source  $V_{SG}$  dalla temperatura, fissata la corrente  $I_{REF}$  di polarizzazione, è funzione a sua volta di due parametri dipendenti dalla temperatura, rispettivamente la tensione di soglia  $V_{TH_p}$  e la mobilità  $\mu_p$ .

$$V_{SG} = \sqrt{\frac{I_{REF}}{\beta_p(\frac{W}{L})_{M1}}} + |V_{TH_p}|$$

dove  $\beta_p = \frac{1}{2}\mu_p C_{OX}$ .

La  $V_{TH_p}$  diminuisce all'aumentare della temperatura (CTAT) portando a una diminuzione della  $V_{SG}$ , mentre  $\mu_p$  diminuendo all'aumentare della temperatura (CTAT) porta ad una aumento della  $V_{SG}$  [11]. Il comportamento complessivo di  $\frac{\partial V_{SG}}{\partial T}$  in funzione della temperatura dipende dal valore della corrente  $I_{REF}$  di lavoro, poiché, per valori  $V_{SG}$  al di sotto o in prossimità della soglia, predomina l'effetto della tensione di soglia e per valori maggiori quello legato alla mobilità [11]. Fissata la corrente  $I_{REF}$  e in base al resistore scelto PTAT o CTAT avremo un  $TCI_{REF}$  complessivamente positivo o negativo. Per quanto riguarda il processo si può affermare che questa struttura risente abbastanza dei parametri di processo  $R, (\frac{W}{L})_{M1} \in V_{TH_p}$ .



Figure 3.9: Riferimento a specchio di corrente

# 3.2.2 Riferimento compensato in temperatura e tensione

Il **Riferimento compensato in temperatura e tensione** proposto si basa sul noto riferimento di corrente *self-biasing threshold voltage current reference*, in Fig. 3.10. Assumendo che la coppia di transistor M1 e M2 si trovino in regione di saturazione, si può affermare che la corrente sia [22]:

$$I_{REF} \approx \frac{V_{TH1}}{R}$$

dove  $V_{TH1}$  è la tensione di soglia del transistor M1, mentre il resistore R serve per fissare il valore di corrente  $I_{REF}$ .

Come si evince dalla formula questa corrente non dipende dalla tensione di alimentazione, ma può risentire delle fluttuazioni della  $V_{TH1}$  dovute alle differenze di processo. Per quanto riguarda il comportamento in temperatura si ha:

$$TCI_{REF} = \frac{1}{I_{REF}} \frac{\partial I_{REF}}{\partial T} = \frac{1}{V_{TH1}} \frac{\partial V_{TH1}}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T}$$

Come già detto in precedenza la tensione di soglia ha un coefficiente in temperatura di tipo CTAT [11], inoltre per quanto riguarda il resistore, per ottimizzare le dimensioni di quest'ultimo, esso viene realizzata in polisilicio ad alta resistività (HRP). In ogni caso sebbene esso possa avere un coefficiente in temperatura negativo (CTAT) per cercare di compensare la dipendenza dalla temperatura in  $I_{REF}$ , l'effetto della tensione di soglia è generalmente un ordine di grandezza più grande portando complessivamente questa configurazione ad avere un NTC (*Negative Temperature Coefficient*) [22].



Figure 3.10: self-biasing threshold voltage current reference [11]

Per questo motivo, occorre aggiungere un grado di libertà in più per fare in modo che lo specchio di corrente M3-M4 non sia indipendente dalla temperatura. Introducendo un rapporto in corrente k(T) dipendente dalla temperatura insieme a un adeguato coefficiente positivo in temperatura è possibile compensare al primo ordine questa dipendenza. In questa nuova configurazione, in Fig. 3.11, viene introdotto un nuovo resistore  $R_2$  con nota dipendenza dalla temperatura che permette di ottenere un nuovo rapporto tra le correnti (assumendo che la coppia M3-M4 di transistor lavori in regione di saturazione) infatti:

$$I_{REF} = k(T)I_1$$

 $\frac{\partial I_{REF}}{\partial T} = 0$ 

In questo modo riusciamo ad ottenere:

Figure 3.11: Riferimento compensato al primo ordine in temperatura

#### COEFFICIENTE IN TEMPERATURA k(T)

Ponendo che lo specchio M3-M4, in Fig. 3.11, lavori in regione di saturazione avremo che  $I_1 = I$  e  $I_{REF} = k(T)I$  perciò per l'equazione alla maglia si avrà:

$$V_{GS3} - V_{GS4} = kIR_2$$
$$\sqrt{\frac{I}{\beta_p(T)(\frac{W}{L})_3}} - \sqrt{\frac{k(T)I}{\beta_p(T)(\frac{W}{L})_4}} = k(T)IR_2(T)$$

dove  $\beta_p = \frac{1}{2}\mu_p(T)C_{OX}$ .

Ora è possibile dalla formula precedente ricavarsi la derivata al primo ordine rispetto alla temperatura del rapporto tra le correnti k(T) [23]. Noto il comportamento in temperatura delle seguenti grandezze:

$$TC_{V_{TH1}} = \frac{1}{V_{TH1}} \frac{\partial V_{TH1}}{\partial T}$$
$$TC_{R_1} = \frac{1}{R_1} \frac{\partial R_1}{\partial T}$$
$$TC_k = \frac{1}{k} \frac{\partial k}{\partial T}, \text{ dove } TC_k = f(TC_{R_2}, TC_{\mu_p})$$

E' possibile ora calcolare  $\frac{\partial I_{REF}}{\partial T}$  [22] come:

$$\frac{\partial I_{REF}}{\partial T} = \frac{\partial k}{\partial T}I + k\frac{\partial I}{\partial T} = kI(TC_k + (TC_{V_{TH1}} - TC_{R_1}))$$

L'obiettivo è ottenere  $\frac{\partial I_{REF}}{\partial T} = 0$ , perciò:

$$TC_k + TC_{V_{TH1}} - TC_{R_1} = 0$$

Come visto in precedenza,  $(TC_{V_{TH}} - TC_{R_1})$  presenta complessivamente un coefficiente negativo in temperatura NTC, poiché a prescindere dal comportamento di  $R_1$  in temperatura, l'effetto della tensione di soglia sarà predominante [23]. Grazie all'introduzione del nuovo parametro libero  $R_2$  al variare di quest'ultimo, sarà possibile ottenere un coefficiente  $TC_k$  positivo in temperatura PTC(*Positive Temperature Coefficient*) in modo da rendere  $TCI_{REF}$ ZTC (*Zero Temperature Coefficient*) [22].

### 3.3 Progettazione e Simulazioni

#### Specifiche di progetto e scelte progettuali

In questa prima progettazione non vi sono particolari specifiche di progetto da soddisfare, infatti l'obiettivo di questa sezione è approfondire le potenzialità e le criticità tramite simulazioni in ambiente Cadence con tecnologia CMOS a 65 nm di un *wake up timer* che operi a basso consumo di potenza (es. centinaia di nW/ qualche  $\mu$ W) con frequenza di oscillazione dell'ordine di una decina di megahertz. Le simulazioni ottenute per valutare la potenza consumata e la stabilità in frequenza a causa delle variazioni PVT serviranno per stimare le figure di merito precedentemente descritte e per un confronto con lo stato dell'arte.

In accordo con i vincoli geometrici e energetici imposti nelle applicazioni IoT sulle sorgenti di energia (es. energy harvester, batteria) e in funzione caratteristiche di uscita I-V di quest'ultimi, le prime scelte da fare sono la definizione della tensione di alimentazione e della corrente erogata massima. L'intervallo di tensioni di alimentazione tra 0.5 V e 1 V con correnti tra 0.5  $\mu$ A e 20  $\mu$ A risulta essere una soluzione realizzabile con l'utilizzo di *energy* harvester nelle applicazioni IoT [2].

Si ricorda che la frequenza di oscillazione nell'oscillatore a due fasi è pari a:

$$F_{OSC} = \frac{I_{REF}}{(C_0 + C_1)V_{REF}}$$
(3.4)

Per permettere una frequenza di oscillazione in un intorno di 10 MHz sono state definite le grandezze che determinano il periodo di oscillazione, cioè  $C_0=C_1=100$  fF,  $I_{REF}\approx 1\mu$ A e tensione di alimentazione pari a  $V_{DD}=0.65$  V. Discorso diverso per quanto riguarda  $V_{REF}$  che, in assenza del comparatore per limitare i consumi, dipende dalla tensione di soglia dei transistor all'interno del SR latch, formata da due porte NOR. Possiamo dunque approssimare  $V_{REF}\approx \frac{V_{DD}}{2}$ .

Transistor	(W/L)
PMOS	270 nm/65 nm
NMOS	135 nm/65 nm

Table 3.5: Dimensioni NOR

#### Progettazione

La progettazione dell'oscillatore integrato a due fasi e le successive simulazioni sono state condotte in ambiente Cadence in tecnologia CMOS a 65 nm utilizzando il riferimento in corrente compensato in temperatura e tensione precedentemente analizzato.

In Fig. 3.12 si può osservare il Set-Reset NOR progettato in ambiente Cadence. I transistor utilizzati LVT(*Low thresold voltage*) hanno tutti lunghezza di canale minima  $L_{min}$ =65 nm, mentre, per compensare il rapporto tra le mobilità di NMOS e PMOS con l'obiettivo di ottenere tempi di salita e discesa identici sull'uscita, la larghezza W è il doppio nei PMOS rispetto agli NMOS nella tabella 3.5. Gli interruttori in Fig. 3.5 sono stati realizzati con semplici



Figure 3.12: SR NOR 65nm

PMOS/NMOS con rapporto d'aspetto W/L minimo pari a 135nm/65nm, mentre il PMOS  $M_{10}$ , alla quale verrà collegato il riferimento di corrente, ha
un rapporto d'aspetto di  $8\mu m/1\mu m$ .

#### Riferimento compensato in temperatura e tensione

Questo tipo di riferimento in Fig. 3.13 sulla base della teoria descritta è stato progettato per generare una corrente costante da 0.4 a 1 V pari  $1.2\mu$ A, ed inoltre essere compensato al primo ordine in temperatura tra -20 e 80 °C. La prima caratteristica viene soddisfatta per costruzione, poiché la corrente che scorre in M<sub>0</sub> è pari a  $\frac{V_{TH_n}}{R_0}$  in un self-biasing threshold voltage current reference, mentre la compensazione in temperatura è stata ottenuta variando opportunamente il rapporto tra i due resistori  $R_0$  e  $R_1$ , che presentano rispettivamente TC negativo e positivo.  $R_0$  è stata realizzata con high resistive poly, mentre R<sub>1</sub> attraverso l'uso di unsilicided N+ poly. La  $V_{TH_n}$  è pari a 0.21 V, mentre la tensione di alimentazione V<sub>DD</sub> è 0.65 V

La  $V_{TH_n}$  e pari a 0.21 V, mentre la tensione di alimentazione  $V_{DD}$  e 0.65 V Le dimensioni del riferimento di corrente e le grandezze fondamentali per il calcolo della corrente  $I_{REF}$  sono nelle tabelle 3.6 3.7.

La corrente  $I_{REF}$ , in funzione della della tensione di alimentazione in



Figure 3.13:  $V_{TH}$  Compensato in temperatura e corrente

Transistor	(W/L)
M <sub>0</sub>	$20\mu m/1\mu m$
M <sub>1</sub>	$3\mu m/1\mu m$
M <sub>3</sub>	$7\mu m/1\mu m$
$M_4$	$19\mu m/1\mu m$

Table 3.6: Dimensioni self-biasing threshold voltage current reference

Resistori	Tipo	(W/L)	ppm/°C	$k\Omega$
R <sub>0</sub>	High resistive Poly	$1\mu m/29\mu m$	-1630	181.1
R <sub>1</sub>	Unsilicided N+ poly	$0.56 \mu \mathrm{m} / 53 \mu \mathrm{m}$	180	17.78

Table 3.7: Dimensioni self-biasing threshold voltage current reference

Fig. 3.14, presenta una variazione massima di 58 nA, che tradotto in altri termini è pari a 79 ppm/mV. In Fig. 3.15 si può notare la compensazione al primo ordine in temperatura con un massimo nell'intorno di 30 °C, dove la variazione è minima. La massima differenza in corrente nell'intervallo di temperature da -20 °C a 80 °C è pari a 32 nA. Si ricorda che la corrente specchiata in M<sub>10</sub> in Fig. 3.5, tramite il collegamento con la tensione  $V_P$ , è circa 1 $\mu$ A.



Figure 3.14: Corrente di bias  $I_{REF}$  vs tensione di alimentazione



Figure 3.15: Corrente di bias  $I_{REF}$  vs temperatura



#### Simulazioni

Le simulazioni condotte sull'oscillatore integrato a due fasi sono state fatte con l'obiettivo di valutare le figure di merito descritte precedentemente per poi inserirle nell'analisi allo stato dell'arte.

Nelle seguenti immagini da Fig. 3.16 fino a Fig. 3.19 è possibile osservare le forme d'onda principali dell'oscillatore integrato a due fasi.





Figure 3.20: Frequenza di oscillazione  $F_{OSC}$  vs tensione di alimentazione

Figure 3.21: Frequenza di oscillazione  $F_{OSC}$  vs temperatura

Al fine di valuatare la stabilità in frequenza la tensione di alimentazione pari a 0.65 V è stata fatta variare di ±100 mV, quindi una variazione del 30% circa rispetto alla tensione nominale in Fig. 3.20, mentre la temperatura è stata fatta variare in un intervallo da -20 °C a 80 °C con  $V_{DD}=0.65$  V in Fig. 3.21.

L'andamento della frequenza in Fig. 3.20 in funzione della tensione di alimentazione  $V_{DD}$ , può essere motivato dal fatto, che sebbene la corrente  $I_{REF}$ rimanga praticamente costante, la tensione  $V_{REF}$  aumenta complessivamente in Fig. 3.22, portando la frequenza nell'equazione 3.4 a diminuire.

L'andamento della frequenza in Fig. 3.21 segue il comportamento della corrente  $I_{REF}$  in funzione della temperatura con compensazione al primo ordine in Fig. 3.15, poiché la  $V_{REF}$  è sostanzialmente indipendente dalla temperatura.

La potenza consumata è stata calcolata come:

$$P_{OSC} = \frac{1}{t_{osc,NOM}} \int_0^{t_{osc,NOM}} V_{DD} I_{DD}(t) dt$$

In Fig. 3.23 si può osservare la potenza consumata dall'oscillatore in funzione della temperatura, circa  $2\mu$ W per una  $F_{OSC}$  di 12.57 MHz.



Figure 3.22:  $V_{REF}$  vs  $V_{DD}$ 



Figure 3.23:  $P_{OSC}$  vs temperatura

$C_V$	6.5~%
$C_T$	$4.5 \ \%$
$C_P$	8.7~%
$C_U$	11.8~%

Table 3.8: Errore relativo sul periodo  $t_{OSC}$  dovuto a variazioni sulla tensione di alimentazione, della temperatura e di processo

Grazie a queste simulazioni è stato possibile stimare gli effetti PVT sulla stabilità in frequenza come fatto nella sezione precedente negli oscillatori analizzati allo stato dell'arte.

Nell'equazione 3.3 per il calcolo di  $C_U$ , il contributo di processo è stato calcolato considerando a una simulazione Montecarlo a 250 campioni.

I tre contributi di  $C_U$  sono stati riportati in tabella 3.8, mentre la somma quadratica complessiva raggiunge il valore di 11.8 %. Come si può vedere senza alcuna tecnica di compensazione  $C_U$  raggiunge valori intorno al 10% con energia per ciclo di 162 nW/MHz. Questo risultato dimostra come in questa semplice realizzazione si incomincino a intravedere le potenzialità e criticità di un oscillatore a rilassamento per applicazioni IoT. Il compromesso tra potenza consumata e stabilità in frequenza cercato non è affatto rispettato, basti pensare lo standard BLE richiede ±500 ppm in stabilità in frequenza.

Inoltre si osserva come, utilizzando questo oscillatore come wake-up timer, non risulterebbe conveniente ridurre il duty cycle sotto al 10% portando così il tempo di vita del nodo a valori inaccettabili.

Ricordando che nell'equazione 3.1  $P_{OSC} = P_{SLP}$ , verrà rappresentata la somma complessiva dei due contributi  $C_U$  e  $\frac{P_{OSC}}{P_{ON}}$  per diverse potenze di trasmissione. In merito a quanto già detto in precedenza in Fig. 3.24 si evince, anche per piccole potenze di trasmissione  $P_{ON}$ ,come la somma complessiva del contributo di stabilità in frequenza dovuto a variazioni PVT e potenza consumata sia praticamente uguale alle variazioni PVT, mostrando quindi come il tradeoff per applicazioni IoT non sia stato raggiunto.



Figure 3.24:  $C_U$ e $\frac{P_{OSC}}{P_{ON}}$  con $P_{ON}$ da 0.25 mW a 2.5 mW

In conclusione si può affermare che è necessario utilizzare una tecnica di compensazione tra quelle esposte degli effetti PVT sulla stabilità in frequenza limitando la potenza consumata dall'oscillatore con l'obiettivo di ridurre i contributi indesiderati  $C_U$  e  $P_{SLP}/P_{ON}$  nell'equazione 3.2 che si sommano all'effettivo duty cycle del nodo determinando il tempo di vita del nodo stesso.

## Chapter 4

# Resitive Frequency Locked Oscillator

In questo capitolo verrà descritta la progettazione del *Resistive Frequency Locked Oscillator*, introdotto nel secondo capitolo, e le simulazioni effettuate con l'obiettivo di stimare le figure di merito precedentemente definite, che consentono di capire se l'oscillatore riesce a soddisfare i requisiti IoT in termini di stabilità in frequenza alle variazioni PVT e potenza consumata.

### 4.1 Progettazione e Simulazioni

Nella struttura RFLO, in Fig. 4.1, il comparatore viene rimosso dall'anello di oscillazione e viene utilizzato un FLL(Frequency-locked-loop), che comprende un operazionale a basso consumo. La frequenza del segnale OUT di controllo del circuito a capacità commutate è la frequenza di uscita  $F_{OSC}$  di questo oscillatore.

Per comprendere meglio il funzionamento verrà descritto il meccanismo sulla generazione della frequenza di uscita  $F_{OSC} = F_{OUT}$ . Come si può vedere, in Fig. (4.1), la corrente di riferimento  $I_{REF}$  scorre attraverso il resistore  $R_{REF}$ portando a una caduta di tensione  $V_{IN+} = R_{REF}I_{REF}$ , e questa tensione di rifermento è connessa al terminale positivo dell'amplificatore. L'amplificatore forza questa tensione a eguagliare la tensione sul suo terminale negativo  $V_{IN-}$ ,



Figure 4.1: Oscillatore RFLO

dove scorre la stessa corrente  $I_{REF}$  attraverso  $C_{SW}$ . La tensione  $V_{IN-}$ , che è il prodotto tra il valore di resistenza a quel nodo e la corrente, può essere espressa come:

$$V_{IN-} = \frac{I_{REF}}{C_{SW}F_{OUT}}$$

Infatti la resistenza equivalente di un circuito a capacità commutate operante alla frequenza  $F_{OUT}$  è pari a  $\frac{1}{C_{SW}F_{OUT}}$ .  $F_{OUT}$  è la frequenza del segnale OUT in uscita al VCO(voltage-controlled-oscillator) controllata dalla tensione di uscita dell'amplificatore,  $V_{OUT}$ . Una volta raggiunta l'eguaglianza, imposta dall'amplificatore, tra  $V_{IN+}$  e  $V_{IN-}$  la frequenza di uscita  $F_{OUT}$  del VCO dipenderà esclusivamente da  $R_{REF}$  e  $C_{SW}$ . In altri termini:

$$V_{IN+} = V_{IN-}$$
$$R_{REF}I_{REF} = \frac{I_{REF}}{C_{SW}F_{OUT}}$$
$$F_{OUT} = \frac{1}{R_{REF}C_{SW}}$$

Nell'equazione finale vi è una cancellazione della corrente di rifermento, mostrando così l'indipendenza di  $F_{OUT}$  da  $I_{REF}$ . Inoltre, assumendo di utilizzare un riferimento di corrente indipendente dalla tensione di alimentazione,  $F_{OUT}$  risulta essere anche indipendente dalle fluttuazioni sulla tensione di alimentazione, infatti la tensione di alimentazione non compare nella formula del calcolo di  $F_{OUT}$ . La stabilità in frequenza in questo tipo di oscillatore si riduce nel realizzare un resistore  $R_{REF}$  indipendente dalla temperatura, poiché il condensatore MIM(*Metal-Insulator-Metal*)  $C_{SW}$  presenta un TC $\approx$ 0. A partire dallo schema a blocchi in ambiente Cadence in Fig. 4.2, definiamo le singole parti che lo compongono per poi, in ogni sotto sezione, descriverle più approfonditamente. **GEN** è il generatore di corrente  $I_{REF}$  compensato in temperatura e in tensione utilizzato nella progettazione dell'oscillatore in-

tegrato a due fasi del precedente capitolo.

All'interno del blocco **REF** sono presenti il resistore  $R_{REF}$  e il circuito a capacità commutate, comprendente  $C_{SW}$  e i gli interruttori, collegati rispettivamente al terminale positivo e negativo dell'amplificatore differenziale **OTAn**.  $R_{REF}$  e  $C_{SW}$  determinano la frequenza di riferimento  $F_{OSC}$ , all'interno del FLL, alla quale il segnale Q, in uscita al **VCO** (voltage-controlled-oscillator), dovrà agganciarsi. Il **VCO** è controllato in tensione tramite il segnale VCOIN in uscita dall'amplificatore differenziale **OTAn**, che forza i suoi terminali di ingresso V<sub>+</sub> e V<sub>-</sub> ad avere la stessa tensione. Una volta raggiunta tale condizione la frequenza del segnale Q sarà pari alla frequenza di riferimento  $F_{OSC}$  imposta unicamente da  $R_{REF}$  e  $C_{SW}$ .

#### 4.1.1 Riferimento di corrente GEN

Il riferimento di corrente **GEN**, in Fig. 4.3, è stato progettato, in base a come è stato descritto nel capitolo precedente, per erogare una corrente  $I_{REF}$ pari a 1µA con tensioni di alimentazione  $V_{DD}$  tra 0.65 V e 0.9 V a T=27°C e con tensione di alimentazione nominale  $V_{DD}$  pari a 0.65 V per temperature tra -20 °C e 80°C. Il riferimento di corrente **GEN** viene specchiato sia nel blocco **REF** tramite la tensione V<sub>p</sub> sia nel blocco **OTAn** tramite la tensione V<sub>n</sub> Nel primo viene utilizzato per generare una caduta di tensione rispetti-



Figure 4.2: Schema a blocchi in Cadence RFLO

vamente al morsetto  $V_+$  e  $V_-$ , mentre nel secondo caso viene utilizzato per la polarizzazione dell'amplificatore differenziale.



Figure 4.3: Riferimento di corrente

Transistor	(W/L)
M <sub>14</sub>	$5\mu m/1\mu m$
M <sub>15</sub>	$5\mu m/1\mu m$
M <sub>16</sub>	$2\mu m/1\mu m$
M <sub>12</sub>	$13\mu m/1\mu m$
M <sub>19</sub>	$10\mu m/1\mu m$
$M_{21}$	$3\mu m/1\mu m$

Table 4.1: Dimensioni transistor

Resistori	Tipo	(W/L)	ppm/°C	kΩ
$R_2$	High resistive Poly	$1 \mu \mathrm{m} / 17 \mu \mathrm{m}$	-1630	105.9
R <sub>1</sub>	Unsilicided N+ poly	$0.56\mu\mathrm{m}/50\mu\mathrm{m}$	237	16.778

Table 4.2: Dimensioni/tipologia resistori

Le dimensioni dei transistor e dei resistori sono riportate rispettivamente in tabella 4.1 e 4.2.

Le simulazioni condotte sul riferimento di corrente al variare della tensione di alimentazione e della temperatura sono rispettivamente in Fig. 4.4 e in Fig. 4.5. Le figure di merito per stimare il comportamento complessivo del generatore di corrente sono riportate in tabella 4.3.

Le variazioni dovute ai cambiamenti di temperatura in un escursione di 100  $^{\circ}$ C e di tensione in un intervallo di 250 mV sono stati espressi come:

$$TC(ppm/^{\circ}C) = \frac{I_{REF_{max}} - I_{REF_{min}}}{I_{REF_{nom}}100}$$
  
Line Sensitivity(ppm/mV) =  $\frac{I_{REF_{max}} - I_{REF_{min}}}{I_{REF_{nom}}250}$ 



Figure 4.4: Corrente  $I_{REF}$  vs  $V_{DD}$ 



Figure 4.5: Corrente  ${\cal I}_{REF}$  vs temperatura

V <sub>DD</sub>	0.65 V
I <sub>REF</sub>	$1.03 \ \mu A$
Intervallo di tensioni	da $0.65~{\rm V}$ a $0.9~{\rm V}$
Line Sensitivity (ppm/mV)	52
Intervallo di temperature	da -20 °C a +80 °C
$TC (ppm/^{\circ}C)$	398

Table 4.3: Figure di merito

La potenza consumata dal riferimento di corrente è pari a 2.639  $\mu$ W.

#### 4.1.2 Frequenza di Riferimento REF

Il cuore del blocco **REF** in Fig. 4.6 è costituito dal circuito a capacità commutate, formato dai transmission gate  $M_{13}$ - $M_{18}$ ,  $M_{17}$ - $M_{20}$ , dal condensatore  $C_3$ , e dal resistore compensato in temperatura dato dalla somma di  $R_0 \in R_3$ . I transistor  $M_{10} \in M_{11}$  sono utilizzati per specchiare la corrente  $I_{REF}$  del blocco **GEN**. I due condensatori  $C_4 \in C_5$  collegati rispettivamente al morsetto  $V_- \in V_+$  servono per ridurre il ripple in ingresso all'amplificatore differenziale **OTAn**.

La frequenza di riferimento  $F_{OSC}$ , alla quale dovrà agganciarsi il segnale Q una volta raggiunta la condizione di regime, è determinata dai componenti passivi  $R_0$ ,  $R_3$  e  $C_3$ .

$$R_{REF} = R_0 + R_3$$
$$C_{SW} = C_3$$

La frequenza di oscillazione  $F_{OSC}$  sarà pari a:

$$F_{OSC} = \frac{1}{R_{REF}C_{SW}} = \frac{1}{(R_0 + R_3)C_3}$$

Il resistore  $R_{REF}$  è formato da due resistori con comportamento opposto in temperatura.  $R_0$  è PTAT, mentre  $R_3$  e CTAT. Le dimensioni e il comportamento in temperatura di tali resistori è riportato in tabella 4.4.



Figure 4.6: Blocco **REF** 

Resistori	Tipo	(W/L)	ppm/°C	kΩ
R <sub>3</sub>	Unsilicided P+ poly	$0.56 \mu { m m}/62.255 \mu { m m}$	-393	82.032
R <sub>0</sub>	Unsilicided N+ poly	$0.56 \mu m/477.35 \mu m$	50	160.032
R <sub>REF</sub>	Composite	-	-10	242.064

Table 4.4: Dimensioni/tipologia resistori

Condensatori	Tipo	Area $(\mu m^2)$	pF
C <sub>3</sub>	MOM	276.61	0.2225
C <sub>4</sub>	MOM	13339	10
C <sub>5</sub>	MOM	1265	0.9951

Table 4.5: Dimensioni/tipologia condensatori

Transmission Gate	(W/L)	kΩ	fF
M <sub>13</sub> -M <sub>18</sub>	$4.95 \mu m / 0.060 \mu m$	0.47	1.2
M <sub>17</sub> -M <sub>20</sub>	$0.135 \mu m / 0.060 \mu m$	8.1	0.8

Table 4.6: Dimensioni transmission gate

Il condensatore  $C_3=C_{SW}$  è un MOM capacitor, realizzato interdigitando 5 livelli di metallizzazione. Il valore di capacità è di 222.5 fF e l'area occupata è pari a 276.61  $\mu$ m<sup>2</sup>. I condensatori  $C_4$  e  $C_5$  sono anch'essi MOM capacitor. Il valore di capacità di  $C_4$  deve garantire un ripple in tensione sul morsetto V<sub>-</sub> minore del 3% per determinare il corretto funzionamento del RFLO. Pertanto il suo valore di capacità è di 10 pF. I valori di capacità e le dimensioni in termini di area occupata sono riportati in tabella 4.5.

Occorre ora dimensionare correttamente le coppie di transistor  $M_{13}$ - $M_{18}$  e  $M_{17}$ - $M_{20}$ , che costituiscono gli interruttori del circuito a capacità commutate. Se il rapporto d'aspetto aumenta, la resistenza  $R_{ON}$  equivalente data dalla coppia dei transistor diminuirà, mentre aumenterà il valore delle capacità parassite source-bulk e drain-bulk, che in questo caso alterano il valore di C<sub>3</sub> sommandosi a esso. La coppia di transistor  $M_{17}$ - $M_{20}$  dovrà avere un valore di resistenza equivalente  $R_{ON_{17,20}}$  bassa tale che la caduta di tensione su essa sia trascurabile (es 0.01 %) rispetto alla tensione del nodo V\_-. Per quanto riguarda l'altra coppia di transistor il valore di resistenza equivalente deve essere tale che la costante di tempo associata  $\tau = R_{ON_{13,18}}C_3$  sia almeno 10 volte più piccola del periodo di oscillazione.

Detto ciò sono state simulate le resistenze equivalenti e le capacità parassite sono riportate in tabella 4.6.

Infine i transistor  $M_{10}$  e  $M_{11}$  in tabella 4.7 sono stati dimensionati in

Transistor	(W/L)
M <sub>10</sub>	$3.8 \mu \mathrm{m}/1 \mu \mathrm{m}$
M <sub>11</sub>	$3.8\mu\mathrm{m}/1\mu\mathrm{m}$

Table 4.7: Dimensioni transistor  $I_{REF}$ 

modo tale che la corrente  $I_{REF}$  specchiata possa garantire una caduta di tensione ai morsetti  $V_-$  e  $V_+$  all'interno del ICMR(*Input Common Mode Range*) dell'amplificatore differenziale **OTAn**. La corrente  $I_{REF}$ , che scorre in entrambi i rami, è pari a 1.18  $\mu$ A, tale da garantire una caduta di tensione di 286 mV, che si trova, come si vedrà in seguito, all'interno del ICMR dell'amplificatore differenziale. In base a quanto detto la frequenza di riferimento desiderata sarà pari a:

$$F_{OSC} = \frac{1}{R_{REF}C_{SW}} = \frac{1}{(R_0 + R_3)(C_3 + C_{para})} = 18.4 \text{ MHz}$$

La potenza consumata è pari a 1.579  $\mu$ W.

#### 4.1.3 Amplificatore differenziale OTAn

L'amplificatore differenziale in Fig 4.7 a singolo stadio inserito all'interno dell'anello di retroazione deve forzare la tensione sul ramo negativo V<sub>-</sub> a eguagliare quella sul ramo positivo V<sub>+</sub> per permettere il raggiungimento della condizione di aggancio della frequenza di riferimento  $F_{OSC}$ . Inoltre il condensatore C<sub>9</sub> con la resistenza di uscita dell'amplificatore  $r_{ds}$  funge da filtro passa-basso per limitare il ripple in ingresso al **VCO**.

Occorre trovare il giusto compromesso tra guadagno ad anello aperto  $G_{OL}$ , banda e potenza consumata dall'amplificatore differenziale. Un guadagno ad anello aperto non infinito comporta l'aggancio di una frequenza leggermente più bassa di quella desiderata a regime, mentre per quanto riguarda la banda l'amplificatore differenziale dovrà essere in grado di seguire l'impatto delle variazioni del **VCO** dovute alla temperatura. La potenza consumata dipende dalla corrente di polarizzazione  $I_B$  che scorre nel transistor  $M_4$ , che determina anche il guadagno complessivo dello stadio. Maggiore sarà la corrente di polarizzazione, maggiore sarà il guadagno e la potenza consumata. Inoltre, assumendo che si tratta di una configurazione a singolo polo situato sul morsetto di uscita OUT ad alta impedenza, viene definito il prodotto banda guadagno GBW(*Gain Bandwidth*) dell'amplificatore differenziale. Il GBW è costante, perciò se la banda aumenta il guadagno deve diminuire in maniera proporzionale.

Per limitare la potenza consumata l'amplificatore differenziale lavora in re-



Figure 4.7: Amplificatore differenziale a singolo stadio

gione di *sub-threshold*.

Imponendo una potenza massima consumata dall'amplificatore di 1  $\mu$ W ed essendo la V<sub>DD</sub> pari a 0.65 V otteniamo una corrente I<sub>B</sub> massima di 1.54  $\mu$ A. La corrente in regione di *sub-threshold* è pari a:

$$\begin{split} I_D = \frac{\mu_n W C_{OX}(m-1) V_T^2}{L} e^{\frac{V_{GS} - V_{TH}}{m V_T}} (1 - e^{\frac{V_{DS}}{V_T}}) \\ m = 1 + \frac{C_{dep}}{C_{OX}} \\ V_T = \frac{kT}{q} \end{split}$$

 $V_T$  è la thermal voltage pari a 26 mV e il parametro m vale circa 1.55 nella tecnologia CMOS bulk utilizzata. La transconduttanza  $g_m$  per  $V_{DS} > 4V_T$  è pari a:

$$\mathbf{g}_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{I_D}{mV_T}$$

La resistenza di uscita  $\mathbf{r}_{ds}$  è pari a:

$$r_{ds} = \frac{V_{early}}{I_D}$$

Lo specchio di corrente  $M_0$ - $M_1$  utilizzato come carico attivo e la simmetria del circuito in Fig. 4.7 impone che le correnti  $I_1$  e  $I_3$  siano uguali tra loro e pari a  $I_B/2$ . Il transistor  $M_4$  è collegato alla tensione  $V_n$  generata dal riferimento di corrente **GEN**. Il guadagno ad anello aperto di questo stadio è pari:

$$G_{OL} = g_{m_2}(r_{ds_2} || r_{ds_1})$$

Posto  $I_B=1.53\mu$ A otteniamo  $I_1=765$  nA e di conseguenza  $g_{m_2}=19.04\mu$ . Le tensioni di early dei transistor  $M_2$  e  $M_1$  sono rispettivamente 22.89 V e 16.78 V, perciò le resistenze di uscita saranno  $r_{ds_2}=29.86$  M $\Omega$  e  $r_{ds_1}=21.9$  M $\Omega$ . Il guadagno atteso dell'amplificatore è pari a:

$$r_{out} = (21.9 \text{ M}\Omega || 29.86 \text{M}\Omega) = 12.63 \text{ M}\Omega$$
  
 $G_{OL} = g_{m_2} r_{out} = 240 = 47.61 \text{ dB}$ 

A causa dell'esistenza di ripple in tensione sul morsetto di ingresso V<sub>-</sub> è stato introdotto un condensatore C<sub>9</sub> in uscita allo stadio differenziale che con la  $r_{out}$  funge da filtro passa basso limitando le fluttuazioni in tensione in

Transistor	(W/L)
$M_0$	$18\mu m/2\mu m$
$M_1$	$18\mu m/2\mu m$
$M_3$	$18\mu m/3\mu m$
$M_2$	$18\mu m/3\mu m$
$M_4$	$3\mu m/1\mu m$

Table 4.8: Dimensioni transistor  $I_{REF}$ 

ingresso al VCO.

Il polo deve essere situato a bassa frequenza in modo da garantire almeno una attenuazione di 30 dB alla frequenza di riferimento  $F_{OSC}$ . Per questi motivi la frequenza del polo  $f_p$ :

$$C_9$$
=5 pF  
 $r_{out} = 12.63 \text{ M}\Omega$   
 $f_p = \frac{1}{2\pi r_{out}C_9} = 2.52 \text{ kHz}$   
 $GBW = f_p G_{OL} = 604.86 \text{ kHz}$ 

Per minimizzare la tensione di offset  $V_{OS}$  dello stadio differenziale, dovuto al mismatch sul carico attivo, mantenendo invariato il rapporto d'aspetto, è stata aumentata l'area complessiva dei singoli transistor. Le dimensioni dei singoli transistor sono riportati in tabella 4.8. La dinamica di ingresso ICMR (*Input Common Mode Range*) è stata definita come l'intervallo di tensioni in ingresso per la quale il guadagno e superiore o uguale a 46 dB. La dinamica di uscita è definita come quell'intervallo di tensioni nella quale al variare della tensione differenziale il guadagno rimane costante. Quest'ultima grandezza è stata simulata mantenendo la tensione di modo comune  $V_{CM}$  intorno al punto di lavoro del blocco **REF** ricordando che  $V_+=286$  mV. Le simulazioni di seguito riportate mostrano le figure di merito precedentemente discusse.

In Fig 4.8 il guadagno in banda è pari a 48.46 dB con  $V_{CM}$  = 286 mV, mentre la frequenza di taglio a -3 dB è pari a 2.512 kHz proprio come stimato in precedenza. La attenuazione alla frequenza di lavoro di 18.4 MHz è pari a



Figure 4.8:  $G_{OL}$  vs frequenza

33 dB. In Fig. 4.9 e Fig. 4.10 si può vedere che per variazioni sulla tensioni di alimentazione tra 0.65-0.9 V e nel range di temperature da -20 °C a +80 °C il guadagno ad anello aperto  $G_{OL}$  si mantiene superiore ai 44 dB richiesti con  $V_{CM}$ = 286 mV.



Figure 4.10:  $G_{OL}$  vs Temperatura

L'ICMR, in Fig. 4.11, è stata ottenuto variando la tensione di modo comune  $V_{CM}$ , mantenendo fissa la tensione di alimentazione  $V_{DD} = 0.65$  V, al fine di stimare l'intervallo di tensioni ingresso per la quale lo stadio differenziale garantisce un guadagno di almeno 46 dB. L'ICMR varia tra 60 mV, circa  $3V_T$  di caduta di tensione su M<sub>4</sub>, e 350 mV.

La dinamica di uscita in Fig. 4.12, definita per valori di tensione dove il guadagno si mantiene costante in funzione della tensione differenziale  $v_{diff}$ , varia tra 285 mV e 530 mV per tensione di alimentazione pari a 0.65 V.



Figure 4.11: ICMR (Input Common Mode Range)



Figure 4.12: Dinamica di uscita v<br/>s tensione differenziale  $\mathbf{v}_{diff}$ 

Infine è stata simulata la variazione della tensione di offset  $V_{OS}$  al variare della tensione di alimentazione, della temperatura e del processo in Fig. 4.13, in Fig. 4.14 e in Fig 4.15.



Figure 4.13:  $V_{OS}$  vs  $V_{DD}$ 



Figure 4.14:  $V_{OS}$  vs Temperatura



Figure 4.15: Simulazione Monte Carlo $\mathbf{V}_{OS}$ a 500 campioni

Sebbene un offset sistematico, se non troppo grande, non sia importante nel raggiungimento della condizione di aggancio della corretta frequenza di riferimento  $F_{OSC}$ , le variazioni della tensione di offset  $V_{OS}$  si riflettono sulla stabilità in frequenza dell'oscillatore complessivo. La potenza consumata dallo stadio differenziale è pari a 1  $\mu$ W.

#### 4.1.4 Voltage Controlled Oscillator VCO

Il VCO, controllato in tensione dallo stadio differenziale tramite  $V_{COIN}$ , viene utilizzato per la ricerca della frequenza di riferimento  $F_{OSC}$  che rende tramite Q e  $Q_n$  l'impedenza al morsetto negativo dell'amplificatore identica a quella del morsetto positivo. Raggiunta tale condizione, perciò  $V_+=V_-$ , la frequenza del segnale Q sarà la frequenza di uscita dell'oscillatore a rilassamento. Il VCO in Fig. 4.16 è stato progettato utilizzando il principio dell'oscillatore integrato a due fasi utilizzato nel capitolo precedente. La linearità intorno al punto di lavoro non è molto importante ma ciò che conta è l'estensione dell'intervallo di frequenze che riesce a generare sul segnale Q per diversi valori di  $V_{COIN}$ . La frequenza di oscillazione del segnale Q è pari a:

$$F_Q = \frac{I_9}{(C_7 + C_8)V_{REF}}$$

Fissato il valore dei condensatori a 50 fF, la tensione  $V_{REF}$ , che è la tensione alla quale commuta il SET-RESET NOR pari circa a  $V_{DD}/2$ , la corrente I<sub>9</sub> varierà in funzione della tensione  $V_{COIN}$ . Il transistor M<sub>9</sub> è stato dimensionato per garantire un intervallo di frequenza in uscita tra 400 KHz e 40 MHz compatibilmente con la dinamica di uscita dello stadio differenziale. Per tale motivo nell'intervallo di tensioni tra 285 mV e 530 mV, la corrente I<sub>9</sub> dovrà variare rispettivamente tra 1.4  $\mu$ A e 14 nA.

In questo modo il guadagno statico sarà pari almeno a:

$$K_V = \frac{40 - 0.4}{0.285 - 0.530} = -162 \text{ MHz/V}$$

Le dimensioni del SET-RESET NOR sono le stesse utilizzate nell'oscillatore integrato a due fasi del capitolo precedente. Nelle tabelle 4.16 e 4.10 sono



Figure 4.16: Voltage controlled oscillator

Transistor	(W/L)
M <sub>9</sub>	$1.5\mu m/1\mu m$
M <sub>7</sub>	$0.135 \mu { m m}/0.060 \mu { m m}$
M <sub>8</sub>	$0.135 \mu m / 0.060 \mu m$
M <sub>6</sub>	$0.135 \mu { m m}/0.060 \mu { m m}$
M <sub>5</sub>	$0.135 \mu m / 0.060 \mu m$

Table 4.9: Dimensioni transistor VCO

Condensatori	Tipo	Area $(\mu m^2)$	fF
C <sub>7</sub>	MOM	121	49.82
C <sub>8</sub>	MOM	121	49.82

Table 4.10: Dimensioni/tipologia condensatori VCO

presenti le dimensioni dei restanti transistor e dei condensatori utilizzati nel VCO.

In Fig. 4.17 e Fig. 4.18 è stato simulato il comportamento del **VCO** in funzione della tensione di controllo  $V_{COIN}$  parametrizzata al variare rispettivamente della tensione di alimentazione e della temperatura. In tutti i casi la frequenza di oscillazione  $F_{OSC}$  alla quale si deve agganciare il segnale Q rientra nella dinamica di uscita dello stadio differenziale che pilota il **VCO** tramite  $V_{COIN}$ . Il guadagno statico del **VCO** intorno al punto di lavoro di 350 mV per  $V_{DD}$ = 0.65 V e T=27 °C è pari a -272 MHz/V. La potenza consumata in condizioni nominali e per tensione di controllo compatibile con la frequenza desiderata di 18.4 MHz è pari a 604.7 nW.



Figure 4.17: Dinamica di uscita $\mathbf{VCO}$ a T=27 °C



Figure 4.18: Dinamica di uscita **VCO** a  $V_{DD}$ =0.65 V

#### 4.1.5 Analisi della stabilità in frequenza

In questa sezione, è stata eseguita l'analisi sulla stabilità dell'anello di controllo linearizzato del RFLO. Per studiare la stabilità di un sistema occorre calcolare la fase del guadagno d'anello, quando questo è pari a 0 dB. Se la fase è maggiore di 0°, allora il sistema risulterà stabile, altrimenti, in caso sia minore di 0°, il sistema risulterà instabile. In Fig. 4.19 è riportato lo schema a blocchi del RFLO.  $A_d(s)$  è il guadagno dell'operazionale, con all'interno il filtro passa-basso di uscita,  $K_{VCO}$  è il guadagno statico del VCO, mentre la retroazione B(s), all'interno del FLL, dipende dal circuito a capacità commutate. Per ottenere B(s) occorre ricavare un modello linearizzato del gruppo



Figure 4.19: Schema a blocchi RFLO

SC nell'intorno del punto di lavoro  $F_{OSC}$ . La caduta di tensione al morsetto negativo  $V_{-}(F_{OUT}, I_{REF})$ , è a pari a:

$$V_{IN-} = \frac{I_{REF}}{C_{SW}F_{OUT}}$$

Le derivate parziali di V<sub>-</sub> rispetto a  $I_{REF}$  e  $F_{OUT}$ , calcolate alla frequenza di lavoro  $F_{OSC}$ , permettono di ottenere il circuito equivalente del gruppo SC in Fig. 4.20. Il gruppo SC è equivalente ad un resistore serie ad un generatore pilotato. Considerando l'effetto di carico dovuto a  $C_{IN-}$ , B(s) sarà pari a:

$$B(s) = \frac{V_{-}(s)}{F_{OUT}(s)} = \frac{-I_{REF}}{F_{OSC}^2 C_{SW}} \frac{1}{1 + \frac{C_{IN-}}{F_{OSC}C_{SW}}s}$$



Figure 4.20: Circuito equivalente del grippo SC

E' possibile, ora, calcolare sia il guadagno dell'anello di controllo linearizzato T(s), sia la funzione di trasferimento ingresso-uscita H(s). Aprendo l'anello a valle dell'OTA, T(s) sarà pari a:

$$T(s) = A_d(s)K_{VCO}B(s) \tag{4.1}$$

mentre H(s) sarà pari a:

$$H(s) = \frac{A_d(s)K_{VCO}}{1 + A_d(s)K_{VCO}B(s)}$$
(4.2)

In funzione dell'analisi appena condotta, sono stati sostituiti i valori di progetto sia all'interno della formula (4.1) per valutare la stabilità sia nella funzione di trasferimento ingresso-uscita 4.2 per ottenere la variazione in frequenza intorno alla frequenza di regime  $F_{OSC}$ . In Fig 4.21 è riportato il guadagno di anello T(s), dove il margine di fase PM è circa 12°. Questo giustifica le oscillazioni in frequenza intorno al punto di lavoro  $F_{OSC}$ . L'articolo [20], che realizza un oscillatore RFLO, presenta, secondo le formule sopra definite, un PM di soli 2°. Questo risultato è validato dal settling time dichiarato e da un immagine, che mostra le variazioni in frequenza durante il transitorio. Sebbene, che una volta agganciato alla frequenza di riferimento, le caratteristiche statiche dell'oscillatore (stabilità PVT e potenza consumata) non dipendano dalla stabilità in frequenza, è possibile che a



Figure 4.21: Guadagno d'anello T(s), Funzione di trasferimento H(s) e variazione in frequenza intorno al valore di regime  $F_{OSC}=$  18.4 MHz per  $V_{nom}$  e  $T_{nom}$ 

causa di variazioni sulla tensione di alimentazione, della temperatura e di processo l'oscillatore non sia in grado di agganciare la frequenza di regime e, questa, continui a oscillare. Per dimostrare che tale fenomeno non accade, si è deciso riportare il guadagno d'anello, le variazioni in frequenza durante il transitorio e la funzione di trasferimento al variare dei corner(FF, SS, TT). Per ogni corner le simulazioni sono ste effettuate per quattro diversi punti di lavoro: $V_{min}/T_{min}$ ,  $V_{min}/T_{max}$ ,  $V_{max}/T_{min}$  e  $V_{max}/T_{max}$ . Si ricorda, che  $V_{min}=0.65$  V e  $V_{max}=0.9$ , mentre  $T_{min}=-20$  °C e  $T_{max}=80$  °C. In Fig 4.22, è possibile osservare che il margine di fase per il corner SS varia da un minimo tra i 7°-9.8°, mentre in Fig 4.23 sono riportate le relative variazioni in frequenza durante il transitorio, che nel peggiore dei casi si estinguono dopo 80  $\mu$ s. La frequenza di regime  $F_{OSC}$  con corner SS è pari a 13.5 MHz.



Figure 4.22: Guadagno d'anello T(s), Funzione di trasferimento H(s) con corner SS per diverse temperature e tensioni di alimentazione


Figure 4.23: Variazione in frequenza intorno al valore di regime  $F_{OSC}$  con corner SS per diverse temperature e tensioni di alimentazione

In Fig 4.24, si può notare che il margine di fase per il corner FF che varia da un minimo tra i 9°-14°, mentre in Fig 4.25 sono riportate le relative variazioni in frequenza durante il transitorio. Il settling time, nel peggiore dei casi, è pari a 35  $\mu$ s. La frequenza di regime F<sub>OSC</sub> con corner FF è pari a 25 MHz.



Figure 4.24: Guadagno d'anello T(s), Funzione di trasferimento H(s) con corner FF per diverse temperature e tensioni di alimentazione



Figure 4.25: Variazione in frequenza intorno al valore di regime  $F_{OSC}$  con corner FF per diverse temperature e tensioni di alimentazione

In Fig 4.26, è riportato il margine di fase per il corner TT, che oscilla tra un minimo di 8°-12°, mentre in Fig 4.27 sono riportate le relative variazioni in frequenza durante il transitorio. Il massimo transitorio è pari a 50  $\mu$ s. La frequenza di regime F<sub>OSC</sub> con corner TT è pari a 18.38 MHz. Se fosse



Figure 4.26: Guadagno d'anello T(s), Funzione di trasferimento H(s) con corner TT per diverse temperature e tensioni di alimentazione

richiesto un margine di fase pari a  $30^{\circ}$  sarebbe necessario esclusivamente aumentare il condensatore del filtro passa-basso in uscita all'OTA di circa sei volte.



Figure 4.27: Variazione in frequenza intorno al valore di regime  $F_{OSC}$  con corner TT per diverse temperature e tensioni di alimentazione

#### 4.1.6 Resistive Frequency Locked Oscillator RFLO

In seguito verranno riportate le simulazioni delle principali forme d'onda per tensione di alimentazione e temperatura nominali del RFLO complessivo in Fig. 4.2.

La stessa forma d'onda è stata simulata durante la fase di transitorio, perciò ricerca della frequenza di riferimento  $F_{OSC}$ , e nella condizione di regime.



Figure 4.28: Ingressi stadio durante il transitorio a  $V_{DD}$ =0.65 V



Figure 4.29: Segnale in uscita/ingresso al **OTAn/VCO** durante il transitorio a  $V_{DD}=0.65$  V



Figure 4.30:  $\mathbf{F}_{OSC}$  a  $\mathbf{V}_{DD}{=}0.65~\mathbf{V}$ 



Figure 4.31: Segnale Q durante il transitorio a  $\mathrm{V}_{DD}{=}0.65~\mathrm{V}$ 

Come si può vedere in Fig. 4.28 la tensione sul morsetto  $V_{-}$  oscilla inizialmente, poiché l'impedenza del circuito a capacità commutate non è ancora eguale all'impedenza presente sull'altro ramo  $V_{+}$  del blocco **REF**. Questo comportamento, dopo un certo ritardo, si traduce in una variazione sulla tensione di uscita dello stadio differenziale  $V_{COIN}$  in Fig. 4.29, che pilota a sua volta il **VCO**.

Il meccanismo di aggancio del RFLO nel dominio del tempo è mostrato in Fig. 4.30, partendo dalla condizione per la quale  $F_{OUT}$  è maggiore della frequenza di oscillazione attesa. In questa condizione, la carica iniettata fuori da  $C_{SW}$  sul nodo  $V_{-}$  è maggiore della carica che viene iniettata dentro da  $I_{REF}$ , perciò la tensione su  $V_{-}$  diminuisce in Fig. 4.28. Una volta raggiunta l'eguaglianza, imposta dall'amplificatore, tra  $V_{+}$  e  $V_{-}$  la frequenza di uscita  $F_{OSC}$  del VCO dipenderà esclusivamente da  $R_{REF}$  e  $C_{SW}$ , perciò la frequenza di oscillazione si aggancia al valore desiderato  $F_{OUT} = F_{OSC}$ . In altri termini:

$$V_{+} = V_{-}$$

$$R_{REF}I_{REF} = \frac{I_{REF}}{C_{SW}F_{OUT}}$$

$$F_{OUT} = \frac{1}{R_{REF}C_{SW}}$$

La condizione di aggancio come si può vedere in Fig. 4.30 avviene dopo circa  $80 \ \mu$ s. La frequenza di oscillazione agganciata è pari a 18.395 MHz.

Il ripple in Fig. 4.33 presente sul morsetto V<sub>-</sub> a regime è pari a 6 mV. Quest'ultimo ha frequenza pari alla frequenza di oscillazione  $F_{OSC}$ , perciò, grazie al filtro passa-basso realizzato tramite la resistenza di uscita dello stadio differenziale e il condensatore di uscita di 5 pF, viene attenuato di 33 dB, stabilizzando il ripple sulla frequenza a regime del RFLO. Come si può vedere in Fig. 4.34 le fluttuazioni in tensione in ingresso al **VCO** hanno ampiezza pari a 150  $\mu$ V.



Figure 4.32: Segnale Q a regime a  $\mathrm{V}_{DD}{=}0.65~\mathrm{V}$ 



Figure 4.33: Ingressi stadio a regime a  $\mathrm{V}_{DD}{=}0.65~\mathrm{V}$ 



Figure 4.34: Segnale in uscita/ingresso al $\mathbf{OTAn}/\mathbf{VCO}$ a regime a $\mathbf{V}_{DD}{=}0.65~\mathbf{V}$ 

Vengono mostrate ora le figure di merito principali dell'oscillatore a rilassamento con l'obbiettivo di estrapolare da esse le informazioni chiave che permettono di stimare il  $C_U$ , che descrive la robustezza in frequenza alle variazioni PVT, e la potenza consumata  $P_{SLP}$ . Questo ci permetterà di calcolare i primi due contributi della formula 3.2 che influenzano la potenza consumata media nel nodo.

In Fig 4.35 è stata stimata la frequenza di oscillazione al variare della tensione di alimentazione tra 0.65 V e 0.9 V mantenendo la temperatura nominale e il processo tipico. Successivamente in Fig. 4.36 la stabilità in frequenza dovuta



Figure 4.35:  $F_{OSC}$  vs  $V_{DD}$ 

a variazioni di temperatura tra -20 °C e 80 °C fissando la tensione di alimentazione a 0.65 V e il processo tipico. Infine, in Fig.4.37, si è stimata tramite simulazione Monte Carlo la robustezza in frequenza dovuta a variazioni di processo, mantenendo fissa la tensione di alimentazione e la temperatura ai



Figure 4.36:  $F_{OSC}$  vs temperatura

valori nominali. La deviazione standard  $\sigma$  della distribuzione gaussiana stimata è pari a 304 kHz. L'instabilità della frequenza di oscillazione in tutte e



Figure 4.37: Simulazione Monte Carlo a 250 campioni di  $F_{OSC}$  per variazioni di processo

tre le condizioni sopra descritte dipende principalmente dalle variazioni della tensione di offset dell'amplificatore differenziale  $V_{OS}$  e dall'asimmetria delle due correnti  $I_{REF}$  iniettate rispettivamente nei due rami del blocco **REF**. Se la differenza tra le due correnti cambia al variare delle tre grandezze prese in esame, questa si ripercuoterà sulla stabilita in frequenza complessiva nel RFLO.

La potenza consumata è stata simulata al variare della tensione di alimentazione e della temperatura rispettivamente in Fig. 4.38 e in Fig. 4.39.

Le principali figure di merito dell'oscillatore, calcolate tramite l'equazione 3.3, sono riportate in tabella 4.11.



Figure 4.38:  $P_{OSC}$  vs  $V_{DD}$ 



Figure 4.39:  $\mathbf{P}_{OSC}$  vs temperatura

Process (nm)	65
Supply (V)	0.65
Frequency (MHz)	18.395
TC $(ppm/^{\circ}C)$	16.5
Temp Range (°C)	-20 - 80
Line Sensitivity $(\%/V)$	1
Power $(\mu W)$	5.822
Start-up time $(\mu s)$	< 80
Energy/Cycle (pJ/Cycle)	0.316

Table 4.11:	Figure	di	merito	RFLC	)
-------------	--------	----	--------	------	---

### 4.2 Simulazioni post-layout

Per stimare l'area complessiva e valutare l'effetto che i parassiti hanno sulle principali figure di merito dell'oscillatore è stato disegnato il layout complessivo del RFLO. Per la realizzazione del layout dei singoli blocchi e del RFLO complessivo sono stati utilizzati i componenti presenti all'interno del PDK di STMicroelecrtronics. In Fig. 4.40 è possibile osservare come sono stati realizzati i singoli blocchi della Fig. 4.2. Con l'obiettivo di minimizzare l'area occupata dal blocco **REF** i resistori presenti all'interno sono stati divisi in resistori di dimensioni più piccole e, successivamente, collegate in serie. Per quanto riguarda i condensatori con grandi valori di capacità, presenti nel blocco **REF** e in **OTAn**, sono stati utilizzati più livelli di metallizzazione (es. M1-M5) al fine di renderli più compatti. In Fig. 4.41 è riportato l'oscillatore complessivo, l'area occupata, data dalla somma delle singole parti in tabella 4.12, è pari a 0.054 mm<sup>2</sup>.

Dopo l'estrazione dei parassiti, sono state svolte le stesse simulazioni fatte in precedenza per stimare la potenza consumata e la stabilità PVT sul periodo di oscillazione.



Figure 4.40: Layout VCO, REF, GEN e OTAn

SR NOR	$40.43~\mu\mathrm{m}^2$
VCO	$850 \ \mu m^2$
REF	$40020 \ \mu \mathrm{m}^2$
OTAn	$11459~\mu\mathrm{m}^2$
GEN	$930.4 \ \mu m^2$

Table 4.12: Area singoli blocchi



Figure 4.41: Layout **RFLO** 

Sebbene la variazione della frequenza di oscillazione  $F_{OSC}$  in termini assoluti non cambi come si può vedere in Fig. 4.42 e 4.43, la frequenza di aggancio, invece, diminuisce di circa 1.3 MHz. La diminuzione della frequenza di riferimento è dovuta sostanzialmente alle capacità parassite, che si sommano alla capacità di riferimento  $C_{REF}$ . Anche la deviazione standard,  $\sigma$  pari a 276.6 kHz nella simulazione Monte Carlo per le variazioni di processo in Fig. 4.44 non subisce sostanziali variazioni rispetto al caso pre-layout, invece la media  $\mu$  pari a 17.099 MHz conferma quanto detto in precedenza. La presenza di un errore di offset sulla frequenza di uscita non è molto rilevante di per sè, poiché una volta noto può essere facilmente compensato tramite una calibrazione post-layout, che diminuisce la resistenza di riferimento  $R_{REF}$ .



Figure 4.42:  $F_{OSC}$  vs  $V_{DD}$  post-layout



Figure 4.43: F\_{OSC} vs temperatura post-layout



Figure 4.44: Simulazione Monte Carlo a 250 campioni di  $\mathbf{F}_{OSC}$  per variazioni di processo

Process (nm)	65
Supply (V)	0.65
Frequency (MHz)	17.099
TC $(ppm/^{\circ}C)$	23.9
Temp Range (°C)	-20 - 80
Line Sensitivity $(\%/V)$	1.07
Power $(\mu W)$	6.018
Start-up time $(\mu s)$	< 95
Energy/Cycle (pJ/Cycle)	0.352

Table 4.13: Figure di merito RFLO post-layout

In funzione di quanto riassunto in tabella 4.13 l'oscillatore progettato verrà confrontato con gli oscillatori analizzati allo stato dell'arte utilizzando le nuove figure di merito descritte nel terzo capitolo, che permettono di stabilire la presenza dell'equilibrio potenza consumata/stabilità PVT nell'oscillatore e il minimo valore di duty cycle alla quale ha senso che operi il nodo IoT.

### 4.3 Confronto con lo stato dell'arte

Ricordiamo brevemente le motivazioni che hanno portato alla definizione delle figure di merito, che verranno esposte successivamente. Al fine di diminuire la potenza media  $P_{AVG}$  nel nodo per renderlo energeticamente autonomo, oltre all'utilizzo della tecnica del duty-cycling, occorre trovare un equilibrio tra la potenza consumata  $P_{SLP}$  dall'oscillatore interno, poiché consumo intrinseco del nodo durante la fase di sleep, e la stabilità del periodo di oscillazione  $C_U$  (P,V,T) alle variazioni PVT, poiché influenzano la corretta ricezione/trasmissione dei dati durante la fase attiva. Per ovviare a questo problema viene introdotto un tempo di guardia  $t_{GB}$  proporzionale alla fase di sleep e alla stabilità dell'oscillatore, purtroppo, però, la potenza consumata in questa fase è uguale alla potenza  $P_{ON}$  durante la fase attiva come si può vedere in formula 4.3.

$$P_{AVG} = P_{SLP} + P_{ON}\left(D + \frac{C_U t_{SLP}}{t}\right) \tag{4.3}$$

la quale può essere riscritta per bassi valori di duty cycle (es. 0.1 %), essendo  $t \cong t_{SLP}$ , come:

$$\frac{P_{AVG}}{P_{ON}} = \frac{P_{SLP}}{P_{ON}} + C_U + D \tag{4.4}$$

La formula 4.4 permette di valutare, in funzione della potenza di trasmissione  $P_{ON}$ , non solo l'equilibrio tra potenza consumata/stabilità, ma anche il valore minimo di duty cycle alla quale il nodo può tendere prima di dipendere esclusivamente dal rapporto di potenza  $P_{SLP}/P_{ON}$  e dalla stabilità  $C_U$ . L'incertezza su periodo di oscillazione  $C_U$  è stata calcolata utilizzando la formula 3.3 descritta nel capitolo precedente.

Il contributo di processo nel calcolo dell'incertezza complessiva  $C_U$ , dopo la calibrazione dell'oscillatore, può essere trascurato. Per questo motivo e anche per le poche informazioni presenti negli oscillatori analizzati allo stato dell'arte è stato deciso di rappresentare le stesse figure di merito con e senza il contributo di processo. In tabella 4.19 sono riportate le informazioni principali degli oscillatori allo stato dell'arte analizzati.

In Fig. 4.45 sono presenti i tre contributi (PVT) di incertezza del periodo di oscillazione nominale  $t_{OSC,nom}$  in funzione dell'energia per ciclo, mentre in Fig. 4.46 l'incertezza complessiva  $C_U$ .



Figure 4.45: Errore relativo sul periodo  $t_{OSC}$  dovuto a variazioni sulla tensione di alimentazione, della temperatura e di processo

Articolo[]/Autore	Titolo/Rivista	Anno
[16] H. Jiang	A 0.4-V 0.93-nW/kHz Relaxation Oscillator/IEEE Journal of Solid-State Circuits	2018
[21] J. Jung	A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer/IEEE Journal of Solid- State Circuits	2018
[18] Y. Chiang	A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2013
[26] J. Wang	A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator/IEEE Transactions on Circuits and Systems I	2016
[25] Y. Chiang	Nanopower CMOS Relaxation Oscillators/IEEE Transactions on Circuits and Systems II	2014
[19] Y. Tsai	A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2017
[20] Y. Shi	A 110 nW Resistive Frequency Locked On-Chip Oscillator/IEEE Journal of Solid-State Circuits	2016
[17] S. Dai	A 14.4nW 122KHz dual-phase current-mode relaxation oscillator/IEEE Custom Integrated Circuits Conference	2015
[24] A. Savanth	A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference/IEEE Journal of Solid-State Circuits	2019

Table 4.14: Articoli analizzati



Figure 4.46:  $C_U$  con contributo di processo

Escludendo il contributo di processo in Fig. 4.47, l'oscillatore progettato presenta incertezza  $C_U$  pari all'1 %, leggermente superiore all'articolo [21], che presenta lo stesso tipo di architettura, ma con energia per ciclo 3 volte superiore. In Fig. 4.48 e in Fig. 4.49 rispettivamente con e senza il contributo di processo, si può osservare in funzione della potenza di trasmissione  $P_{ON}$  la somma dei primi due contributi indesiderati della formula 4.4, che permettono di calcolare il minimo valore di duty cycle D alla quale ha senso lavorare.



Figure 4.47: Errore relativo sul periodo  $t_{OSC}$  dovuto a variazioni sulla tensione di alimentazione, della temperatura e incertezza  $C_U$  senza il contributo di processo

Articolo[]/Autore	Titolo/Rivista	Anno
[16] H. Jiang	A 0.4-V 0.93-nW/kHz Relaxation Oscillator/IEEE Journal of Solid-State Circuits	2018
[21] J. Jung	A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer/IEEE Journal of Solid- State Circuits	2018
[18] Y. Chiang	A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2013
[26] J. Wang	A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator/IEEE Transactions on Circuits and Systems I	2016
[25] Y. Chiang	Nanopower CMOS Relaxation Oscillators/IEEE Transactions on Circuits and Systems II	2014
[19] Y. Tsai	A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2017
[20] Y. Shi	A 110 nW Resistive Frequency Locked On-Chip Oscillator/IEEE Journal of Solid-State Circuits	2016
[17] S. Dai	A 14.4nW 122KHz dual-phase current-mode relaxation oscillator/IEEE Custom Integrated Circuits Conference	2015
[24] A. Savanth	A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference/IEEE Journal of Solid-State Circuits	2019

Table 4.15: Articoli analizzati



Figure 4.48:  $C_U + \frac{P_{OSC}}{P_{ON}}$  con  $P_{ON}$  da 0.25 mW a 2.5 mW

Articolo[]/Autore	Titolo/Rivista	Anno
[16] H. Jiang	A 0.4-V 0.93-nW/kHz Relaxation Oscillator/IEEE Journal of Solid-State Circuits	2018
[21] J. Jung	A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer/IEEE Journal of Solid- State Circuits	2018
[18] Y. Chiang	A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2013
[26] J. Wang	A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator/IEEE Transactions on Circuits and Systems I	2016
[25] Y. Chiang	Nanopower CMOS Relaxation Oscillators/IEEE Transactions on Circuits and Systems II	2014
[19] Y. Tsai	A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2017
[20] Y. Shi	A 110 nW Resistive Frequency Locked On-Chip Oscillator/IEEE Journal of Solid-State Circuits	2016
[17] S. Dai	A 14.4nW 122KHz dual-phase current-mode relaxation oscillator/IEEE Custom Integrated Circuits Conference	2015
[24] A. Savanth	A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference/IEEE Journal of Solid-State Circuits	2019

Table 4.16: Articoli analizzati



Figure 4.49:  $C_U + \frac{P_{OSC}}{P_{ON}}$  con  $P_{ON}$  da 0.25 mW a 2.5 mW privo del contributo di processo

Articolo[]/Autore	Titolo/Rivista	Anno
[16] H. Jiang	A 0.4-V 0.93-nW/kHz Relaxation Oscillator/IEEE Journal of Solid-State Circuits	2018
[21] J. Jung	A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer/IEEE Journal of Solid- State Circuits	2018
[18] Y. Chiang	A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2013
[26] J. Wang	A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator/IEEE Transactions on Circuits and Systems I	2016
[25] Y. Chiang	Nanopower CMOS Relaxation Oscillators/IEEE Transactions on Circuits and Systems II	2014
[19] Y. Tsai	A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2017
[20] Y. Shi	A 110 nW Resistive Frequency Locked On-Chip Oscillator/IEEE Journal of Solid-State Circuits	2016
[17] S. Dai	A 14.4nW 122KHz dual-phase current-mode relaxation oscillator/IEEE Custom Integrated Circuits Conference	2015
[24] A. Savanth	A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference/IEEE Journal of Solid-State Circuits	2019

Table 4.17: Articoli analizzati

Come si può osservare in Fig. 4.49 per ogni potenza di trasmissione  $P_{ON}$ l'oscillatore progettato presenta il valore più basso. Questo significa che permetterà il raggiungimento di valori di duty cycle più piccoli portando a un incremento del tempo di vita del nodo. Infine le figure Fig. 4.50 e Fig. 4.51 permetto di capire, fissata la potenza di trasmissione  $P_{ON}$ , se l'equilibrio tra potenza consumata e stabilità in frequenza per il dato oscillatore viene rispettato. Se l'oscillatore apparterrà al semipiano superiore l'incertezza sul periodo di oscillazione  $C_U$  sarà preponderante rispetto al contributo  $P_{SLP}/P_{ON}$ e, viceversa. Inoltre minore sarà la distanza dall'origine più piccolo sarà il duty cycle ottenibile. Si può notare che per piccole potenze di trasmissione l'oscillatore progettato sia il compromesso migliore nel soddisfare il tradeoff richiesto nelle applicazioni IoT.



Figure 4.50:  $C_U$  e  $\frac{P_{OSC}}{P_{ON}}$  con  $P_{ON}$  da 0.25 mW a 2.5 mW

Articolo[]/Autore	Titolo/Rivista	Anno
[16] H. Jiang	A 0.4-V 0.93-nW/kHz Relaxation Oscillator/IEEE Journal of Solid-State Circuits	2018
[21] J. Jung	A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer/IEEE Journal of Solid- State Circuits	2018
[18] Y. Chiang	A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2013
[26] J. Wang	A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator/IEEE Transactions on Circuits and Systems I	2016
[25] Y. Chiang	Nanopower CMOS Relaxation Oscillators/IEEE Transactions on Circuits and Systems II	2014
[19] Y. Tsai	A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2017
[20] Y. Shi	A 110 nW Resistive Frequency Locked On-Chip Oscillator/IEEE Journal of Solid-State Circuits	2016
[17] S. Dai	A 14.4nW 122KHz dual-phase current-mode relaxation oscillator/IEEE Custom Integrated Circuits Conference	2015
[24] A. Savanth	A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference/IEEE Journal of Solid-State Circuits	2019

Table 4.18: Articoli analizzati



Figure 4.51:  $C_U$ e $\frac{P_{OSC}}{P_{ON}}$  con  $P_{ON}$  da 0.25 mW a 2.5 mW privo del contributo di processo

Articolo[]/Autore	Titolo/Rivista	Anno
[16] H. Jiang	A 0.4-V 0.93-nW/kHz Relaxation Oscillator/IEEE Journal of Solid-State Circuits	2018
[21] J. Jung	A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer/IEEE Journal of Solid- State Circuits	2018
[18] Y. Chiang	A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2013
[[26]] J. Wang	A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator/IEEE Transactions on Circuits and Systems I	2016
[[25] Y. Chiang	Nanopower CMOS Relaxation Oscillators/IEEE Transactions on Circuits and Systems II	2014
[19] Y. Tsai	A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator/IEEE Transactions on Circuits and Systems II	2017
[20] Y. Shi	A 110 nW Resistive Frequency Locked On-Chip Oscillator/IEEE Journal of Solid-State Circuits	2016
[17] S. Dai	A 14.4nW 122KHz dual-phase current-mode relaxation oscillator/IEEE Custom Integrated Circuits Conference	2015
[[24]] A. Savanth	A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference/IEEE Journal of Solid-State Circuits	2019

Table 4.19: Articoli analizzati

# Chapter 5

## Conclusioni

A partire dai vincoli geometrici/energetici di un nodo IoT, sono stati studiati i requisiti in termini di potenza consumata e accuratezza in frequenza per un wake-up timer, che permettono una forte riduzione del duty-cycle, compatibilmente con l'applicazione IoT scelta, e la conseguente salvaguardia della potenza media consumata nel nodo allungando il suo tempo di vita. E' stata definita una architettura low-power ad alto livello per la comunicazione wireless tra nodi in una rete WSN, per stimare quantitativamente l'influenza che hanno le caratteristiche del wake-up timer sulla potenza media consumata nel nodo.

Dopo aver eseguito una prima selezione tra le diverse configurazioni di wakeup timer (XO, MEMS, oscillatori integrati) in funzione della potenza consumata, costo, area, integrabilità e accuratezza in frequenza, si è optato per gli oscillatori a rilassamento, facenti parte degli oscillatori integrati, poiché presentano il miglior compromesso in termini potenza/accuratezza salvaguardando il costo e area occupata.

Sono state, quindi, analizzate le diverse tecniche di progettazione presenti allo stato dell'arte, che permettono il raggiungimento di una elevata efficienza energetica e una parziale compensazione del periodo di oscillazione dovuto alle variazioni PVT. Al fine di individuare la migliore configurazione fra quelle analizzate allo stato dell'arte, sono state introdotte delle innovative figure di merito, che permettono, tramite la stima della efficienza energetica e dell'accuratezza in frequenza in funzione delle variazioni di processo, temperatura(ppm/°C) e tensione di alimentazione(%/V), di comprendere quale architettura soddisfa maggiormente i requisiti energetici delle applicazioni IoT.

Al fine di valutare potenzialità e criticità di questo tipo di architettura, è stato progettato un semplice oscillatore a rilassamento in CMOS 65 nm senza l'utilizzo di alcuna tecnica di compensazione in particolare. Le simulazioni hanno dimostrato la presenza di un forte squilibrio tra accuratezza in frequenza e potenza consumata. Sebbene esso consumi solo 160 nW per una frequenza di oscillazione pari a 1 MHz, l'incertezza sul periodo di oscillazione dovuto alle variazioni PVT (circa il 10 %), è tale per cui la potenza media consumata dal nodo sia esclusivamente determinata dall'accuratezza in frequenza. Inoltre, questo risultato mostra il limite inferire a cui può tendere il duty cycle, inaccettabile per applicazioni che devono essere energeticamente autonome.

Si è infine progettato un Resistive Frequency Locked Oscillator (RFLO), che, sulla base delle figure di merito introdotte precedentemente, risultava essere la migliore soluzione circuitale per la realizzazione di un wake-up timer. In funzione delle simulazioni post-layout eseguite, il RFLO presenta una frequenza di oscillazione pari a 17.1 MHz con una potenza consumata di 6  $\mu$ W (350 fJ/cycle). Le variazioni del periodo di oscillazione dovuto al cambiamento della temperatura da -20 °C a +80 °C è pari 23.9 ppm/°C, mentre le variazioni a causa delle fluttuazioni sulla tensione di alimentazione sono del 1 %/V. Sulla base di queste simulazioni, l'oscillatore RFLO realizzato, grazie alla bassa potenza consumata con ottima stabilità in frequenza (0.51 % considerando una variazione di 250 mV simultaneamente a una variazione di 100 °C), soddisfa pienamente i requisiti IoT e presenta il miglior compromesso potenza/stabilità, evidenziato dalle figure di merito introdotte nel confronto con gli oscillatori allo stato dell'arte.

In merito agli sviluppi futuri, si prevede di fabbricare l'oscillatore e caratterizzarlo sperimentalmente con l'obiettivo di poterlo utilizzare in alcune applicazioni IoT oppure utilizzato come clock di riferimento all'interno di un  $\mu$ C grazie alla frequenza di oscillazione intorno a 20 MHz.

## Bibliography

- IoT Analytics. Internet of Things: un mercato da 1.567 mld di dollari entro il 2025. 2018. URL: https://assodel.it/internet-ofthings-un-mercato-da-1-567-mld-di-dollari/.
- M. Alioto. Enabling the Internet of Things: From Integrated Circuits to Integrated Systems. Springer International Publishing, 2017. ISBN: 9783319514826. URL: https://books.google.it/books?id=BxX%5C\_ DQAAQBAJ.
- [3] P.P. Mercier and A.P. Chandrakasan. Ultra-Low-Power Short-Range Radios. Integrated Circuits and Systems. Springer International Publishing, 2015. ISBN: 9783319147147. URL: https://books.google.it/ books?id=5Rs%5C\_CgAAQBAJ.
- [4] D. Chew. The Wireless Internet of Things: A Guide to the Lower Layers. Wiley, 2018. ISBN: 9781119260578. URL: https://books.google. it/books?id=LZRxDwAAQBAJ.
- [5] Saeedreza Arab, Hossein Ashrafzadeh, and Amir Alidadi. "Internet of Things: Communication Technologies, Features and Challenges". In: International Journal of Engineering Development and Research (IJEDR) 6.2 (2018), pp. 733–742.
- [6] M. Ding et al. "A Low-Power Fast Start-Up Crystal Oscillator With an Autonomous Dynamically Adjusted Load". In: *IEEE Transactions* on Circuits and Systems I: Regular Papers 66.4 (2019), pp. 1382–1392.
- [7] Skander Turki and Thierry Soriano. "A SysML extension for Bond Graphs support". In: (Jan. 2005).

- [8] D. Griffith et al. "A crystal-less bluetooth low energy radio using a MEMS-based frequency reference system". In: 2017 Joint Conference of the European Frequency and Time Forum and IEEE International Frequency Control Symposium (EFTF/IFCS). 2017, pp. 181–184.
- [9] K. A. Sankaragomathi et al. "25.9 A ± 3ppm 1.1mW FBAR frequency reference with 750MHz output and 750mV supply". In: 2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers. 2015, pp. 1–3.
- [10] O. Abdelatty et al. "A Low Power Bluetooth Low-Energy Transmitter with a 10.5nJ Startup-Energy Crystal Oscillator". In: ESSCIRC 2019
  - IEEE 45th European Solid State Circuits Conference (ESSCIRC). 2019, pp. 377–380.
- [11] R.J. Baker. CMOS: Circuit Design, Layout, and Simulation. IEEE Press Series on Microelectronic Systems. Wiley, 2011. URL: https: //books.google.it/books?id=kxYhNrOKuJQC.
- [12] J. N. Burghartz and B. Rejaei. "On the design of RF spiral inductors on silicon". In: *IEEE Transactions on Electron Devices* 50.3 (2003), pp. 718–729.
- K. Jung et al. "A Temperature Compensated RF LC Clock Generator With ±50 ppm Frequency Accuracy From -40 C to 80 C". In: *IEEE Transactions on Microwave Theory and Techniques* 67.11 (2019), pp. 4441–4449.
- [14] X. Zhang and A. B. Apsel. "A Low-Power, Process-and- Temperature-Compensated Ring Oscillator With Addition-Based Current Source". In: *IEEE Transactions on Circuits and Systems I: Regular Papers* 58.5 (2011), pp. 868–878.
- [15] Y. Ho, K. S. Li, and S. Wang. "A 0.3 V low-power temperatureinsensitive ring oscillator in 90 nm CMOS process". In: 2013 International Symposium on VLSI Design, Automation, and Test (VLSI-DAT). 2013, pp. 1–4.

- [16] H. Jiang et al. "A 0.4-V 0.93-nW/kHz Relaxation Oscillator Exploiting Comparator Temperature-Dependent Delay to Achieve 94-ppm/C Stability". In: *IEEE Journal of Solid-State Circuits* 53.10 (2018), pp. 3004– 3011.
- [17] S. Dai and J. K. Rosenstein. "A 14.4nW 122KHz dual-phase currentmode relaxation oscillator for near-zero-power sensors". In: 2015 IEEE Custom Integrated Circuits Conference (CICC). 2015, pp. 1–4.
- [18] Y. Chiang and S. Liu. "A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator With Temperature Compensation". In: *IEEE Transactions* on Circuits and Systems II: Express Briefs 60.12 (2013), pp. 837–841.
- [19] Y. Tsai and L. Lu. "A 51.3-MHz 21.8-ppm/C CMOS Relaxation Oscillator With Temperature Compensation". In: *IEEE Transactions on Circuits and Systems II: Express Briefs* 64.5 (2017), pp. 490–494.
- [20] Y. Shi, D. Blaauw, and D. Sylvester. "A 110 nW Resistive Frequency Locked On-Chip Oscillator with 34.3 ppm/C Temperature Stability for System-on-Chip Designs". In: *IEEE Journal of Solid-State Circuits* 51.9 (2016), pp. 2106–2118.
- [21] J. Jung et al. "A 1.08-nW/kHz 13.2-ppm/C Self-Biased Timer Using Temperature-Insensitive Resistive Current". In: *IEEE Journal of Solid-State Circuits* 53.8 (2018), pp. 2311–2318.
- [22] B. Calvo et al. "A compact low-voltage first-order temperature compensated CMOS current reference". In: 2013 European Conference on Circuit Theory and Design (ECCTD). 2013, pp. 1–4.
- [23] F. Fiori and P. S. Crovetti. "A new compact temperature-compensated CMOS current reference". In: *IEEE Transactions on Circuits and Sys*tems II: Express Briefs 52.11 (2005), pp. 724–728.
- [24] A. Savanth et al. "A Sub-nW/kHz Relaxation Oscillator With Ratioed Reference and Sub-Clock Power Gated Comparator". In: *IEEE Journal* of Solid-State Circuits 54.11 (2019), pp. 3097–3106.

- [25] Y. Chiang and S. Liu. "Nanopower CMOS Relaxation Oscillators With Sub-100 ppm/C Temperature Coefficient". In: *IEEE Transactions on Circuits and Systems II: Express Briefs* 61.9 (2014), pp. 661–665.
- [26] J. Wang et al. "A 12.77-MHz 31 ppm/C On-Chip RC Relaxation Oscillator With Digital Compensation Technique". In: *IEEE Transactions* on Circuits and Systems I: Regular Papers 63.11 (2016), pp. 1816–1824.
## Ringraziamenti

Innanzitutto, vorrei ringraziare il Prof. Paolo S. Crovetti e Ing. Roberto Rubino per la disponibilità a chiarimenti e la cura ai dettagli, che mi hanno permesso la realizzazione dell'intero progetto. Un ringraziamento deve essere fatto anche Ing. Pedro, con la quale ho potuto collaborare e arricchire il mio bagaglio di competenze. Sono grato alla mia famiglia, che ha saputo condividere con me i miei fallimenti e i miei traguardi valorizzandomi e sostenendomi sempre. Ringrazio i miei amici, che mi hanno incoraggiato e appoggiato i miei progetti condividendo gioie e dolori senza voler nulla in cambio.

Uno speciale ringraziamento è per la mia fidanzata Camilla, che per tutta la durata della mia carriera accademica è sempre stata al mio fianco, supportandomi nei momenti più difficili e permettendomi di passare giornate di totale spensieratezza.